

## 分枝限定法によるアナログブロック内概略配線～その2

宮成 智<sup>†</sup> 渡辺 孝博<sup>‡</sup>

山口大学大学院工学研究科<sup>†</sup>  
山口大学工学部<sup>‡</sup>

〒755 宇都市常盤台2557

アナログLSIのレイアウト設計では、配線設計における抵抗、寄生容量などの制約が厳しく、詳細配線に先立つ概略配線の重要性が増してきている。高品質な概略配線の解を得る手法として分枝限定法を用いた手法が提案されているが、分枝限定法は計算コストが大きいので、実用時間で解を得るためにには処理順序の工夫、探索木の縮小などが必要不可欠となる。本研究では、幹線チャネル占有比などの評価関数を導入し、また、分割統治法との併用により、既提案の手法の一層の高速化を試みた。

和文キーワード アナログLSI、概略配線、分枝限定法、分割統治法

## Global Router for Analog Function Blocks Based on the Branch-and-Bound Algorithm ~ Part II

Satoshi Miyanari<sup>†</sup> Takahiro Watanabe<sup>‡</sup>

Graduate School of Engineering, Yamaguchi University<sup>†</sup>  
Faculty of Engineering, Yamaguchi University<sup>‡</sup>

2557 Tokiwadai, Ube, 755 Japan

In layout design for analog LSIs, various harsh constraint conditions are specified. So, global routing becomes more and more important for layouts of higher quality. A global router based on a branch-and-bound(BB) algorithm has been proposed to get a good solution, but it takes a large amount of processing time. Therefore, it is necessary to reduce the number of branchings of a BB tree and to search proper branches efficiently. In this paper, we introduce a new objective function on trunk-channel usage and propose a BB method combined with a devide-and-conquer method. Experimental results are also shown.

英文 key words analog LSI, global routing, branch-and-bound algorithm, devide-and-conquer method

# 1 はじめに

近年、通信分野などの電子機器において、高周波アナログLSIの設計が重要になってきている。動作周波数の高いLSIの設計では、配線設計における抵抗、寄生容量などの制約が厳しく、詳細配線段階の複雑さを低減するための概略配線がレイアウトの品質を左右するようになってきた。また、LSI価格の低減という観点から、チップサイズの縮小も重要な問題である。

このような背景から、文献[1][2]では、高品質の解のために分枝限定法を用いたアナログブロック内概略配線手法を提案している。

分枝限定法を用いた解法では、しばしばその計算コストが問題となる。経路の候補が多い場合、限定操作が効率的に行えるような処理順序を適切に選択する必要が生じる。また、大規模なレイアウトになるとネット数が増大し、組み合わせ爆発により計算量は膨大となり、実用時間で解を得ることが困難となる。文献[1][2]でも、計算コスト低減のための手法がいくつか提案されているが、経路候補が多い場合にはなお、かなりの計算時間を要する。

本研究では、さらなる計算コスト低減のために分枝限定法の解法に新しく“幹線チャネル占有比”による処理順序の決定を導入する。また、大規模なレイアウトにも対応できるように、分枝限定法と分割統治法の併用手法を提案し、その有効性を検討する。

## 2 分枝限定法による解法

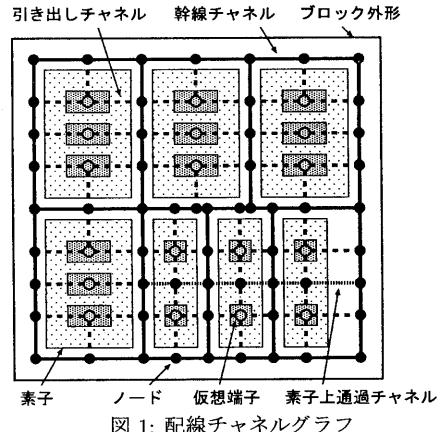
### 2.1 準備

問題の対象は、フルカスタム設計方式による制約条件の厳しいデバイスレベルのアナログブロック内概略配線問題で、数十から百素子程度の回路規模とする。

本手法では、全ネットについて定められた制約条件を全て満足し、かつ、評価関数が最小になるような概略配線経路を次に述べる配線チャネルグラフ上で決定する問題を解く。

### 2.2 配線チャネルグラフ

予め与えられた概略配置から配線チャネルグラフを作成する。チャネルグラフの枝は、素子間の幹線チャネル、素子上に配線を通過させるための素子上通過チャネル、素子の端子中心に設けた仮想端子から幹線チャネルに配線を引き出すための引き出しチャネルから構成される。チャネルグラフのノードはチャネル交差点、又は仮想端子に対応する。



### 2.3 目的関数と制約条件

配線に最低限必要な配線領域幅と素子幅から見積もられるブロックサイズを評価関数とし、2つの制約のもとで最小化する。

(目的関数) 見積りブロックサイズ  $S$  の最小化

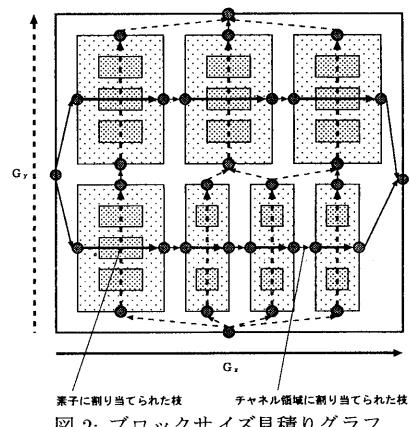
(制約条件1) 各ネットに対する経路長の上限

(制約条件2) 2ネットの配線が共有する経路長の上限

なお経路長は、チャネルグラフ上の通過チャネル長の合計である。

### 2.4 評価関数の定義

概略配線の処理段階では、詳細な配線経路も素子位置も未確定なので、正確なブロックサイズを計算できない。そこで、以下のような方法を用いて見積りブロックサイズを概算し、評価関数とする。



まず、素子の幅を重みとしてもつ枝、必要なチャネル領域の幅から計算される重みをもつ枝の2種類の枝から成るブロックサイズ見積りグラフ  $G_x(G_y)$  を作成する。

このグラフ  $G_x(G_y)$  の最長パスの長さを  $L_x(L_y)$  とすると、見積りブロックサイズ  $S$  は、

$$S = L_x \times L_y$$

で計算される。

## 2.5 手順

### [前処理: 経路候補集合の作成]

各ネット毎に制約条件1を満たす配線チャネルグラフ上の経路候補集合を求める。

### [分枝限定法による探索]

各ネット毎に経路候補集合から一つずつ候補を選択し、それらを組み合わせた経路群に対して分枝限定法により最適解の探索を行う。限定操作は、以下の場合に対して行う。

(1) 制約条件2に対する違反

(2) 現在の最適解より評価関数が悪化

全てのネットの候補を選択することができた場合の解のうち、最良の解を暫定解として保存し、更に探索を進め、暫定解を更新する。全てのネットの全候補の組合せの判定をし終えた時点で計算を終了し、その時の暫定解を最適解とする。

## 3 分枝限定法の問題点と対策

分枝限定法は列挙法の一種で、大域的な最適解が得られる反面、一般に計算コストが非常に大きくなるという欠点がある。そこで限定操作が効率的に行えるように処理順序を適切に選択する必要がある。

また、大規模なレイアウトに対しても分枝限定法による解法を適用できるようにするために、探索木の階層を小さくするための工夫が必要となる。

### 3.1 木の探索順序

文献[2]では、ネットを経路候補の少ない順に処理することで、探索木枝数の減少を図っている。

また、ネットの候補を経路長の短い順に走査することで、探索の初期に良質な解を見出せる確率を高め、限定操作条件(2)による限定操作を効率的に行えるようしている。

図3では、候補数の少ない順であるNET A、NET Bの順に探索し、各ネットの経路候補は経路長の短い順に1、2、…の順に探索する。

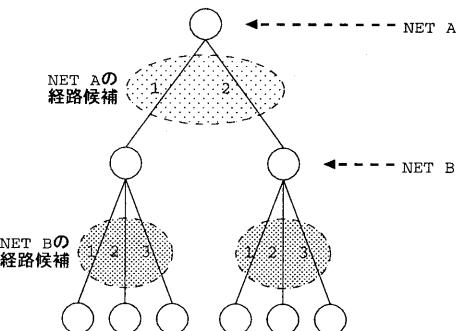


図3：探索木

しかし、以上のような方法を用いてもなお、かなりの計算時間を必要とする。特に抵抗のような2端子素子が多い場合、素子上通過チャネルにより経路の自由度が増し、経路候補数が素子数の割に増大し、組合せの爆発が起こりやすくなる。よって、より効率の良い処理順序が望まれる。

また、ネットの候補を経路長の短い順に走査する方法は、経路候補に同じ長さのものが多い場合、計算コストの低減の効果が低いという欠点がある。

### 3.2 探索木の階層

分枝限定法による解法では、ネット数がそのまま探索木の階層の深さになる。そのため、大規模なレイアウトを扱う場合、木の階層数は非常に大きくなり、一つのネットの経路候補数がそれほど大きくなくても、膨大な組み合わせ数となってしまう。

このような場合に実用時間で解を得るために、探索木の階層を小さくし、全枝数を減少させる必要がある。

## 4 探索の高速化

分枝限定法の高速化のためには、探索木の処理順序を適切なものにしなければならない。

限定操作を効率良く実行するためには、探索の初期に、より最適に近い解を見つけ出す必要がある。そのためには、ブロックサイズを拡大する可能性の小さい経路候補から探索していくのが望ましい。そこで、幹線チャネルの通過長が小さい経路候補を優先的に探索する手法を提案する。

## 4.1 経路候補の評価

素子上通過チャネルは、経路候補数を増加させる傾向を持っている反面、これを利用することで、より小さなブロックサイズが得られる可能性がある。素子上通過チャネルを通過しても必要配線領域は変化しないからである。一方、幹線チャネルを多く通過する経路候補は、ブロックサイズを拡大する可能性が大きい。そこで、各ネットの経路候補に経路長だけでなく、通過するチャネルの種類も考慮した以下の評価を与える。

$$\text{幹線チャネル占有比} \triangleq \frac{\text{幹線チャネル通過長}}{\text{経路長}}$$

同経路長の場合、この値が小さい程、よりよい候補と考えることにする。

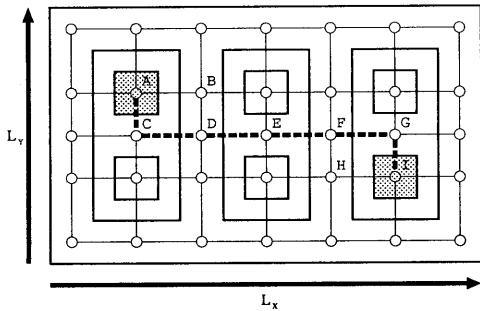


図 4: 経路候補評価

図 4では、 $BD$ 、 $FH$ が幹線チャネル、 $CD$ 、 $DE$ 、 $EF$ 、 $FG$ が素子上通過チャネルである。点線でネット  $A \rightarrow I$  の最良の経路候補を示す。幹線チャネル  $BD$ 、 $FH$  を通過する候補は、 $BD$ 、 $FH$  のための配線スペースを開ける必要が生じ、ブロックサイズの  $x$  方向の見積もり長  $L_x$  を増加させる可能性が大きい。

ネット  $A \rightarrow I$  の経路候補を  $A \rightarrow I$  の最短経路長のものに限定すると、4つの経路候補が抽出されるが、それらに幹線チャネル占有比により順位をつけると、以下のようになる。

- (1)  $A \rightarrow C \rightarrow D \rightarrow E \rightarrow F \rightarrow G \rightarrow I$
- (2)  $A \rightarrow B \rightarrow D \rightarrow E \rightarrow F \rightarrow G \rightarrow I$   
 $A \rightarrow C \rightarrow D \rightarrow E \rightarrow F \rightarrow H \rightarrow I$
- (3)  $A \rightarrow B \rightarrow D \rightarrow E \rightarrow F \rightarrow H \rightarrow I$

## 4.2 分枝限定法への適用

各ネットの経路候補を経路長をキーとして短い順にソートし、さらに幹線チャネル占有比を第 2 キーとして小さい順にソートする。すなわち同経路長の場合は、幹線チャネル占有比の小さい経路が枝の左に現れる。

このことにより、探索の初期に素子上通過チャネルを多く通過する解が現れる。素子上通過チャネルの多い解は、小さなブロックサイズを持つ可能性が高く、限定操作の条件 (2) が起こりやすくなると考えられる。

## 5 大規模レイアウトへの対応

分枝限定法による解法では、ネット数が多くなると探索木の全枝数は爆発的に増大し、実用時間で解を得ることが困難になる。そこで、分枝限定法に分割統治法を適用し、探索木の枝の減少を図る手法を提案する。

すなわち、レイアウトをいくつかの領域に分割し、各領域内のネット、領域を横切るネットに対してそれぞれ分枝限定法を行い、最後に結果を合成する。

この方法により、それぞれの探索木の階層数が少くなり、極端に大きい木の探索を避けることができる。

### 5.1 提案手法の手順

提案手法の手順について説明する。

まず、制約条件 1 を満たす経路候補集合を作成後、与えられた概略配置レイアウトの全域を領域分割する。得られた部分領域により、ネットを次節で述べる G ネット、及び各領域内の L ネットに分類し、それぞれに対し分枝限定法を行う。

その後、各探索木から得られた解を合成し、最終的な解とする。

なお評価関数を計算するためのブロックサイズ見積りグラフは、常にレイアウト全体に対してのものを使い、領域毎の再構成などは行わない。

### 5.2 領域分割

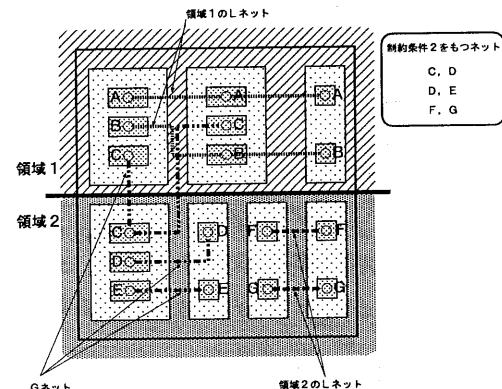


図 5: 領域分割

### 5.2.1 G ネット (global area net) 集合

まず、得られた経路候補が全て領域の境界を横切るネットを C ネット (cross net) といい、その集合を C ネット集合という<sup>1</sup>。

また、2 ネット間に共有経路長の制約が存在する関係を推移律とみなし、C ネット集合から開始して、この推移律を繰り返し用いて得られるネット集合を G ネット集合という。

図 5 では、領域を横切るネットとして C、C と制約条件 2 を持つ D、また、D と制約条件 2 を持つ E が G ネットとなる。このように定義することにより、領域を横切るネットに関連する制約条件 2 は、G ネットの探索の段階で全て処理される。

### 5.2.2 L ネット (local area net) 集合

L ネットは G ネット以外であり、その経路も制約条件も各領域内で閉じているネットの集合である。各領域毎に”領域 1, 2, … の L ネット”と呼ぶことにする。

図 5 では、領域 1 の L ネットは、A、B で、領域 2 の L ネットは、F、G である。F、G は、制約条件 2 を持っているが、この制約は領域 2 の内部にのみに関係し、他の領域の探索には全く影響しない。

## 5.3 探索木の分割と探索

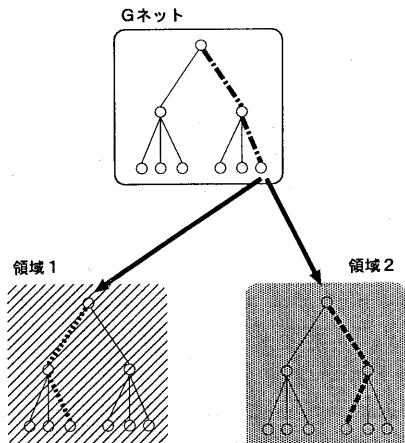


図 6: 探索木の分割

### 5.3.1 G ネットによる初期配線パターン作成

得られた G ネットに対して分枝限法による解法を適用する。

<sup>1</sup> あるネットで領域を横切る経路候補、横切らない経路候補が混在する場合を考えられるが、制約条件 1 を厳しくすることにより、実際には起こり得ない。

ここで得られた解は初期配線パターンとして保存しておく。

### 5.3.2 各 L ネットの探索

初期配線パターンとして G ネットが配線済みの状態で、各領域の L ネットにそれぞれ分枝限法による解法を行う(図 6 参照)。

## 5.4 各領域の解の合成

初期配線パターンについて、全ての領域の探索が終了したら、初期配線パターンと、各領域の L ネットを探索した結果を組み合わせる。

全領域の木を合成した後、得られた全ネットの経路候補の組み合わせについてブロックサイズを再計算し、その値を解とする。

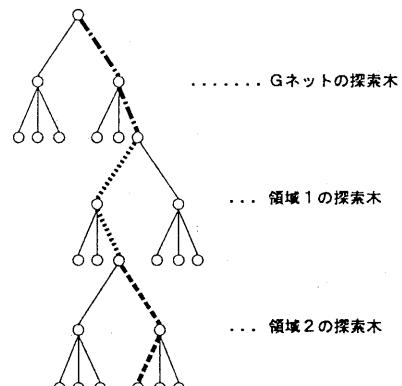


図 7: 各領域の解の合成

## 6 実験

提案手法の有効性を確認するための実験を行った。

### 6.1 使用データ

データ 1: 素子数 22、ネット数 16 (抵抗アレイ)

[制約条件 1] ネットの最短経路長 × 1.05

[制約条件 2] 指定ネット同士の共有不可

データ 2: 素子数 31、ネット数 28 (733 AMP)

[制約条件 1] ネットの最短経路長 × 1.15

[制約条件 2] 指定ネット同士の共有不可

データ3: 素子数58、ネット数60(大規模レイアウト)

[制約条件1] ネットの最短経路長×1.00

[制約条件2] 指定ネット同士の共有不可

なお実験は、SONYのNEWS-5000(100MIPS)上でC言語を用いて行った。

## 6.2 [実験1] 経路候補の処理順序

評価関数として幹線チャネル占有比を導入し、限定操作に利用することによる処理時間の低減効果を評価した。

表1: 幹線チャネル占有比のソートによる処理時間

	D	ソート	処理時間(s)	時間比
データ1	あり	あり	30107.4	0.45
		なし	66408.7	
	なし	あり	51090.1	0.54
		なし	94661.7	
データ2	あり	あり	3510.7	0.98
		なし	3571.3	
	なし	あり	6494.4	0.98
		なし	6598.4	

D: 配線混雑度

実験結果を表1に示す。データ1、データ2共にソートによる速度向上が認められた。今回は、素子上通過チャネルを2端子素子にのみ認めたため、データ2の速度向上の割合が小さくなっている。実際には3端子素子上の配線も可能となってきたので、チャネルグラフの再検討も進めている。

## 6.3 [実験2] 分割統治法との併用手法の効果

大規模なレイアウトに対応するため、分割統治法との併用手法を用いた際の処理時間、解の品質について評価する。

本稿執筆時点で実験を継続中であり、結果については発表時に示す。

## 7まとめ

分枝限定法による概略配線問題の解法に評価関数として幹線チャネル占有比を導入した。このことにより、積極的に素子上通過配線を実現することができた。ま

た、この評価を限定操作に利用することにより、処理時間の低減を図ることができた。

次に大規模レイアウトに対応するため、分枝限定法と分割統治法の併用手法を提案した。

今後の課題としては、3端子以上の素子にも素子上通過チャネルを導入した実験、分割統治法を用いる際の領域分割の最適化などが挙げられる。

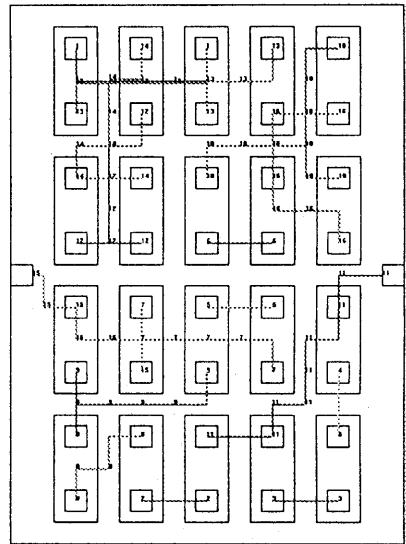


図8: 本手法による配線結果

## 参考文献

- [1] T.Tsubota,M.Kawakita&T.Watanabe: "Global Router for Analog Function Blocks Based on the Branch-and-Bound Algorithm", IEICE Trans.Fundamentals, E78-A,3,pp.345-352,1995
- [2] 上村稔、宮成智、渡辺孝博: 分枝限定法を用いた多端子ネットのアナログブロック内概略配線手法, 電気・情報関連学会中国支部第45回連合大会 講演論文集, pp.33-34,1994年10月
- [3] 宮成智、渡辺孝博: 分枝限定法を用いた概略配線手法に関する一考察, 電気・情報関連学会中国支部第46回連合大会 講演論文集, pp.467-468,1995年10月