

通信処理用ラピッドプロトタイプシステム構築を目指した FPGA-MCMの構成法

片山勝 室岡孝宏 宮崎敏明 白川千洋[†] 林一博[†] 市森峰樹^{††} 深見健之助^{†††}

NTT システムエレクトロニクス研究所 ^{†††}NTT 基礎技術総合研究所

〒243-01 神奈川県厚木市森の里若宮 3-1

e-mail: {katy, murooka, miyazaki, fukami}@aecl.ntt.jp

[†]NTT 光ネットワークシステム研究所 ^{††}NTT ネットワークサービスシステム研究所

e-mail: {shira, kazu}@exa.onlab.ntt.jp

ichi@nttssl.ntt.jp

あらまし 筆者らは、PROTEUS と呼ぶ通信処理用 FPGA をアレー状に配置した FPGA-MCM を試作した。114mm□の基板上に PROTEUS チップを 3×3 (9) 個配置し、TAB 実装することにより、小型化をはかっている。また、本 MCM は 996 ピンの I/O を持つため、圧着式のスタックコネクタでボードとの接続を行なう構成とした。MCM 上の隣接 FPGA 間の信号伝搬遅延は 200psec と高速であり、また、大規模論理を搭載可能である。本 MCM を複数個搭載したシステムを別途試作し、通信処理のリアルタイム動作を確認した。

キーワード FPGA, マルチチップモジュール, TAB, ATM, 通信

An Architecture of FPGA based Multi-Chip Modules Targeted to Rapid Prototype Systems for Telecommunications

Masaru Katayama, Takahiro Murooka, Toshiaki Miyazaki,

Kazuhiro Shirakawa[†], Kazuhiro Hayashi[†], Takaki Ichimori^{††}, Kennosuke Fukami^{†††}

NTT System Electronics Laboratories

3-1 Wakamiya, Morinosato, Atsugi-shi, Kanagawa, 243-01 JAPAN

[†]NTT Optical Network Systems Laboratories, ^{††}NTT Network Service Systems Laboratories,

^{†††}NTT Science and Core Technology Laboratory Group

Abstract We developed an FPGA based multi-chip module whose component is the telecommunication-oriented FPGA, called PROTEUS. This module consists of 3 × 3 PROTEUS's and its size is 114mm square. Each PROTEUS chip is mounted on the MCM substrate using Tape Automated Bonding (TAB) technology, in order to minimize the size of MCM. To integrate 996 I/O pins, we use stack connectors, so, it is easy to mount it on a circuit board. The delay time between the neighbor FPGAs on the MCM is 200psec, and it is possible to implement large scale circuits in the MCM. We also developed a rapid prototype system that has several MCMs, and realized real-time telecommunication circuits in the system.

key words FPGA, MCM, TAB, ATM, Telecommunication

1 まえがき

マルチメディアに対応した通信システムでは、フレキシブルかつ大規模なハードウェアが必要である。このような要求に対し、FPGA(Field Programmable Gate Array)[BFRV92]の活用が注目されている。しかし、現状のFPGAでは1チップあたり10kG程度しか論理を搭載できないため、大規模システムを実現するには、装置の大型化が問題となっている。そこで、小型で高速動作可能な実装技術の開発が必要とされていた。

一方、LSIの設計短TAT(Turn Around Time)化要求に対しても、FPGAの活用が注目されている。ASICの大規模化 / 高集積化による論理シミュレーションTATの増大に対して、FPGAを用いて論理エミュレーションを行なうことにより、設計TATを短縮することができる。フレキシブルな通信システムと従来のASICエミュレーションシステムとの一番の相違点は、前者が論理のリアルタイム動作を要求するのに対し、後者は必ずしもリアルタイム動作を必要としない点である。現状のASICエミュレーションシステムは数MHz程度でしか動作しない。しかし、小型で、リアルタイム動作可能なエミュレーションシステムができれば、それ自体を通信システムに組み込むことが可能となり、ラピッドプロトタイプシステムへの道が開ける。

我々は、通信システム / サービスの早期実現を目的に、通信処理に適した13kG規模のFPGA(PROTEUS)[ONTM94][TYMO95]を用いて、リアルタイム動作可能なラピッドプロトタイプシステム構成法の検討を進めている。本稿では、その一環として試作したFPGAをアレー状に搭載したMCM(Multi-Chip Module)の構成およびその性能について報告する。はじめに、MCMの構成法について述べ、MCMの構成技術とその性能を示す。次に、本MCMを搭載したシステムを試作し、実際に通信処理論理を実装した結果を示す。最後にまとめと今後の課題を述べる。

2 FPGA-MCMの構成

2.1 FPGA間の接続方法

通信処理の内、信号を伝搬する伝送処理は、入力信号から必要なビットパターンを検出し同期を確立する処理等、ビット演算が主体である。このような伝送処理をFPGAのみによるボードで実現した場合、FPGAを格子状に並べ、FPGA間の対向するピンを接続した構成で実現できることがわかっている[YNT094][HMK+96]。また、PROTEUSはチップの外周にI/O間を内部論理を通らずに直接接続できるDirect Line[†][TYMO95](図1)と呼ぶ専用線を内蔵しているため、FPGA間の対向するピンを直結した固定配線による配線自由度の低減を補償することができる。さらに、FPGA間のボード配線長を短くすることができるため、動作速度的にも有利な構造である。従って、MCMの構成をFPGA間の対向するピンを接続したものとした。

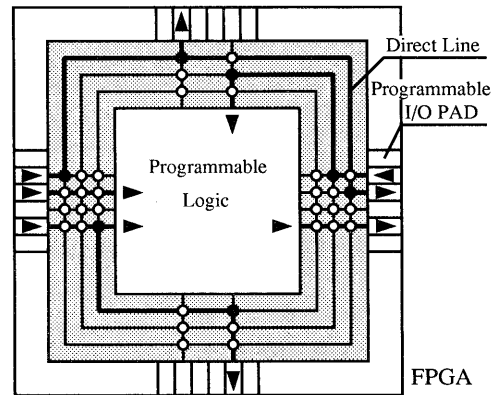


図1: PROTEUSのDirect Line

2.2 実装方法

PROTEUSのベアチップは、15.0mm□であり、357ピンのI/O(含電源ピン)を持っている(表1)。MCM化に際し、生産コスト低減のため、いわゆる

[†]各I/Oに対し自分の位置以外の3辺への接続を可能としている。

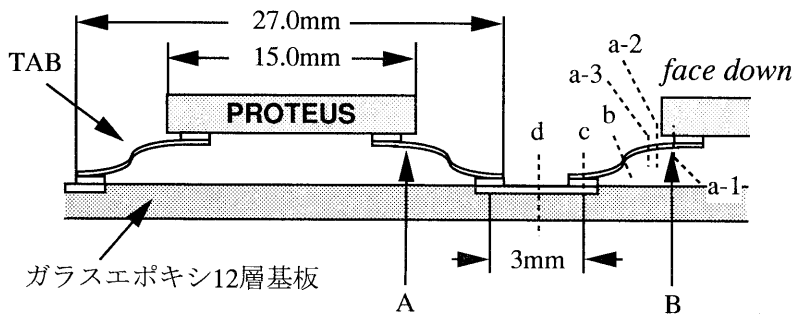


図 2: MCM 基板構成

MCM-L タイプとし、基板にはガラスエポキシを用いた。また、実装面積を小さくするため、TAB (Tape Automated Bonding) を用いて各チップを実装した。TAB 実装の利点は、MCM 基板の上にベアチップを実装した際に、樹脂封止前の検査で、実装による不良チップの交換が可能なことである。

大きく低減できる。

表 1: PROTEUS の諸元

チップサイズ	I/O ピン数	ユーザピン数
15.0mm □	357	192
F/F 数	LUT 数	BC 数 [†]
2944	2048	256

[†] BC は 4 個の LUT, 5 入力 AND, 5 個の F/F を 1 モジュール化したもの

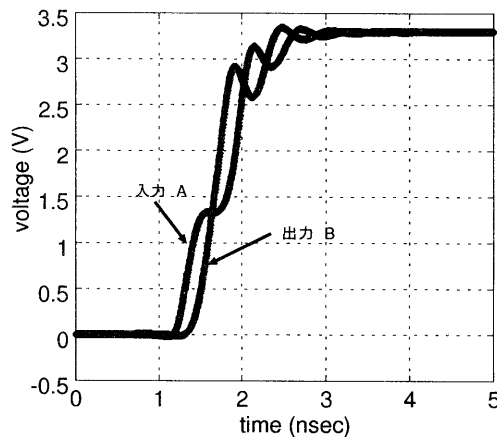


図 3: FPGA 間の信号伝搬遅延 (SPICE によるシミュレーション結果)

図 2 に TAB 実装した際の MCM 基板構成を示す。MCM 基板上的配線は 3.0mm 以下となる。図 2 中の A, B 点間の信号伝搬遅延を SPICE によりシミュレーションを行なった。図 3 にシミュレーション結果を示す。シミュレーションに用いた MCM 基板 LCR 定数は構造解析シミュレータを用いて導出した。表 2 に各パラメータ値を示す。この結果より、FPGA 間の信号伝搬遅延は 200psec 程度であり、20MHz 動作が可能であることがわかる。入力波と出力波が反転しているのは、MCM 基板上的インダクタンス L の成分による反射の効果である。このように FPGA 間の信号伝搬遅延を小さく抑えることができるため、通常問題となるプリントボード上でのチップ間配線遅延は、大

また、9 チップを実装したことにより、電源を含めて、プリントボードと 996 ピンの I/O を接続しなければならない。このため、MCM とプリントボードの接続には、図 4 に示す同時に 250 ピンが接続可能なスタックコネクタを 4 個用いた。PGA 等の接続方式では、数トンもの挿抜力がかかるが、スタックコネクタは、図 5 に示すようにコネクタをボルトを用いて圧着するため、容易に接続できる。

高密度実装された MCM では、熱設計が重要となる。また、NTT の標準交換伝送実装方式 (Hi-PAS) [安田 96] を考慮すると、実装されたボード間の幅は 3

表 2: MCM 基板の LRC 定数

場所 [†]	長さ l (m)	抵抗 R (Ω)
a-1	1.0×10^{-3}	0.28×10^{-2}
a-2	2.1×10^{-3}	0.56×10^{-2}
a-3	1.3×10^{-3}	0.33×10^{-2}
b	1.0×10^{-3}	0.29×10^{-2}
c	2.0×10^{-3}	0.40×10^{-2}
d	3.0×10^{-3}	0.12×10^{-1}
	容量 C (F)	インダクタンス L (H)
a-1	0.61×10^{-13}	0.41×10^{-9}
a-2	0.11×10^{-12}	0.96×10^{-9}
a-3	0.61×10^{-13}	0.65×10^{-9}
b	0.25×10^{-13}	0.53×10^{-9}
c	0.88×10^{-13}	0.55×10^{-9}
d	0.33×10^{-13}	0.11×10^{-8}

[†] 図 2 参照

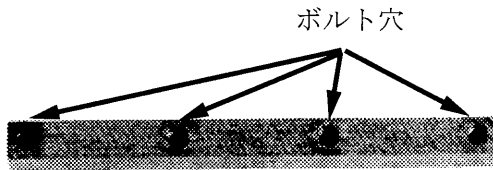


図 4: スタックコネクタ

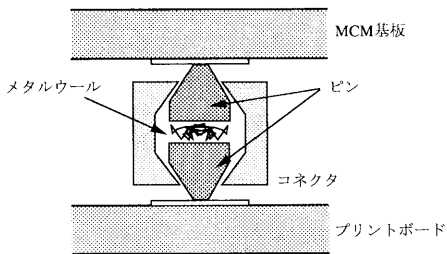


図 5: スタックコネクタの構造

cm 以下にする必要があり、放熱フィンの高さを充分にとることは難しくなる。そこで、放熱フィンに MCM 専用に開発した。我々が対象とする伝送処理理論は、156Mbps の伝送速度を持った B-ISDN 処理を当面の目標としており、リアルタイム動作させるためには、最低でも 8 分周した 19.44MHz で MCM が動作しなければならない。PROTEUS チップの消費電力は 20MHz 動作時に 2W 程度、40MHz 動作時に 4W 程度であることを考慮して、MCM の熱解析を行なった。放熱フィン(図 6)の材質にアルミを用い、フィンの厚さを 1 mm、大きさを 21mm □ とし、フィン高 (h) と、空冷のための風速をパラメータとした。熱解析結果を図 7 に示す。この解析結果より、MCM の最高表面温度を 100°C 以下にするためには、風速 1m/sec 程度で、フィンの高さを 5mm にすればよいことがわかる。

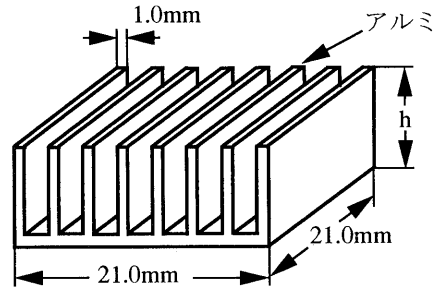


図 6: 放熱フィンの構造

2.3 試作 MCM の諸元

前述した設計結果に基づいて試作した MCM の写真を図 8 に示す。また、MCM の諸元を表 3 に示す。MCM は周囲に 4 個のスタックコネクタを配し、16 本のボルトを用いてボードと接続する。

3 MCM の特性評価と実験結果

3.1 MCM の特性評価

MCM の特性を評価するために、EOS(Electro Optic Sampling)[Nag93][SNKM95] 技術を用いて図

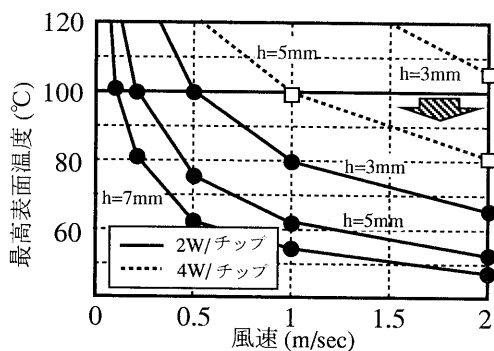


図 7: MCM の熱解析

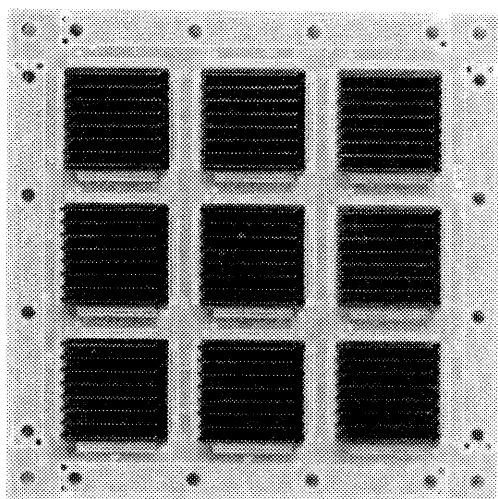


図 8: 試作 MCM の概観

表 3: MCM の諸元

FPGA 数	3 × 3 (9)
ピン数	996 (ユーザピン数: 576)
基板	ガラスエポキシ
サイズ	114mm □
基板層数	12 (信号: 6, 電源, グランド: 6)
ボードとの接続	スタックコネクタを用いたボルトによる圧着

2に示した A,B 点間の信号伝搬遅延を実測した. 測定結果を図9に示す. この測定結果より, FPGA 間の信号伝搬遅延は 200psec 程度であり, 図3の結果とよく一致している. ただし, シミュレーション結果は, 信号の立上り時にオーバーシュートがあるが, EOS による実測ではオーバーシュートが低減されている. そこで, FPGA の PAD と TAB, TAB と MCM 基板との接触抵抗が直列に入っていると仮定し, その値を 0~ 数 kΩ の範囲で変化させ, SPICE シミュレーションを再度行なった. 接触抵抗が 32Ω で, オーバーシュートは低減された. 図10にその時の結果を示す. これより, 実測値で立上り時のオーバーシュートがない要因は FPGA 間に入った直列抵抗成分によるものと考えられる.

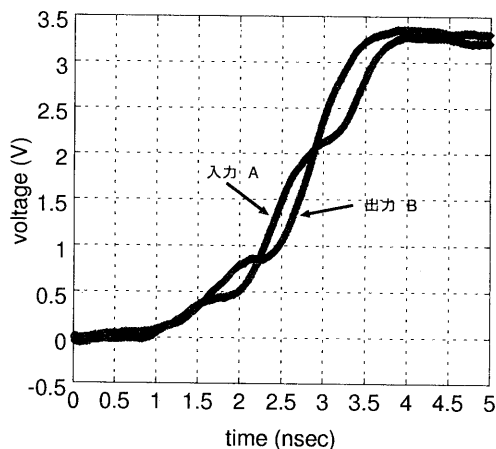


図 9: FPGA 間の信号伝搬遅延 (実測)

また, Direct Line を用いた場合の FPGA 間の信号伝搬遅延は, EOS による測定で約 7nsec であった. よって, Direct Line を用いた場合でも, MCM 上で 20MHz 動作させることが可能な値である (SPICE によるシミュレーションでは, 6.16nsec).

3.2 伝送処理論理搭載実験

今回試作した MCM を 4 個搭載したボードを含むラビッドプロトタイプシステム [HMK+96] を新たに試作した (図 11). 本システムを用いて, STM-ATM

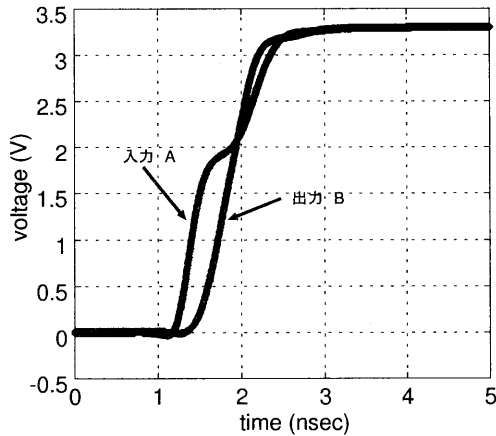


図 10: FPGA 間の信号伝搬遅延
(抵抗成分を加えた SPICE シミュレーション結果)

終端処理論理を実現した。搭載した論理は、STM フレームから ATM セルを抽出し、その ATM セルの行き先(VPI, VCI)を書き換える処理である。各論理を搭載し、実測した結果を表 4,5 に示す。各論理とも 20MHz 以上で動作可能であり、実システムと同様に 20MHz で動作することを確認した。また、20MHz での動作では、熱的にも問題なく安定動作することも確認した。

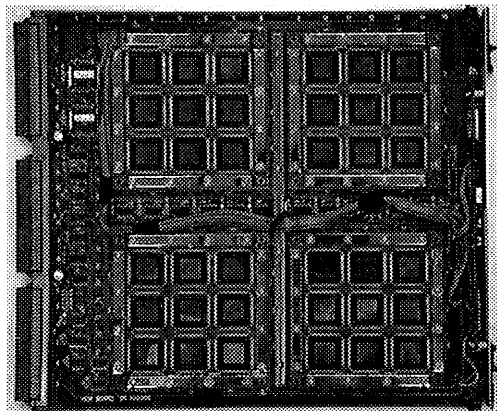


図 11: MCM を搭載したラピッドプロトタイプシステムボード

表 4: STM 処理実現回路

機能	BC 数	動作速度 (MHz)
frame synchronizer	67	20.5
frame counter	15	54.9
decoder for rst	7	58.5
decoder for mst	19	54.3
bit8 calculator	16	41.8
scrambler	18	53.5
bit24 calculator	64	20.7
overhead separator	23	69.9
overhead generator	19	20.0

表 5: ATM 処理実現回路

機能	BC 数	動作速度 (MHz)
cell synchronizer	53	20.2
cell counter	6	54.1
decoder	13	30.1
CRC8 calculator	8	27.0
scrambler	20	43.9
descrambler	18	58.5
header processor	48	50.0
header generator	21	21.1

4 まとめ

本稿では、通信処理用 FPGA(PROTEUS)を用いて試作した MCM の構成およびその特性について述べた。また、MCM を複数個搭載したボード上で、リアルタイム処理可能なことを実験により確認した。今後は、MCM 用の分割ソフトの試作をはじめ、回路設計環境の充実をはかる。

参考文献

- [BFRV92] S.D. Brown, R.J. Francis, J. Rose, and Z.G. Vranesic. *Field-Programmable*

Gate Arrays. Kluwer Academic Publishers, 1992.

- [HMK⁺96] K. Hayashi, T. Miyazaki, K. Yamada, T. Ichimori, K. Fukami, and N. Ohta. A Novel Approach to Real-Time Verification of Transport System Design using FPGA based Emulator. *Proc. IEEE International Workshop on Rapid System Prototyping*, 1996.
- [Nag93] T. Nagatsuma. Measurement of High-Speed Devices and Integrated Circuits Using Electro-Optic Sampling Technique. *IEICE Trans. Electron*, Vol. E76-C, No. 1, pp. 55–63, 1993.
- [ONTM94] N. Ohta, H. Nakada, A. Tsutsui, and T. Miyazaki. PROTEUS: Programmable Hardware for Telecommunication Systems. *Proc. ICCD'94*, 1994.
- [SNKM95] M. Shinagawa, T. Nagatsuma, Y. Kato, and K. Matsuhira. A High-Impedance Probe Based on Electro-Optic Sampling. *Proc. JSAP 15th Meeting on Lightwave Sensing Technology*, pp. 123–129, 1995.
- [TYMO95] A. Tsutsui, K. Yamada, T. Miyazaki, and N. Ohta. Special Purpose FPGA for High-speed Digital Telecommunication Systems. *Proc. ICCD'95*, 1995.
- [YNT094] K. Yamada, H. Nakada, A. Tsutsui, and N. Ohta. High-speed Emulation of Communication circuits on a Multiple-FPGA System. *Proc. FPGA'94*, 1994.
- [安田 96] 安田圭一. 通信装置の実装技術と動向. 信学会誌, Vol. 79, No. 8, pp. 797–807, 1996.