

1997 International Symposium on Physical Design 報告

石塚 昭夫

日本電気(株)

1997年4月に米国カルフォルニア州ナパバレーで開催された
International Symposium on Physical Design (ISPD '97)について
報告する。

A Report on International Symposium on Physical Design '97

Akio Ishizuka

NEC Corporation

1753 Shimonumabe, Nakahara-ku, Kawasaki,
Kanagawa, 211 Japan

This paper reports on International Symposium on Physical
Design '97, which was held on April, 1997 at Napa Valley, U.S.A.

ISPD '97はレイアウト関係国際学会で昨年までワークショップだったものが今年からシンポジウムとなった。今年にはカルフォルニアワインの名産地であるNapa Valleyで開催された。

(1) 全般

・内容は

技術発表：	19件
ポスター：	8件
招待発表、キーノート：	8件
パネル：	1件

- ・設計事例やロードマップ報告などの企画が幸いしてか、参加者は去年の倍の220人。大学関係者、企業のCAD技術者、EDAベンダーの技術者が多い。
- ・日本からの参加は2名(NEC1、北陸先端大1)のみ。日本人としてはもう一名現地法人から参加があった。
- ・日本からの発表は上記の北陸先端大の1件のみ。
- ・論文投稿数は69件、採択率は約38%。
- ・パラレルセッションはなく、一同が同じ部屋に会し、休憩時間にも活発な討論が行われていた。また、ランチタイム、ディナータイムにも講演があり、皆熱心に聴講していた。

(2) 概観

- ・発表の内容を、招待論文やランチ/ディナースピーカーまで含めてまとめると以下のように分類できる。

配置関係	8件
論理とレイアウトのリンク	3件
配線	3件
スタイナー木	3件
性能最適化	5件
設計手法(設計ツール)	2件
技術動向分析	6件+パネル
設計事例	3件(内1件はキャンセル)
その他	1件
合計	34件

目に付くのが技術動向分析の6件である。今回の会議では特に将来のPhysical Designの抱える課題についての招待論文/講演が多く盛り込まれており、クロストークノイズなどのシグナルインテグリティの

問題が深刻な問題となること、設計の複雑度が増し階層設計が重要になること、レイアウトと論理設計が密に連携する必要があることが、繰り返された。

一方、論文発表の方は、まだ配線遅延の最適化までに留まっており、上記の問題に対する対応はまだ見られていない。また、設計事例の報告は、さらに着実に、使える技術を最大限駆使して、あとは如何に性能や面積の改善をインクリメンタルに効率良く行うかが重要と主張している。

今回の会議の意義のひとつはPhysical Designの分野での将来の課題の共通認識を得ることと言えよう。

(3) 内容詳細

Session 1 : Placement and Partitioning

- Faster Minimization of Linear Wirelength for Global Placement (UCLA)
GORDIAN-L(Quadratic placerで linear wirelengthの最適化ができるように改良した)の手法を一般化し、パラメータによって収束性と解の精度のトレードオフを図れるようにした。
- Partition-Based Standard-Cell Global Placement with an Exact Objectives (UCLA)
種々のコスト(net-cut, absorption, quadratic, MSTなど)をゲイン計算方法を考案し、4分割による配置アルゴリズムと組み合わせた。タイミングドリブンにも拡張し、TimberWolf V7と同等の性能を得た。
- 他2件

Session 2 : Synthesis and Layout

- Regular Layout Generation of Logically Optimized Datapaths (Eindhoven工科大)
データバス等の規則的な回路も論理最適化を行うと規則性が崩れてしまうため、規則的な配置ができない。この問題を克服するため、以下のようにしてできるだけ規則的な配置をする。
 - 1) 規則的な回路Aを合成する。
 - 2) 回路Aから規則的な配置情報を作る。
 - 3) 回路Aに論理最適化を行い、回路Bを作る。
 - 4) 回路AとBを比較し、等価なノードを見付けて、2)の配置情報を回路Bにマッチさせる。
 - 5) 回路Bを4)の配置情報に従って配置する。
- 他2件

Session 3 : Contexts (Invited)

- Design Technology trends Based on NTRS Evolution(SRC :Semiconductor Research Coporation)
NTRS(National technology Roadmap for Semiconductors)の1994年に発行されたロードマップと、最近の状況の報告。
 - ・NTRSのレポートはSEMATECHのWebサイト(<http://www.sematech.org>)で見られるので、詳細は省略する。概要としては、
 - 重要な問題として、ローパワー設計、シグナルインテグリティ、モデリング、システムレベルデザイン、などがある。

- 短期的には、制約ドリブンのP&R、タイミング解析、テストのための故障モデル、チップのプランニング、分割などが重要である。
- 長期的には、システムレベルの仕様化、設計可能性探索、アプリケーションレベル合成、などが重要である。
- ・最近のMPUの動向を見ると94年の予測を上回る勢いでクロックスピードが上がっている。2010年には10GHzに達するだろう。
- ・Physical Designの分野では、
 - 過去：面積重視、現在：スピード重視、将来：パワー重視
 - 以下のものが問題となる：
 - 配線の寄生要素(R、C、L?)
 - 信頼性問題：材料、信号、ノイズ、
 - 現在見えている解決策は、
 - タイミングドリブンレイアウトと
 - 逆スケールリング(必要な場所では、間隔をあけ、幅を太くし、シールドイングし、etc)
 - 将来は、パワー&ディレイ&エリア&信頼性ドリブンレイアウト?

Session 4 : Routing

- A Simple and Effective Greedy Multilayer Router for MCMs
(Electronic and Telecomm Research Institute)
MCM用の多層グリーディルータ。ベンチマークの結果、V4Rルータに比べて数十倍高速である。配線長も短く、ビア数も少ない。
手法はグリーディチャネルルータなどと同じくスイープ線を左から右に動かしながら配線を伸ばしていく。目標のピンが近づいたら、そこに近づくように垂直方向にトラックを変える。これを水平方向と垂直方向について繰り返す。
- Performance Driven Global Routing for Standard Cells (UCLA)
概略配線の中で遅延最適化するトポロジー選択と配線幅選択を行う。
TimberWolfに比べて35%遅延を改善した。
配線の手順は以下の通り；
 - 1)全ネットの配線構造を求める。遅延を改善するように配線構造を変更する。
 - 2)フィードスルーを割り当てる。
 - 3)チャネル密度を改善するように改良を行う。
 興味深かったのは、1)の遅延改善のための配線構造の選択アルゴリズムをインターネット上にサーバー登録すると、それを使って評価をしてくれる仕組みを作ったと言っていた。
- 他1件

Session 5 : Steiner Tree Constructions

- A Min-Cost Flow Based Min-Cost Rectilinear Steiner Distance-Presearving Tree Construction (SungKyunKwan Univ)

- Efficient Heuristics for the Minimum Shortest Path Steiner Arborescence Problem with Applications to VLSI Physical Design (UCLA)

いずれもソース、シンク間の距離を最短に保った重み和最小のスタイナーツリーを見付けるヒューリスティックアルゴリズムの提案。

- 他1件

Session 6 : Back-End Design Methodology

- C5M - A Control-Logic Layout Synthesis System for High-performance Microprocessors (IBM)
IBMの400MHzのプロセッサ設計に用いたcontrol-logicのレイアウト生成システムの紹介。手法は以下の通り；

- 1) HDLからパラメタライズド・セルを用いた回路を論理合成する。
- 2) 自動及び人手によりTrサイズを調整する。
- 3) 回路情報に基づいて、専用セルを生成する(セルコンパイラによってシンボリックレイアウトを行い、その後にコンパクションを行う)。
- 4) ローベースの配置配線アルゴリズム(Quadratic配置とメズルータ)を用いてレイアウトする。フラットなセルジェネレータに比べて、柔軟性、可制御性の点で勝っている。

- 他2件

Session 7 : Poster Presentation

- A Pseudo-Hierarchical Methodology for High Performance Microprocessor Design (IBM)
0.35 μ テクノロジーのPowerPCのレイアウト設計手法の紹介。データバス等のマクロは人手で設計し、グルーロジックの部分はスタンダードセルの配置配線を用いた。特徴は

- 1) ブラックボックスマクロを自動的に作る仕組みを作り、マクロ設計が終わる前に、チップレベルのレイアウトができるようにした。
- 2) スタンダードセルはグループに分け、グループのフロアプランを行い、グループ間の配線長を見積もることにより、チップレベルの遅延検証を行えるようにした(これをPseudo-hierarchicalと呼んでいる)。

- 他7件

Session 9 : Performance Optimization

- EWA: Exact Wiring-Sizing Algorithm (Carnegie Mellon大)
与えられたElmore遅延制約のもとで、配線幅を変えながら、最小の配線面積を実現する方法の提案。
- Minimization of Chip Size and Power Consumption of High Speed VLSI Buffers (UNCC)
与えられた遅延制約、負荷容量に対して、面積最小のバッファを求める手法の提案。
バッファは複数のインバーターのカスケードとして生成する。
- Closed Form Solution to Simultaneous Buffer Insertion/Sizing and Wire Sizing (Texas大Austin校)
配線幅の変更とバッファ挿入を行って配線遅延を最小化する手法の提案。
配線は複数のセグメントに分割し、それぞれの幅を変えることができる。

Session 1.0 : Design Methodology Futures (Invited)

- Chip Hierarchical Design System (CHDS): A Foundation for Timing-Driven Physical Design into the 21st Century (Sematech, IBM)
SematechがまとめているCHDSの要求仕様に関する説明。0.25 μ 以降の設計で必要となるシステムとして提示している。必要となるのは、
 - 1) Design Planningをはじめとした階層的な設計システム
 - 2) 先端的な寄生要素抽出とシグナルインテグリティ検証
 - 3) 種々のツールにつながるオープンインターフェースその他もろもろ。詳しくは、<http://www.semtech.org> 参照。
- 他1件

Session 1.1 : Core Directions (or, Do The Right Thing)

- パネル: Physical Design R&D : What's Missing ?

モデレータは G.Smith (Dataquest)

パネラは

D.Lapotin (IBM)	W.Dai (UCSC)
E.Hsieh (Avant!)	M.Hunt (Cadence)
K.Keutzer (Synopsys)	N.Sherwani (Intel Hillsboro)

- 今のPhysical Designの研究で何が足りないか、の議論であるが、パネラそれぞれ違った観点から発表があった。興味深い発表を上げると、

* Dai (UCSC)

現在の研究には以下の点が欠けている；

1) Practical Consideration

例) 0 スキューは必要ない。Useful スキューの方が優れている。

2) Realistic Formulation

例) 遅延を最小にするバッファツリーは必要ない。遅延制約を満たすバッファツリー生成の方が必要。

3) Incremental Layout

例) クロストーク回避のために最初からすべてのネットに一定以上の隣接配線を禁じるやり方は現実的でない。後から有害なクロストークだけ回避するようなルータが必要。例えば、ラバーバンドルータならそれができる。

* Sherwani (Intel)

次世代のPD研究の10大問題のリストを作り、Webサイトを作ろう。

(現在この分野の10人でリストを作成中である)

リストの候補としては、
・階層設計、
・シグナルインテグリティ、

・プロセスばらつき、などがある。

- これらの問題に関する仕様などを大学、企業などから投稿してもらう。
- このWebサイトに研究成果を投稿し、最善の結果を常に更新する。
- リストは年3回(ISPD、DAC、ICCAD)見直す。

その他

Physical Design Realities for Dital's StrongARM and Alpha Microprocessors, (DEC)

- DEC Alpha21164, 21164PC, 21264などの設計手法の話。

ちなみに、Alpha21264は600MHzで動作する。

Alphaの設計手法は

- * RTL設計は論理的な意図を記述するもの。
- * スケマティック設計で回路的な意図を記述する。
- * レイアウト設計が唯一の真の製品である。
- * RTLからスケマティックへは人手で変換する。
- * スケマティックからレイアウトへは人手で変換する。
- * スケマティックとRTLの等価性検証をツールで行う。
- * スケマティックとレイアウトの等価性検証をツールで行う。
- * レイアウトからは、クロストークや β レシオを抽出し、ノイズやリーク電流などのチェックをする。
- * こういったツールは市販されていないのでほとんど自社で開発している。

一言で言うと、"Correct by verification"である。あまりの古さと、凄さに一同唖然としていた。ちなみに、設計者の数は、回路設計60人、レイアウト設計50人、アーキテクチャ/検証に30~40人、CADに55~70人とのこと。レイアウトに階層という概念はあり得ない(カップリングがあるから)とも言っていた。

(4) むすび

Physical Designの分野の研究はディープサブミクロンの時代を迎えて再び脚光を浴び始めた。ISPDがワークショップからシンポジウムに出世し、今回のように220人も参加者を得たのはその証であろう。しかしながら、見えている課題は一つのツールやアルゴリズムでは解決できない困難な問題も多い。今後もこれらの学会を通じて研究者の活発な交流が行われることを期待したい。

ISPD-97 Final Program

1997 International Symposium on Physical Design
Embassy Suites at Napa Valley, Napa, California

April 14-16, 1997

Sponsored by ACM Special Interest Group on Design Automation (SIGDA)
in cooperation with IEEE Circuits and Systems Society

Additional support from

Avant! Corporation
Intel Corporation
U. S. National Science Foundation

Cadence Design Systems, Inc.
Synopsis, Inc.

Schedule of Events

Monday, April 14

0830-0840 **Chair: Walcome**

- A. B. Kahng and M. Sarratez
- 0840-1010 **Keynote Address**
Physical Design: Past and Future, T. C. Hu (UCSD), E. S. Kuh (UCB)

1010-1030 **Break**

1030-1230 **Session 1**
Placement and Partitioning

Chair: D. Hill (Synopsis)
- J. Prable (Atista Technology)

- **Fast Minimization of Linear Wirelength for Global Placement**, C. J. Alpert, T. Chan, R. Y. Yang, A. B. Kahng, I. Markov, F. Muler, R. Yau (UCLA, Cadence and IBM)
- **Network Flow Based Multi-Way Partitioning with Area and Pin Constraints**, H. Liu, D. F. Wong (UT-Austin)
- **Partitioning-Based Standard-Cell Global Placement with An Exact Objective**, D. J. Huang, A. B. Kahng (UCLA and Cadence)
- **VLSI/PCB Placement with Obstacles Based on Sequence Pair**, H. Murata, K. Fulyoshi, M. Kaneko (JAIST and Tokyo Inst. of Tech.)

1230-1430 **Lunch (Speaker)**

- **The Quarter Micron Challenge: Migrating Physical and Logic Design**, R. Cumpuano (Synopsis)

1430-1600 **Session 2**
Synthesis and Layout

Chair: R. Cumpuano (Synopsis)
C. Sechen (Washington)

- **Timing Driven Placement in Interaction with Netlist Transformations**, G. Szusz, B. R. Biles, B. Rohlfach, F. M. Johannes (TU-Munich)
- **Regular Layout Generation of Logically Optimized Datapaths**, R. X. T. Nijssen, C. A. J. van Eijk (TU-Eindhoven)
- **Minimizing Interconnect Energy Through Integrated Low Power Placement and Combinational Logic Synthesis**, G. Holt, A. Tyagi (Iowa State)

1600-1630 **Break**

1630-1830 **Session 3 (Invited)**
Contexts

- **Design Technology Trends Based on NTRS Evolution**, F. Verbeest (SRC)
- **Microprocessor Architecture, Circuit, and Physical Design Trends**, R. Panfili (Sun)

1900-2100 **Dinner (Speaker)**

- **Lithography and Dimensional Trends for Future Processes - Implications for Physical Design**, F. K. Vander Smissche

Tuesday, April 15

0830-1000 **Session 4**
Routing

Chair: T. S. Moh (Silicon Valley Research)
D. F. Wong (UT-Austin)

- **On Two-Step Routing for FPGA**, G. G. Lemieux, S. D. Brown, D. Vranasic (Toronto)
- **A Simple and Effective Greedy Multilayer Router for MCMs**, Y. J. Cha (Electronic & Telecommunication Research Institute), C. S. Rim (Sogang U.), K. Nohjima (Maryland) *in collaboration with*
- **Performance Driven Global Routing for Standard Cells**, J. Cong, P. Madden (UCLA)

1000-1030 **Break**

1030-1200 **Session 5**
Steiner Tree Constructions

Chair: M. Marek-Sadowska (UCSB)
- J. D. Cho (Sungkyunkwan)

- **Min-Cost Flow Based Min-Cost Rectilinear Steiner Distance Preserving Tree Construction**, J. D. Cho (Sungkyunkwan)
- **Efficient Heuristics for the Minimum Shortest Path Steiner Approximation Problem with Applications to VLSI Physical Design**, J. Cong, A. B. Kahng, K.-S. Leung (Cadence and UCLA)
- **Practical Good Routing Tree Construction with Multi-Port Terminals**, C. Bateman, C. S. Helvig, G. Robins, A. Zellitovsky (Virginia)

1200-1330 **Lunch**

1330-1500 **Session 6**
Back-End Design Methodology

Chair: C.-K. Cheng (UCSD)
- M. Weibel (Intel)

- **A Roadmap of CAD Tool Changes for Sub-Micron Interconnect Problems**, L. Scheffer (Cadence)
- **CSM - A Control Logic Layout Synthesis System for High-performance Microprocessors**, J. Burns, J. Feldman (IBM)
- **A VLSI Artwork Legalization Technique Based on a New Criterion of Minimum Layout Perturbation**, F.-L. Heng, Z. Chen, G. E. Tellez (IBM)

1500-1545 **Session 7**
Poster Presentations

Chair: G. Robins (Virginia)
- J. D. Cho (Sungkyunkwan)

- **A Pseudo-Hierarchical Methodology for High Performance Microprocessor Design**, A. Bertolletti, K. Carpenter, K. Carrig, A. Chu, A. Dean, F. Ferrabolo, S. Kenyon, D. Phan, J. Petrovick, G. Rodgers, D. Willmore (IBM); T. Bairley, T. Decker, Y. Girardi, Y. Lapid, M. Murphy, P. A. Scott, R. Weis (Cadence)
- **Concurrent Transistor Sizing and Buffer Insertion by Considering Cell-Delay Tradeoffs**, S. Kim, C. Banu (Cadence); Y. Jiang, S. Srikumar (Iowa State)
- **Towards New Benchmarking Paradigms in EDA**, N. Kapur, D. Ghosh, F. Braga (UCSU)
- **How Good is Sizing Floorplans?**, F. Y. Young, D. F. Wong (UT-Austin)
- **Stitchability of Rectangular Grays and Indian Institutes of Management**
- **Power Optimization (Washington State)**
- **MCM VLSI Synthesis Approach to Thermal Placement**, C.-H. Chu, D. F. Wong (UT-Austin)
- **Preserving RTL Synthesis Hierarchy for Cell Placement**, Y.-W. Yang, W.-J. Fang, A. C.-H. Wu, Y.-L. Lin (Tung Hua)

1030-1230 **Session 10 (Invited)**
Design Methodology Futures

• **Chip Hierarchical Design System (CHDS): A Foundation for Timing-Driven Physical Design into the 21st Century**, R. G. Buchroeder (Sematech/HP), S. DasGupta (IBM)

• **Physical Design 2010: Back to the Future?**, A. R. Newton (UCB)

1230-1430 **Lunch (Speaker)**

- **Physical Design Realities for Digital's StrongARM and Alpha Microprocessors**, W. J. Grundmann (DEC)

1430-1700 **Session 11 (Invited)**
Core Directions (or, Do The Right Thing)

• **Physical Design Challenges of Performance**, D. P. LaPointe (IBM Austin Research Lab)

• **Panel: Physical Design R&D: What's Missing?**
Moderator: G. Smith (Dataquest)

W. W.-M. Dai (UCSC)
E. Hsieh (Avant!)

M. Hunt (Cadence)
K. Kenner (Synopsis)

D. P. LaPointe (IBM Austin Research Lab)
N. Sherwani (Intel Hillsboro)

1700 **Symposium Closes**

【付録】

ISPD-97 Final Program