

アナデジ混在 LSI のチップ一括機能検証手法の確立

植松 博[†]、本野 洋輔[‡]、岩渕 真人[‡]、古川 且洋[‡]、山崎 隆[†]

[†]日立超 LSI エンジニアリング株式会社
〒198 東京都青梅市今井2326番地

[‡]株式会社 日立製作所 デバイス開発センタ
〒198 東京都青梅市今井2326番地

概要 アナログ回路とデジタル回路が混在した LSI (アナデジ混在 LSI) のチップ一括機能検証手法を提案する。特長は、アナログ回路部をトランジスタ・レベルで、デジタル回路部はゲート・レベルをもちいてシミュレーションを行い、アナログ回路部の高速化の為に、非線形 MOS トランジスタモデルを区分線形近似したモデルの使用と効率良い回路分割によるイベントドリブン方式のシミュレータを採用してシミュレーションした点である。

実際の回路のアナデジ混在 LSI に適用を行い、PHS 1 チップベースバンド LSI では、3ms のシミュレーションに対して結果を5日で出し、マスク作成前にアナデジ回路間のインターフェイス不良を摘出した。

キーワード アナデジ混在シミュレーション、機能検証

The establishment of the whole chip function verification method for Mixed-Signal LSI

Hiroshi Uematsu[†], Yousuke Motono[‡], Masato Iwabuchi[‡], Katsuhiro Furukawa[‡],
Takashi Yamazaki[†]

[†]Hitachi ULSI Engineering Corp.

2326, Imai, Oume-shi, Tokyo198, Japan.

[‡]Hitachi, Ltd. Device Development Center.

2326, Imai, Oume-shi, Tokyo198, Japan.

Abstract Whole chip function verification method of the LSI (Mixed-Signal LSI) in which a digital circuit was mixed with an analog circuit is proposed.

In a Mixed-Signal simulation, the analog parts is simulated in transistor level and the digital parts is simulated in gate level. We employed a high speed event-driven type simulator whose features are PWL model for MOS transistor and circuit partitioning for analog parts.

We applied this method to the actual Mixed-Signal LSI. 3-ms-simulation was completed within 5days, and picked out a mistake of interface between an analog and digital circuits before fabrication.

英文 Keywords Mixed-Signal LSI, function verification

1. はじめに

近年、マルチメディア機器向けの複雑なアナデジ混在 LSI の設計の増加や大規模デジタル回路、アナログ回路／デジタル回路（アナデジ混在回路）が普及してきた。アナデジ混在回路を全て回路シミュレータで行おうとすると、規模的に解析が困難であり、論理シミュレータにおいても、アナログ回路部の信号の伝播遅延が回路シミュレーションほど精度がないため、シミュレーションを対象とする回路が限られた。アナログ回路とデジタル回路を一括に機能検証を行うためには、アナデジ混在チップ一括シミュレーションが必須である。

アナデジ混在チップ一括シミュレーションは、シミュレーション速度が遅い方のシミュレータに律則されるため、論理シミュレータと回路シミュレータの組み合わせでは、実現が困難であった。（図1参照）

以下の特長を持つトランジスタレベルのイベントドリブン方式のシミュレータと論理シミュレータの組み合わせを採用することで、アナデジ混在シミュレーションを実現した。

- (1) 非線形 MOS トランジスタモデルを区分線形 (PWL) 近似したモデルを用いて回路方程式を解くシミュレータ。
- (2) 回路分割手法により、回路の潜伏性を活用し、非動作回路の解析をスキップするような手法をもつシミュレータ。

以下の章では、アナデジ混在 LSI のチップ一括機能検証の設計環境をアナデジ混在 LSI に適用した結果について報告する。

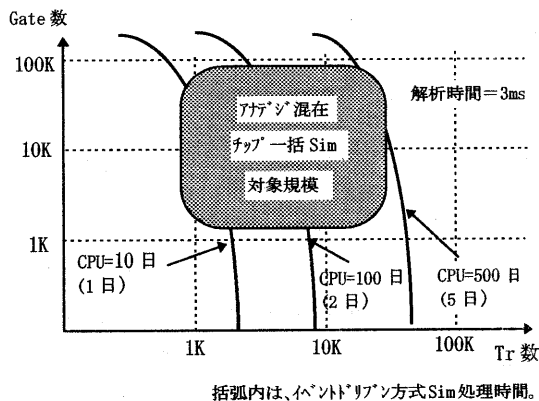


図1 回路Simとイベントドリブン方式Simの処理時間

2. 構築したアナデジ混在チップ一括機能検証環境

LSI の大規模化、高速化が進むにつれて、EDA (electronic design automation) ツールを利用したトップダウン設計の重要度は増す一方である。[1] 今回、トップダウン設計を用いて構築したアナデジ混在 LSI チップ一括機能検証環境のフローを図2に示す。

(1) システム設計

トップダウン設計の最初の段階であるシステム設計では、LSI 全体をシステムととらえ、その動作を定義し、ハードウェア構成を明確にする。

(2) 機能・論理設計

RTL レベルでのシミュレーションを行った後、論理合成を使ってゲート・レベルの論理回路を作成し、ゲート・レベルでのシミュレーションを行う。

(3) レイアウト設計

ゲート・レベルの論理回路を構成する各マクロセルを LSI チップ内に配置し、そのマクロセル間を配線する。

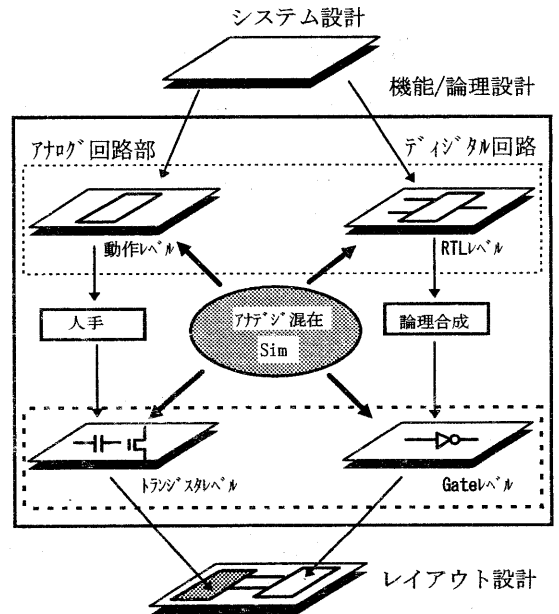


図2 トップダウン設計フロー

機能／論理設計に位置づけられるアナデジ混在チップ一括シミュレーションでは、以下の4つの組み合わせが考えられる。(図2参照)

- 1) デジタル回路部がRTLレベル+アナログ回路部は動作レベル
- 2) デジタル回路部がGateレベル+アナログ回路部は動作レベル
- 3) デジタル回路部がRTLレベル+アナログ回路部はトランジスタレベル
- 4) デジタル回路部がGateレベル+アナログ回路部はトランジスタレベル

デジタル回路部は、論理合成によりRTLレベルからゲートレベルの記述に自動変換が可能だが、アナログ回路部では、人手で回路設計を行うため、1)、2)の方法でチェックを行なうと、アナログ回路部の動作レベルの記述とトランジスタレベルの記述との一致チェックを人手で行わねばならず[3][5]、漏れが発生することが問題となる。また、論理合成を使っても論理合成用のライブラリのミス等による不良も考えられるため、アナデジ混在チップ一括シミュレーションの手法としては、4)を今回は採用した。

シミュレータとしては、Synopsys社のPowerMillとCadence社のVerilogの混在シミュレータを採用し、アナデジ混在LSIのアナログ回路とデジタル回路のチップ一括機能検証を可能にした。PLL、ADC、MODEM、CODEC、変復調回路等の回路を含むアナデジ混在LSIに有効である。

以下、アナデジ混在チップ一括機能検証システムに取り入れた手法について述べる。

3. 機能検証に用いた手法

アナデジ混在LSI向けに、アナデジ混在チップ一括機能検証システムを構築する上で、以下に示すような問題点が生じた。

(1) アナログブロック間信号

アナログブロック間信号(アナログ信号)は、上位の論理記述を経由してアナログブロック間の信号が伝達される。しかし、論理ブロック中では、アナログ信号はあるしきい値を境に0/1で扱われてしまう為、ブロック間で正しくアナログ電圧を受け渡すことができない。

(2) デジタル回路部の記述変換

機能／論理設計のRTLレベルシミュレーションでは、顧客の要求に応じて使用するシミュレ

ータが変わるが、今回、適用した製品ではVHDLシミュレータを使用しており、VHDL記述からVerilog記述に変換が必要となった。

以下のアナデジ混在チップ一括機能検証システムに取り入れた手法の詳細について述べる。

3. 1 アナログブロック間信号

イベントドリブン方式のアナデジ混在シミュレータは、ノードの接続が、図3のように、アナログ回路部(ブロックA)から2階層上のデジタル回路部を経由してアナログ回路部(ブロックB)に接続するような場合、ブロックAのアナログ電圧値が精度良くブロックBに伝わらない。

図3のブロックAから出力されるアナログ電圧値0.5Vは、デジタル回路部を経由すると、アナログ電圧値が論理値0に変換され、その値を再びアナログ電圧に変換するとブロックBでは0.0Vとなり、ブロックAから出力されるアナログ電圧値0.5Vが、ブロックBには伝わらないという問題が発生した。

この問題の解決方法としては、以下に示す2通りがある。ネットリストの階層を組み替える方法とAD/DAコンバータをネットリスト中に挿入する方法の2つが考えられる。

1) ネットリストの階層を組み替える方法

図3のアナログ回路ブロックA及びブロックBは、デジタル回路に含まれ、アナログ回路とデジタル回路が混在している。これを、図4のように、デジタル部のネットリストとアナログ回路部のネットリストをそれぞれまとめるようにネットリストの階層を組み替えることによって、アナログ信号は、デジタル回路を経由することがなくなり、アナログ回路(ブロックA)のアナログ電圧値0.5Vが、精度を落とすことなくアナログ回路(ブロックB)に伝えることを可能とした。

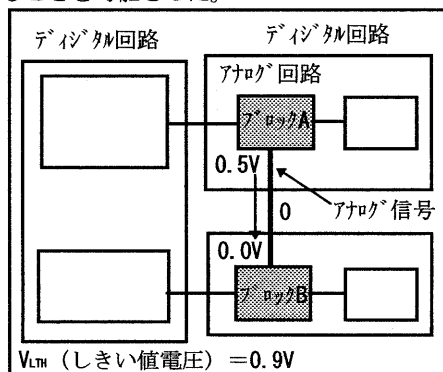


図3 解決前のブロック図

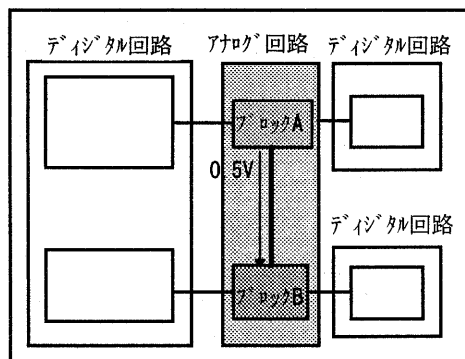


図4 解決方法1のブロック図

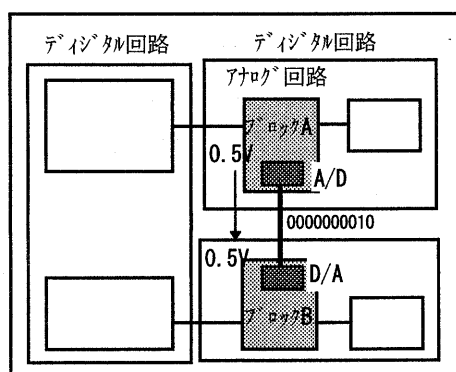


図5 解決方法2のブロック図

2) AD/DA コンバータをネットリストに挿入する方法

図5に示すように、アナログ回路中にアナログデジタル変換を行う AD/DA コンバータ（機能記述）を挿入した。アナログデジタル変換を行う A/D コンバータでは、アナログ電圧値を10段階に重み付けをしてデジタル値に変換し、デジタル回路部にアナログ電圧値を渡す。或いは、デジタル回路部からアナログ回路部に入るところで、重み付けをしたデジタル値をアナログ電圧値に逆変換を行う。

今回の製品適用としては、前者の方法を用い、Synopsys 社の Design Compiler を用いてネットリストの階層組み替えを行った。

3. 2 デジタル回路部の記述変換

機能/論理設計での RTL シミュレーションでは、顧客の要求に応じて使用するシミュレータを選択する。採用したアナデジ混在シミュレータは、論理シミュレータの Verilog-XL と大規模回路シミュレータの

PowerMill を用いてミックスモードシミュレーションを行う為、デジタル回路部の記述は、Verilog 記述でなければならないが、顧客の要求で VHDL シミュレータを使用した場合には Verilog 記述に変換の必要がある。ネット記述については、Design Compiler を用いて記述を変換できるが、ライブラリ記述、テストベクタについては、変換ツールが無い為、人手にて変換を行った。

4. 適用結果

我々の提案するアナデジ混在シミュレーションフローを PHS (Personal Handy-phone System) 1チップベースバンド LSI と加入者回路 LSI に適用した結果を報告する。

4. 1 PHS 1チップベースバンド LSI 適用結果

PHS は、簡易型携帯電話とよばれ、コードレス電話を屋外でも利用できるようにしたもので、手軽に電話機を持って屋内外を問わずどこからでも自由に通信を可能としたシステムである。[4]

近年、携帯電話、PHS といった携帯通信機器の市場は、端末および利用料の低価格化に伴って急速に拡大し、小型化、軽量化、低価格化が強く要求されている。[2]これらの要求に応えるため、プロセスを0.8 μm から0.5 μm へ微細化することによって集積度を拡大し、AFE (アナログフロントエンド)、SH-DSP、CHC (チャネルコーデック) 等を1チップ化した、PHS 1チップベースバンド LSI の開発を行った。

PHS は、図6のように、アナデジブロックの CKGEN、A/D、AFE、VREF、MODEM とデジタルブロックの SH-DSP、CHC 等から構成する。AFE では、TDMA (時分割多重アクセス方式) 化したデジタル信号をアナログ信号に変換したり、アナログ信号をデジタル信号に変換する。SH-DSP は、TDMA 化した信号を圧縮又は伸縮する。CHC では、TDMA の制御を行う。

図6に、PHS の機能ブロック図を示す。PHS では、以下の3つのチェックを行い、図7及び図8に出力波形を示す。

- (1) MODEM の送信側の機能チェック (No1)
- (2) AFE の送受信側の機能チェック (No2)
- (3) A/D の機能チェック (No3)

アナデジ混在回路ブロックとデジタル回路ブロックをブロック単体及びチップ一括で機能検証を行った結果を表1に示す。チップでは、素子数10.6K、Gate数73Kで解析時間を3000 μs シミュレーションを行った結果、処理時間は120時間であった。本シ

ミュレーションによって、アナデジ回路のインターフェイス不良を摘出して、1st シリコンでの動作品取得ができた。

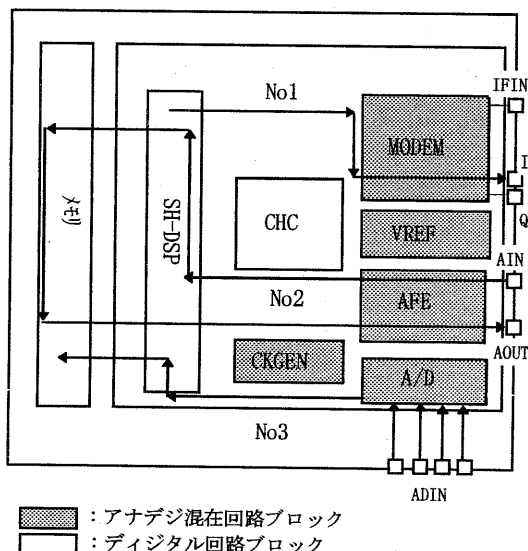


図 6 PHS の機能ブロック図

表 1 PHS 適用結果

	素子数	Gate 数	処理時間	解析時間
Block1	4.5K	10K	11hr	750 μ s
Block2	0.6K	0.2K	1min	20 μ s
Block3	3.3K	7K	10hr	1000 μ s
Block4	1.1K	5K	1.5hr	1000 μ s
Chip1	10.6K	73K	120hr	3000 μ s

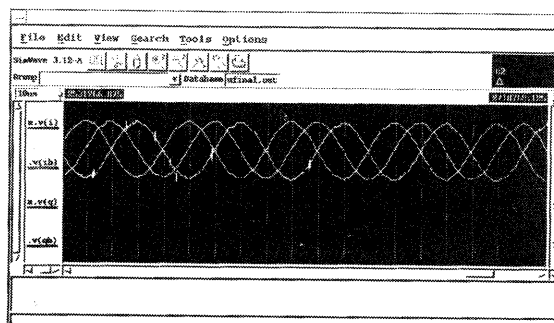


図 7 PHS、MODEM 送信側の波形

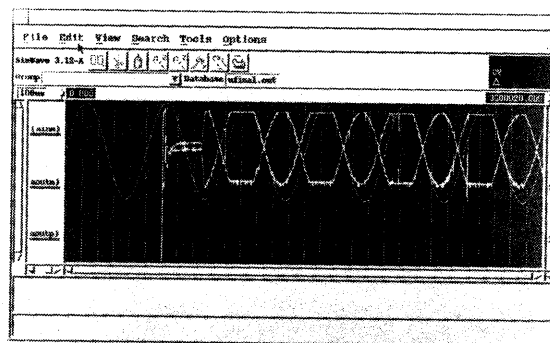


図 8 PHS、AFE 送受信側の波形

4. 2 加入者回路 LSI 適用結果

加入者回路 LSI (SLIC:Subscriber Line Interface Circuit) は、電話交換機内で使われている LSI で、主な機能としては、音声アナログ信号をパルス符号変調 (PCM:Pulse-Code Modulation) 又は、パルス符号変調を音声アナログ信号に変換する。パルス符号変調とは、送信すべきアナログ信号のピーク・ピーク振幅範囲を、いくつかのレベルに区分し、そのレベルを符号化して送信するようにしたものである。図 9 に、加入者回路 LSI の機能ブロック図を示す。AIN から音声アナログ信号を入力し A/D 変換、パルス符号変調を行い、DSP の手前で折り返し、D/A 変換を行って AOUT から音声アナログ信号が正常出力していることを確認した。表 2 に、適用した結果を示し、図 10 に出力波形を示す。

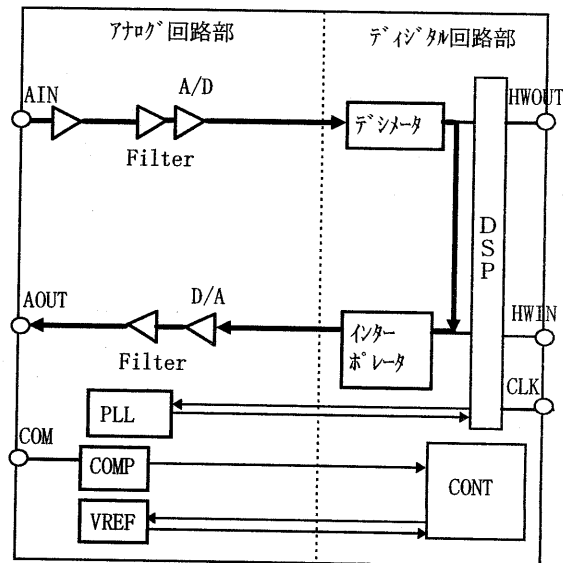


図 9 加入者回路 LSI の機能ブロック図

表 2 SLP 適用結果

	素子数	Gate 数	処理時間	解析時間
Chip1	10K	20 K	13 日	7100 μ s

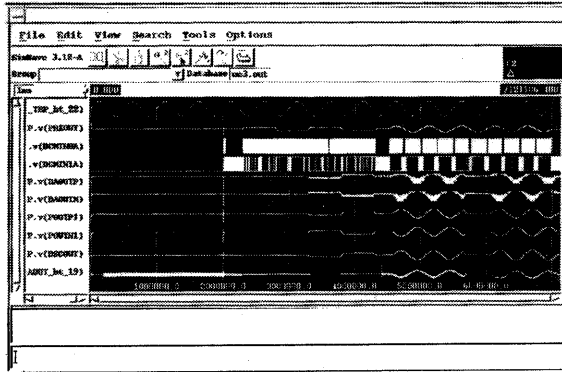


図 10 加入者回路、32KHz 折り返し波形

5. 考察

表 2 に示すように、アナデジ混在機能検証システムを適用した加入者回路 LSI では、素子数 10K、Gate 数 20K で、7100 μ s の解析を行うと、アナデジ混在シミュレータの処理時間が 13 日間かかり TAT が大きく問題である。

今後の方向としては、次の 2 通りが考えられる。

- (1) トランジスタ・レベルでのシミュレーションの高速化。
- (2) アナデジ混在 LSI のアナログ部をアナログ HDL で書いた記述とアナログ HDL を元に人手でトランジスタ・レベルに変換した記述との一致検証を行うための仕掛け作り。

6. まとめ

アナログ回路とデジタル回路が混在した LSI のチップ一括機能証手法を提案した。提案手法の特長は、アナログ回路部をトランジスタ・レベルで、デジタル回路部はゲート・レベルを用いてシミュレーションを行い、アナログ回路部の高速化の為に、非線形 MOS トランジスタモデルを区分線形近似したモデルの使用と効率良い回路分割によるイベントドリブン方式を採用したシミュレータを採用した点にある。実回路に適用して有効性を示した。

参考文献

[1] 藤波 義忠、吉田 正浩、石塚 昭夫、恵谷 誠至「ますます多様化する EDA ツール、大規模 LSI のトップダウン設計を支える」、『日経エレクトロニクス』1995 年 10 月 14 日号、no. 673、pp100-139。

[2] 佐藤 久恭、伊賀 哲也、柏木 賢一、庭野 和人、池田 龍彦、益子 耕一郎「PHS 用中間周波数処理 LSI」、『三菱電機技報』vol. 71、No. 3、1997。

[3] 村山 敏夫、小川 公裕、源代 裕治「ソニーが HDD 用 LSI の設計にアナログ HDL を適用」、『日経エレクトロニクス』1996 年 5 月 6 日号、no. 661、pp163-176。

[4] 飯田 徳雄「PHS の標準化動向と実用化実験の結果について」、『電子情報通信学会誌』vol. 78、No. 2、pp167-172、1995 年 2 月号。

[5] ToshioMurrayama, YujiGendai, "ATop-Down Mixed-SignalDesign MethodologyUsingaMixed-Signal Simulator and AnalogHDL" EURO-DAC-96, 1996.

Verilog-XL は、Cadence Design Systems, Inc の商標です。

PowerMill、Design Compiler は、Synopsys, Inc の商標です。