

パストランジスタ論理のためのセル開発とその応用

田中 秀樹[†] 李 副烈[†] 瀧 和男^{††} 宇田 研一郎[†] 北村 清志[†] 村田 豊^{††}

[†]神戸大学大学院自然科学研究科

^{††}神戸大学工学部情報知能工学科

〒 657 神戸市灘区六甲台町 1-1

Tel:078-803-1189, Fax:078-803-1218

{htanaka,puyo,taki,uda,kitamura,murata}@picasso.seg.kobe-u.ac.jp

あらまし パストランジスタ論理をスタンダードセル方式でレイアウトするためのセルを提案する。パストランジスタ論理用セルの基本となるセルは、BDDのノード1個または2個、及び出力インバータ付きノードである。基本セルを組み合わせて複合セルを設計し、用途別の複合セルライブラリを簡単に構成することができる。セルはCMOS伝送ゲートに基づいたものとnMOSに基づいたものを設計した。CMOSのセルとの混在にも配慮した。CMOS伝送ゲートに基づくセルで32ビット加算器を設計した結果、CMOSとの比較において面積85%、動作エネルギー67%、ED積78%と、効率の良いレイアウトと低消費電力な結果を得ることができた。

キーワード パストランジスタ論理, 低消費電力, スタンダードセル, 32ビット加算器

Cell Libraries for Pass-transistor Logic and Application Examples

Hideki TANAKA[†] Bu-Yeol LEE[†] Kazuo TAKI^{††}
Ken'ichiro UDA[†] Kiyoshi Kitamura[†] Yutaka MURATA^{††}

[†]Graduate School of Science and Technology, Kobe University

^{††}Department of Computer and Systems Engineering, Kobe University

Rokkodai-cho, Nada-ku, Kobe 657, Japan

Tel:+81-78-803-1189, Fax:+81-78-803-1218

{htanaka,puyo,taki,uda,kitamura,murata}@picasso.seg.kobe-u.ac.jp

Abstract This paper describes the development of cell libraries for pass-transistor logic. The standard cell layout methodology can be applied. Designing our cells is based on binary decision diagram (BDD). Basic cells of these libraries consist of one node and two nodes of BDD. We can design compound cells easily using basic cells. The basic cells are based on both CMOS pass gates and nMOS pass gates. We designed a 32-bit adder using CMOS pass gates for an evaluation. Compared with a CMOS adder, the area is 85%, the energy is 67% and energy-delay product is 78% of that of the CMOS adder.

key words Pass-transistor logic, Low power, Standard cell, 32-bit adder

1 はじめに

近年、LSIの低消費電力化は必要不可欠となっている。それを実現する回路技術に関する研究も盛んに行われ、なかでもパストランジスタ論理が従来のCMOS回路よりも低消費電力、高速、小チップ面積を実現できる可能性を持つ回路方式として注目を集めている[4]。

本研究室でもパストランジスタ論理SPL, SPHLを提案し、消費電力に関しては良好な結果を得ることができた[1]。レイアウトに関しては、市販のCMOS用ツールを用いて機能ブロックをマクロセルとしてパストランジスタレベルで合成を行っていたが、レイアウト効率はよいものではなかった。そこで、パストランジスタ論理の効率のよいレイアウトを行うため、パストランジスタ論理用セルを提案する。

パストランジスタ論理用セルを設計することで、遅延見積りも含め標準的なスタンダードセル方式を利用することができる。従来のCMOS用ツールを有効に利用し、パストランジスタ論理とCMOSを混在させて効率の良いレイアウトを行うことができるため、パストランジスタ論理を広く回路設計に適用させることが可能になると考えられる。セルによるパストランジスタ論理のレイアウト手法には、日立製作所のLEAP[3]やトランス・ロジック・テクノロジー社のMセルを用いたものがある[2]。

本稿では、まずパストランジスタ論理の基本となるコンパクトなセルの設計事例を紹介し、その基本セルを組み合わせることによって用途別の複合セルを実現する設計手法を提案する。提案手法によって用途別のセルライブラリが容易に設計できる。

セルはCMOS伝送ゲート(以下CMOSTG)に基づくものと、nMOSに基づくものを設計した。CMOSTGパストランジスタ論理はプロセスの変動に強く、CMOS混在の合成において相性がよいという利点と、パストランジスタ数が多いという欠点を持つ。そして、nMOSパストランジスタ論理はパストランジスタ数が少ないという利点があるが、nMOSとpMOSの数が非対称であり、信号レベル回復のpull-up pMOSが必要という点でレイアウトの効率を考えた時に問題があった。

それぞれのパストランジスタ論理用セルをどのように使用すれば、回路を設計した時にパストランジスタ論理の持つ利点を引き出すことができるかを、パストランジスタの段数や電源電圧などを変化させて、その特性を調べるにより考察する。

以下、2.では我々が研究開発しているパストランジスタ論理用の基本セルについて説明するとともに、複

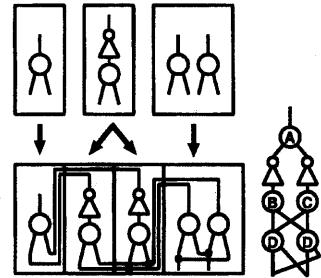


図1: 複合セルの設計

合セルの設計手法について述べる。次に3.では設計したセルの特性について考察を行う、そして4.ではパストランジスタ論理用セルを用いて設計を行った32ビット加算器について、CMOSと比較することにより、パストランジスタ論理用セルの性能評価を行う。

2 パストランジスタ論理用セル

2.1 セル設計の方針

パストランジスタ論理の構成法の一つに二分決定グラフ(以下BDD)に基づく手法がある。これはBDDのノード1個をパストランジスタ論理で構成される2入力1出力のセレクタ1個に置き換えることで論理を構成するものである。本稿で述べるパストランジスタ論理用セルもBDDに基づいて設計する。

パストランジスタ論理用セルの基本セルの単位はBDDのノード1個または2個、及び出力インバータ付きノードとする(図2)。基本セルを組み合わせ設計した複合セルを用いて回路を構成する。図1に前述した3種類の構造を持った基本セルから、複合セルを設計する簡単な例を示す。合成したい回路をBDDで表現し、構造やノードの段数を考慮したひとかたまりのBDDを複合セルとして設計する。

基本セル及び複合セルはCMOSと混在してレイアウトを行えることも目標としているため、セルの高さや配線ピッチなどをCMOSのライブラリと同じになるように設計する。

CMOSTGに基づくセルはpMOSとnMOSの数が等しいため、CMOS用のツールを用いる上ではレイアウトを行いやすいと考えている。nMOSに基づくセルはpMOSとnMOSの数が非対称であるため、余分なpMOSの領域を確保することがないように設計する必要がある。少ないパストランジスタ数で回路を構成できるというパストランジスタ論理の特徴を最大限に活かすことができるように考慮して設計する。

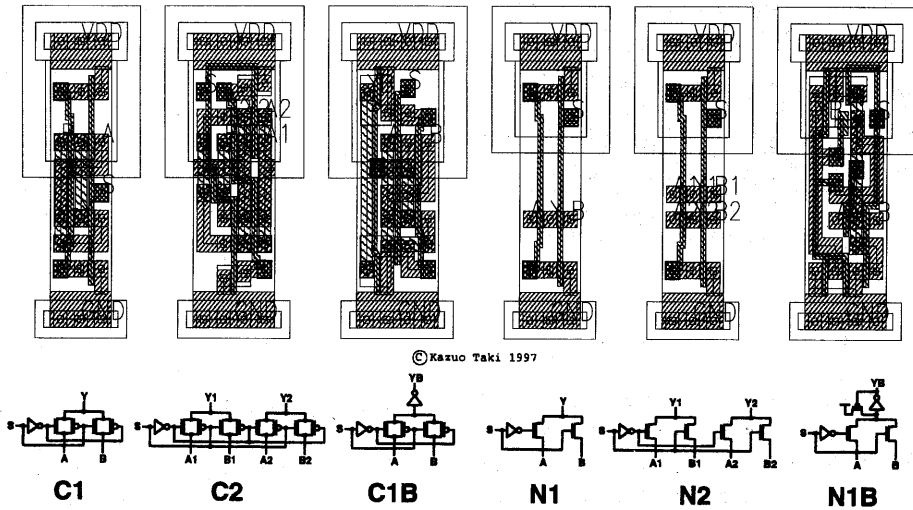


図 2: 基本セル

2.2 基本セル

パストラジスタ論理用セルの基本となるセルを設計する。設計ルールは $0.35\mu\text{m}$ である。

パストラジスタ論理で低消費電力化が可能となる主な理由は、CMOS 論理よりも少ないトランジスタ数で回路を構成することができるという点がよく主張されているが、パストラジスタ論理は CMOS 論理に比べてトランジスタサイズを小さくできるという点でも消費電力を削減することに有効であると考えられる。これは、出力インバータやバッファによって駆動力を確保しておくこと、回路を構成するパストラジスタ論理の部分のトランジスタサイズを小さくできるということである。このためパストラジスタ論理用セルを構成する際は、サイズの小さいトランジスタを用いることにより、セル内部のトランジスタを縦積みで配置することができる。これは面積および消費電力の削減ができる点で有利である。設計したセルは主にトランジスタサイズが $w = 0.9\mu\text{m}$ のものを使用している。出力インバータのトランジスタサイズは pMOS, nMOS ともに $w = 2.8\mu\text{m}$ である。

2.1でも述べたように基本セルの単位は BDD のノード 1 個または 2 個、及び出力インバータ付きノードである。非常に少ないので保守も容易に行える。また、端子の位置やゲートポリシリコンの配線を変更した同論理のセルを用意しておくことで、複合セルの設計に

おいて効率の良い配線を行える。

図 2 に設計した基本セルを示す。左の 3 つは CMOS TG パストラジスタ論理で、BDD のノード 1 個分 (C1)、2 個分 (C2)、出力インバータ付きノード (C1B) を構成するセルである。右の 3 つは nMOS パストラジスタ論理のセルである (N1, N2, N1B)。セレクト入力の反転論理を生成するインバータをセル内に含めることで、セル間の配線を減らした。同インバータは BDD のノードを構成するトランジスタのみ駆動できればよいので、サイズの小さいトランジスタを使用することができる。

図 2 に示した基本セルの面積は、 $4.2\mu\text{m} \times 15.4\mu\text{m}$ と $5.6\mu\text{m} \times 15.4\mu\text{m}$ である。

C2 セルでは pMOS と nMOS を 3 段積みで配置し、セル面積の増加を抑えた。CMOSTG パストラジスタ論理はトランジスタ数が多いが、2 段積みや 3 段積みみのセルを使用することによって、コンパクトなセルを構成することができる。nMOS パストラジスタ論理のセルは、pMOS と nMOS の数が非対称であるため、n-ウェルの領域が小さくなっている。このため、CMOS と混在させてレイアウトを行うときに N2 セルを CMOS のセルとの境界に配置すると、nMOS の拡散層と CMOS のセルの n-ウェルとの間でデザインルールの違反が起こるので注意が必要である。CMOS のセルと N2 セルの間に N1 セルか N1B セルを置けばデザインルールの違反は起きない。

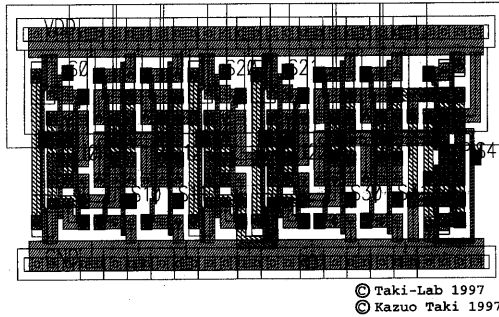


図 3: 複合セルの例 (加算器用)

また、nMOS パストラジスタ論理では、H レベル信号がトランジスタの閾値分低下する特性があるため、レベル回復用の pull-up pMOS が必要となる。出力インバータ付きノードを構成するセルでは、pull-up pMOS も内部に含まれる。pull-up pMOS のサイズは、 $l = 0.7\mu\text{m}, w = 0.4\mu\text{m}$ である。

nMOS パストラジスタ論理のセルは、面積を増やさずに内部に含む BDD のノード数を増やすこともできる。しかし、ノード数が増えるとセル間配線による面積が増加するのでノード数は 2 までに制限しておく。

2.3 複合セル

複合セルは基本セルを組み合わせて容易に実現可能である。設計対象の回路が BDD に基づいて構成されているため、BDD のノード単位で設計した基本セルの組み合わせで様々な論理の複合セルを作ることができる。加算器用、乗算器用、論理合成用といった用途別複合セルライブラリを簡単に用意することが可能である。ライブラリ毎に複合セルを必要に応じて追加していくことも容易である。図 3 は CMOSTG に基づいた 32 ビット加算器の設計に使用した複合セルの一例である。9 個の BDD のノードを 8 個の基本セルで構成した。総トランジスタ数は 58 個で、面積は $40.6\mu\text{m} \times 15.4\mu\text{m}$ である。

3 セルの特性

3.1 リングオシレータ

提案手法を用いて CMOSTG, nMOS パストラジスタ論理のリングオシレータを設計し、トランジスタの直列段数、電源電圧、バス入力とセレクト入力に対する特性を調べた。図 4 にシミュレーションに用いたリングオシレータの例を示す。レイアウト後パラメータ抽出し、HSPICE でシミュレーションを行った。図 4(1),(2) はバス入力の変化に対する特性を調べるため

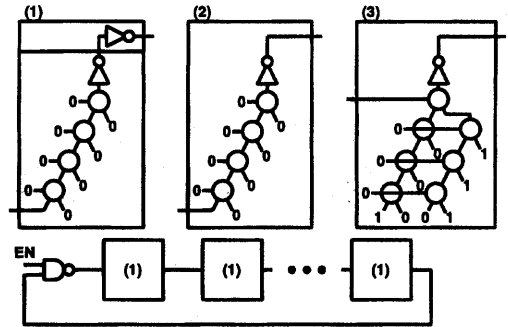


図 4: リングオシレータ

のものである。それぞれパストラジスタ 1, 2, 3, 4, 6 段の複合セルについてリングオシレータを設計した。(1) はインバータを含むため、入力の立ち上がり立ち下がり伝える特性を見ることができる。(2) は信号極性がセルを伝える度に変化するので入力の立ち上がり立ち下がり平均した特性を余分なインバータを含まずに見ることができる。(3) はセレクト入力に対する特性を調べるものであり、パストラジスタ 2, 4 段の複合セルを用いて設計した。

表 1, 2 にセル間にインバータを追加した (1) の場合のシミュレーション結果を入力立ち上がり、立ち下がり別に示す。表 3 にはセルを直接接続した (2) の場合のシミュレーション結果を示す。表に示した結果はリングオシレータを構成するセルの 1 個あたりの値である。

CMOSTG, nMOS とともに L レベル信号を伝えるのが遅い。これはセルの出力インバータの pMOS と nMOS のサイズが同じであるため、インバータの閾値が低い値となっているためである。出力インバータの閾値と pull-up pMOS のサイズを変更することによって、L レベル信号を伝える遅延時間の増加を抑えることができる。出力インバータのサイズ変更¹による追加実験ではパストラジスタ 6 段の回路遅延時間は CMOSTG では $L \rightarrow H, H \rightarrow L$ がそれぞれ 1.37ns, 1.30ns, nMOS では 1.11ns, 1.23ns となり、極性による遅延時間のばらつきを抑えることができた。

また、CMOSTG と nMOS の遅延時間およびエネルギーを比較すると、直列段数が 2 段までは遅延時間、エネルギーともに CMOSTG が nMOS より小さいという結果が得られた。この傾向は nMOS パストラ

¹CMOSTG パストラジスタ論理は出力インバータのサイズを pMOS/nMOS=2.8 μm /1.8 μm に変更、nMOS パストラジスタ論理は pull-up pMOS のサイズを $L = 1.4\mu\text{m}, W = 0.4\mu\text{m}$ に変更

表 1: CMOSTG(1)(3.3V 時)

段数	遅延時間 (ns)		エネルギー (pJ)	
	L → H	H → L	L → H	H → L
1	0.25	0.28	0.48	0.44
2	0.36	0.43	0.67	0.55
3	0.52	0.64	0.90	0.69
4	0.71	0.88	1.16	0.88
6	1.16	1.46	1.74	1.25

表 2: nMOS(1)(3.3V 時)

段数	遅延時間 (ns)		エネルギー (pJ)	
	L → H	H → L	L → H	H → L
1	0.29	0.37	0.54	0.52
2	0.46	0.60	0.70	0.66
3	0.59	0.77	0.81	0.77
4	0.75	0.96	0.91	0.87
6	1.08	1.50	1.13	1.20

ジスタ論理の pull-up pMOS のサイジング後にも同様に
見られた (1,2,6 段の場合のサイジング後の遅延時間,
消費電力は平均で 0.27ns, 0.46ns, 1.14ns, 0.40pJ,
0.56pJ, 1.02pJ)。一方, 段数が増えるにつれ, 遅延時間,
消費電力ともに nMOS が CMOSTG より小さく
なっている。

3.2 セルの特性についての考察

リングオシレータのシミュレーション結果からパスト
ランジスタ論理用セルの特性について考察する。

3.2.1 段数の変化によるセルの特性

パストランジスタの多段接続回路における遅延時間
はほぼ段数の 2 乗に比例する。セルを構成するパスト
ランジスタの直列段数と性能について考察を行う。

図 5 に 12 段のパストランジスタ論理を 1 段の出力
インバータ付きセル, 同じく 2, 3, 4, 6 段のセルで構成
した場合の遅延時間, エネルギーの関係を 3.1 で示し
たパス入力に関するデータをもとに示す。これはちょ
うど 12 段のパストランジスタ論理にいくつの中間イ
ンバータを挿入すればよいかということと同じことで

表 3: CMOSTG(2) と nMOS(2)(3.3V 時)

段数	遅延時間 (ns)		エネルギー (pJ)	
	CMOSTG	nMOS	CMOSTG	nMOS
1	0.23	0.27	0.35	0.39
2	0.37	0.48	0.49	0.55
3	0.56	0.62	0.68	0.66
4	0.79	0.81	0.89	0.78
6	1.33	1.26	1.37	1.09

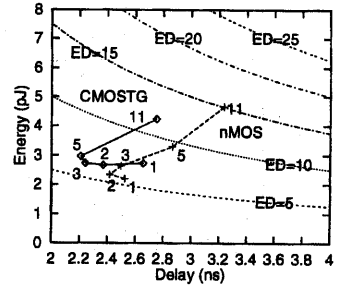


図 5: インバータの挿入 (パストランジスタ 12 段)

ある。図中の番号は中間インバータの数が 11 個 (1 段
のセル), 5 個 (2 段のセル), 3 個 (3 段のセル), 2
個 (4 段のセル), 1 個 (6 段のセル) ということを示
している。遅延時間, エネルギーの値は表 3 の値を各
セルについてパストランジスタ 12 段に換算したもの
である。

CMOSTG パストランジスタ論理用セルと nMOS パ
ストランジスタ論理用セルを比較すると, CMOSTG
の場合ではインバータの挿入個数が 3 個, すなわちパ
ストランジスタ 3 段のセルで構成したときに ED 積
(エネルギー遅延積) が最良となり, nMOS の場合では
インバータの挿入個数が 1 個, すなわちパストラン
ジスタ 6 段のセルで構成したときに ED 積が最良と
なる。

CMOSTG パストランジスタ論理はインバータを挿
入することによって, パストランジスタ部の信号波形
の鈍りによる貫通電流の削減効果が得られた。そのた
め, エネルギーを増加させることなく, 遅延時間を短
縮することができ, パストランジスタ 3 段という短い
段数で ED 積最良となった。一方 nMOS の場合, パ
ストランジスタ部の信号波形は段数と無関係に nMOS
の閾値分低下するため, インバータ挿入による貫通電
流削減効果は少ない。その結果, インバータを挿入す
ればするほど, エネルギーが増加し, 最も長いパスト
ランジスタ 6 段が ED 積最良となった。

今回の実験では nMOS パストランジスタの出力イ
ンバータの閾値および pull-up pMOS のサイズのチ
ューニングが不十分であったため, トランジスタ数が
CMOSTG の約半分であるにも関わらず動作エネル
ギーの減少が少ない結果となった。pull-up pMOS の
サイズを $l = 1.4\mu\text{m}$, $w = 0.4\mu\text{m}$ に変更し追試を行
なった結果, インバータ 1 個を挿入した場合 (パスト
ランジスタ 6 段) の遅延時間は 2.28ns, エネルギーは

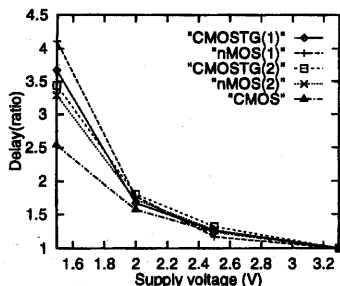


図 6: 電源電圧と遅延時間

2.04pJであり、それぞれサイズ変更前の90%、94%の改善となった。

3.2.2 電源電圧の変化によるセルの特性

図6に電源電圧と遅延時間の増加率について示す。測定回路はCMOSはインバータのリングオシレータであり、CMOSTG, nMOSパストラジスタ論理はパストラジスタを3段接続したセルのものである。具体的にはCMOSTG(1), nMOS(1)は図4(1)のリングオシレータを用いて立ち上がり、立ち下りの最悪値の変化を表したものである。CMOSTG(2), nMOS(2)は図4(2)のリングオシレータを用いて立ち上がり、立ち下りの平均の変化を表したものである。CMOSはCMOSインバータの平均の変化を表したものである。

CMOSTG(2), nMOS(2)が示すように平均遅延時間の増加率はCMOSTG, nMOSパストラジスタ論理ともに同程度であった。しかしながら、CMOSTG(1), nMOS(1)の最悪値の増加率とCMOSTG(2), nMOS(2)の平均値の増加率の開きが示すように、nMOSのパストラジスタ論理はCMOSTGの比べ立ち上がり、立ち下りのばらつきが大きい。今回の実験では出力インバータのチューニングまでには至らなかったため、nMOSパストラジスタは立ち上がり遅延が短くなるように出力インバータが設定された。3.3Vで立ち上がり、立ち下り遅延が同程度になるようにサイジングを行うと、nMOS(1)の1.5Vの増加率は4.9となり、ばらつきはさらに大きくなる。従って、nMOSパストラジスタ論理の場合、電源電圧ごとに最適な出力インバータの閾値とpull-up pMOSのサイズの調整が必要である。

図7に電源電圧とエネルギーの減少率について示す。いずれの論理もエネルギーが減少する傾向は類似しているが、nMOSパストラジスタ論理が最もエネルギーの減少する割合が大きく、CMOSTG, CMOSの

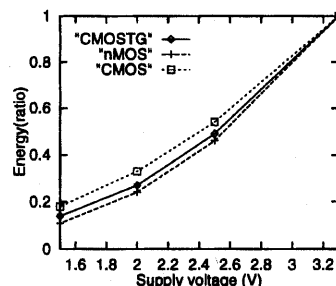


図 7: 電源電圧とエネルギー

表 4: CMOSTG(3) と nMOS(3)(3.3V 時)

段数	遅延時間 (ns)			
	CMOSTG		nMOS	
	L → H	H → L	L → H	H → L
2	0.25	0.27	0.30	0.43
4	0.32	0.30	0.45	0.49

順であった。CMOSの場合、電源電圧が下がると波形が鈍り貫通電流が増加するためエネルギーの減少率が最も高くなったと考えられる。このように低電源電圧時に速度の低下はあるものの低消費電力な回路の合成を行いたい場合は、パストラジスタ論理が向いていると考えられる。

3.2.3 セレクト入力の変化によるセルの特性

表4にセレクト入力を変化させたとき(図4の(3))のシミュレーション結果を示す。

セレクト入力L → Hと変化する時は、パストラジスタ論理部をLレベルの信号が伝わる。逆に、H → Lと変化する時は、Hレベル信号が伝わる。CMOSTGパストラジスタ論理では、Lレベル信号もHレベル信号もほぼ同じであるが、nMOSパストラジスタ論理では、Hレベル信号が伝わるのが遅れている。

nMOSパストラジスタ論理ではHレベル信号がnMOSの閾値分だけ低下している。このためゲート・ソース間電圧はHレベル信号を伝える方がnMOSの閾値分、Lレベル信号を伝える方が電源電圧に等しくなっている。パストラジスタのオン抵抗はHレベル信号を伝える方が大きくなるため遅延時間が大きくなったと考えられる。パストラジスタの段数が多くなると、出力部のpull-up pMOSを放電する時間の影響が大きくなり、Lレベル信号を伝えるのが遅くなる。

4 32ビット加算器の設計事例

4.1 32ビット加算器の設計

2.2で提案したCMOSTGパストラジスタ論理の基本セルを用いて、32ビットキャリ選択加算器の設計を行った。設計した加算器は図8に示す8ビットキャリ選択加算器を32ビットに拡張したものである。加算器のキャリ生成用BDDおよびサム生成用BDDを各々複合セルとして設計した。用いた基本セルは5種類、複合セルは17種類である。基本セルのうちわけは、BDDの出力インバータ付きノードのセルが3種類（出力インバータのサイズの違いによるものである）、BDDのノード1個分のセルが1種類、BDDのノード2個分のセルが1種類である。トランジスタサイズは出力インバータのpMOS/nMOSが2.8/2.8, 4.2/4.2, 8.4/8.4($\mu\text{m}/\mu\text{m}$)の3種類、パストラジスタサイズがpMOS, nMOSともに0.9 μm 、入力インバータのpMOS/nMOSが0.9/0.9($\mu\text{m}/\mu\text{m}$)である。キャリ選択加算器の設計の際、キャリによって遅れて出力が選択される回路はインバータを挿入して高速化を行った（例えば図8のc8生成回路）。

4.2 パストラジスタ論理用セルの加算器への適用

本節では4.1で設計した加算器にパストラジスタ論理用セルの適用し性能評価を行う。比較回路として、市販の論理合成ツール自動合成を行ったCMOS加算器を用いた。テクノロジー・マッピングされた各加算器を市販の配置配線ツールを用いてレイアウトを行った。各加算器のレイアウト結果を表5に示す。

パストラジスタ論理の加算器はCMOSに比べて少ないセルの種類で構成する事が可能であった(表5の2項)。また複合セルを用いることによって大きなセルを作成でき、セル数を減らすことが可能であった(表5の3項)。

パストラジスタは出力インバータのみを駆動すれば良いため、CMOSに比べて非常に小さいトランジスタサイズ($w = 0.9\mu\text{m}$)で構成する事ができた。そのため、セルのトランジスタ密度をCMOSより高くすることができ、トランジスタ数に比べて小さいセル面積を実現する事が可能であった(表5の8項)。しかしながら、高いトランジスタ密度やセル内でのトランジスタ間の配線数が多い事から、セル内の配線が複雑となり、CMOSTGパストラジスタ論理の複合セルは多くのメタル第2層の配線を必要とした。そのため、セル上のメタル第2層の配線可能領域がCMOSに比べて少なくなり、レイアウトの効率を落とす原因のひとつとなった(表5の4項)。また、CMOSのセルに比べ

表 5: 32ビット加算器のレイアウト結果

	CMOS	CMOSTG(ratio)
トランジスタ数	2416	2050(0.85)
セルの種類	54	18(0.33)
総セル数	349	100(0.29)
WM配線可領域比*	0.32	0.13(0.41)
セル間のネット数	414	193(0.47)
総配線長(μm)	16328	14655(0.89)
平均セル面積(μm^2)	100.0	233.7(2.34)
セル面積(μm^2)	34906	23371(0.67)
面積(μm^2)	37397	31881(0.85)
プロセス	0.35 μm	
テクノロジー	1-Poly 3-Metal	

*セル上をメタル2層の配線が通過できる領域の割合

表 6: 加算器のシミュレーション結果

	CMOS	CMOSTG(ratio)
遅延時間(ns)	3.14	3.67(1.17)
エネルギー(pJ)	170.0	113.1(0.67)
ED積($\times 10^{-21}\text{J}\cdot\text{s}$)	533.8	415.0(0.78)

CMOSTGパストラジスタ論理の複合セルはそのサイズが大きく(表5の7項)、加算器のレイアウト(小規模)では横長なレイアウト(図9)となった。その上、キャリ選択加算器のグローバルな配線の多さのため、配線数は47%と非常に少なくなったが、総配線長は89%と少し短いだけという結果となった(表5の5, 6項)。

以上のことから、CMOSTGパストラジスタ論理用セルは高いトランジスタ密度を実現し、少ないセル数で構成できる利点があるが、セルの大きさやメタル第2層の配線可能領域の少なさをレイアウトの際注意する必要がある。今回の加算器ではセル面積が減少した分、回路面積を減少させるには至らなかった。しかし、CMOSの85%というトランジスタ数の減少分だけ面積を減らすことができ、提案手法の有効性を示すことができた。

各加算器のレイアウトから配線容量、コンタクト抵抗を抽出し、電源電圧を3.3VとしてHSPICEによるシミュレーションを行った。シミュレーション結果を

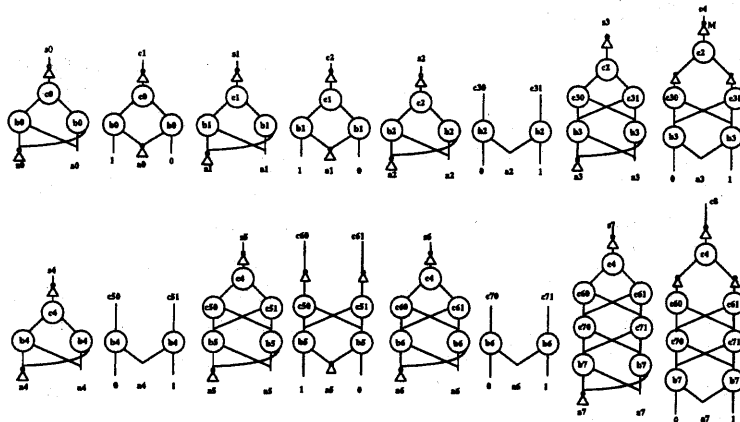


図 8: 8 ビットキャリ選択加算器



図 9: CMOSG 32 ビットキャリ選択加算器のレイアウト

表 6 に示す。遅延時間は CMOS 加算器より多少増加したものの、エネルギーは CMOS の 67% という良好な結果が得られた。これはレイアウトの面積が 85% (セル間配線長 89%) と減少したことによる配線容量の削減とともに、パストランジスタのサイズを小さくできたためである。その結果、面積 85%、ED 積 78% という良好な結果が得られた。これは提案手法が加算器において有効であることを示すものである。

5 おわりに

パストランジスタ論理をスタンダードセル方式で効率良くレイアウトするためのセルを提案した。BDD のノード単位を表す基本セルを組み合わせ複合セルを設計することで、簡単に用途別のセルライブラリを構成することができる。

CMOSTG と nMOS に基づくパストランジスタ論理のセルを設計し、パストランジスタの段数が少ない時は、CMOSTG パストランジスタ論理が高速で、動作エネルギーも少ないことを確認した。パストランジスタの段数が多い時は nMOS パストランジスタ論理が高速となり動作エネルギーも少ない。低消費電力な回路を設計できるが、今回の実験では出力インバータ

の閾値と pull-up pMOS のサイズのチューニングが不十分であったので、今後最適化を行う必要がある。

CMOSTG のセルで 32 ビット加算器を設計して評価を行った結果、CMOS との比較において面積 85%、動作エネルギー 67%、ED 積 78% という良好な結果が得られた。パストランジスタ論理用セルを用いることで効率の良いレイアウトが行え、低消費電力な回路を設計することができた。

謝辞 本研究において、多大の御協力を頂きましたシャープ(株)に感謝致します。また、御協力頂いた(株)レイトロンの尾上幸治氏、神戸大学自然科学研究科の岸本悟、堀貴代秀の諸氏に感謝致します。

参考文献

- [1] 瀧和男, 李副烈. パストランジスタ論理に基づく低消費電力回路方式と設計事例. 電子情報通信学会論文誌 A, Vol. J80-A, No. 5, pp. 753-764, 5 月 1997.
- [2] Dzung J. Tran. Transmission gate series multiplexer. United States Patent No. 5162666, Nov. 10 1992. Also in トラン・ジュン・ジェイ. 送信ゲート直列マルチプレクサ. 特表平 6-508965, 10 月 6 日 1994 年.
- [3] K. Yano, Y. Sasaki, K. Rikino, and K. Seki. Top-down pass-transistor logic design. *IEEE Journal of Solid-State Circuits*, Vol. SC-31, No. 6, pp. 792-802, June 1996.
- [4] 日経マイクロデバイス編. 低電力 LSI の技術白書 - 1 ミリ・ワットへ挑戦. 日経 BP 社, 1994.