

21世紀への提言—MPEG2の設計経験から

石川敏郎

ソニー (株) セミコンダクターカンパニー
メディア&ネットワークLSI事業部

141-0032 東京都品川区大崎2-10-14
03-3495-3187 isikawa@mosk.semicon.sony.co.jp

微細化技術の発展に伴い最近では100万ゲートのLSIが市場に出荷され
更には、2000年以降1000万ゲートクラスのLSIが現実の物と成り
つつある。しかし実務設計の現場では、前者のLSIを設計するにあたって
設計手法、技術等充分であるとは言い切れない。

本講演ではCXD1922Q MPEG2ビデオエンコーダLSIの設計経験
を基に、設計手法、電力の2視点からそれぞれ幾つかの問題概要に触れ2000年
以降の設計を考えてみたい。

Expectation in 21st century based on MPEG2 LSI design experience

Toshiro Ishikawa

Media & Network LSI Division
Semiconductor Company
Sony Corporation

2-10-14, Osaki Shinagawa-ku, Tokyo, 1410032 Japan

Recently huge LSIs based on deep submicron technology, as large as 10 million
Gates, is now becoming quite common in the market and a design as large as 10
million gates is now close to reality.

However, the conventional design methodologies are becoming insufficient to cover
for these huge LSIs.

This talk will discuss some of the issues, which arose from the design of a single
chip MPEG2 video encoder (CXD1922Q), those related to power dissipation and design
Methodologies.

Finally a summary on the prospects of what is to be expected in terms of design
Methodologies in the coming millenium will be presented.

1. はじめに

メディアのデジタル化が微細化技術の発展を背景に実用レベルで急速に進んでいる。放送、通信、家電、計算機の市場では MPEG 技術を中心に、アナログでは為し得なかった文化が開き、また新ビジネスとして成長、発展を遂げている。上記市場では特にローコスト、低電力、高画質のビデオエンコーダの要求が高くなっている。今年 MPEG 2 ビデオエンコーダ CXD1922Q を開発 *1、*2、出荷した。この LSI 設計を通し経験したことを振り返り、特に設計と電力の問題点に的を絞り 2000 年以降の基盤技術への期待を論じたい。

第 2 章では LSI 概要を説明、第 3 章 では今回大規模 LSI 設計の TAT 短縮を目指し、機能検証にサイクルベースシミュレーション、タイミング検証にスタティックサインオフを採用した、その効果と問題点を報告する。第 4 章では電力解析を行った結果、改めて認識した同期式設計のクロック電力の問題点についての考察を述べ、最後に第 5 章で 2000 年以降の設計文化を支える基盤技術への期待を述べる。

2 概要

CXD1922Q チップ緒元を表 1 に示す。

プロセス	0.4 μ m CMOS 3層 スタンダードセル
チップサイズ	13.56mm \times 12.69mm
素子数	500万トランジスタ
電源電圧	3.3V
消費電力	2.2W
パッケージ	208pin QFP
動作周波数	外部 27MHz 33MHz 内部 67.5MHz, 45MHz, 33.75MHz, 27MHz, 22.5MHz, 13.5MHz 内部 PLL で生成
機能	MPEG 2 MP@ML、SP@ML リアルタイムエンコード NTSC 時 720画素 \times 480画素 @30フレーム PAL 時 720画素 \times 576画素 @25フレーム ビットレート 15Mbps (M=3) まで可 デュアルプライムサポート MPEG 1 動きベクタ探索範囲 水平 -288 ~ 287.5 垂直 -96 ~ 95.5 符号量制御機能内蔵 VBR サポート

表 1

最終的な製品では、画質向上の為に内部 DSP クロックの周波数を向上し、エンコード機能の強化を図る為回路を追加し、結果 2.2W の製品となっている。

現在 0.25 μ m ルール CMOS プロセスで試作中である。図 1 にブロックダイアグラムを示す。各クロック周波数は電力を低減するため各処理ブロックに適した周波数を割り当て、また内部 DSP ではレートコントロールを含むチップシステムの制御をプログラムで処理している。*1、*2

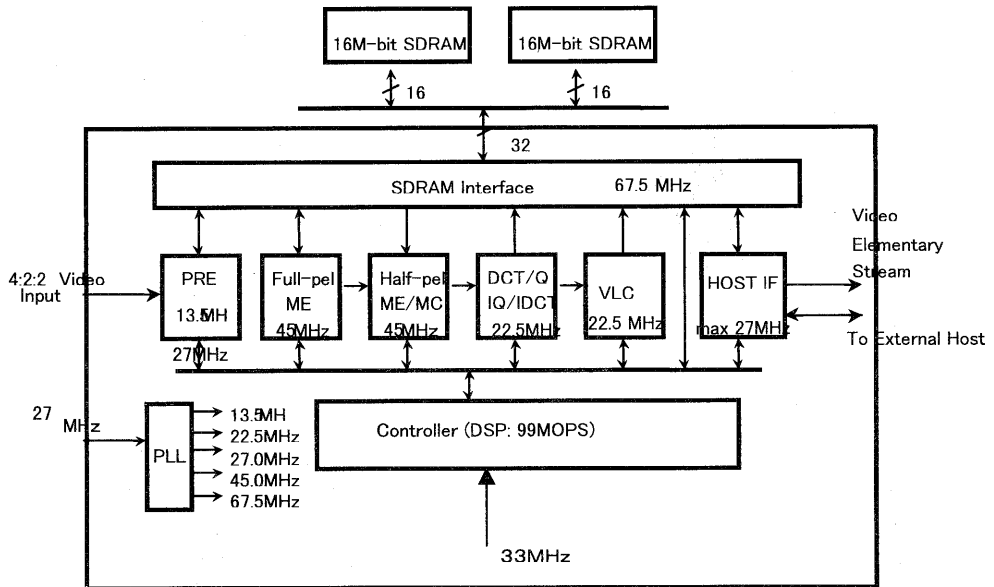


図1

3 設計手法

3-1 設計期間の短縮

設計期間に約半分以上の時間を費やす機能検証及びタイミング検証を効率化する為に前者にサイクルベースシミュレーション、後者にスタティックサインオフを採用した。これにより仕様凍結から6ヶ月で1stシリコンの動作を評価ボードで確認した。しかしそれぞれに潜在する問題を抱えている。

3-2 機能検証時の問題点

3-2-1 リファレンスモデル作成

仕様凍結され設計開始時にまず取り掛かるのはチップのリファレンスモデル作成である。今回は各設計者が全てC言語を使用して各モジュール単位でリファレンスモデルを作成し、これを基に設計した。設計完了までの工数比率を数モジュール調べると図2に示すようにリファレンスモデル作成に50%以上を占めていた。

リファレンスモデルではクロック同期という概念が無いので、この作成を終えてからRTLレベルでの設計フローでは、効率が悪い。システムの複雑度に比例しリファレンスモデル作成に対する比重が重くなる事が予測される為、時間軸を扱うことが可能で更に抽象度の高いレベルでの検討が可能な技術が必要である。

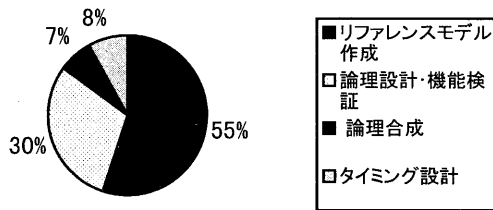


図2 設計工数例

3-2-2 サイクルベースシミュレーション

ハードウェア記述言語、論理合成が主流になっている最近の設計では、RTLレベルで各レジスタの状態が容易に設定できる。ところが回路の初期化プロセスや動作モデルを冗長に扱くと論理合成後両者ネットリスト間で動作が一致しないという問題点が生じる。今回の設計では特にシミュレータ特有の不定値‘X’やハイインピーダンス‘Z’処理には配慮した。スタティックサインオフを併用する場合、RTLモデリングの品質の差によりTAT短縮の効果が薄れる恐れがある。

3-3 スタティックサインオフ

テストパターン非依存でタイミングを静的に検証する手法は、従来の論理シミュレータのタイミング検証機能を独立して行うもので、最近サインオフツールとして再認識されている。長短所を以下に列挙する。

長所

- 短時間にタイミングマージンが確認可能。
- クロック同期式の為指定されたクロックで動作する経路は全て検証対象となる。

短所

- フォールスパス解析が生じる。
- マルチサイクルパスやゲーテッドクロックなど単純なクロックが供給されて無い場合既知の情報を設定しなければならない。
- 同期式が原則の為、消費電力が増加する傾向になる。
- バスコンテンション、初期状態など検出できない。

実際には短所が目立つが、これを補うためデザインルールを設定し設計した。フォールスパスは各モジュール単位ではなく、チップレベルでの検証時に生じた。デザインルールの確認は客観的に調べるツールが存在しないため、今後デザインルールのモデル化とそれを組み込み検証を平行して行う技術を期待したい。

4 電力

初期開発目標の大きな柱の一つとして低電力を掲げた。通常のASICスタンダードセルライブラリだけで、これを実現するに当たり、可能事項を各視点から検討した。

以下にポイントを列挙する。

- システム
ソフトウェアとハードウェアの最適なタスク分配
各ハードウェアの最適処理速度
- アルゴリズム
演算量を削減し広範囲な動き検出アルゴリズム
- アーキテクチャ
LSIインプリメンテーションに適するアーキテクチャ
- ロジック回路・レイアウト技術からの最適化
遷移率の最小化
クロックツリー合成

この項では遷移率の最小化、クロックツリー合成と電力解析結果を基に同期式回路の根本的な問題点を整理する。

4-1 遷移率の最小化

電力削減する効果的な手法としてゲーテッドクロックがあるが、CXD1922Qは各モジュール毎に最適な処理速度を与えられている為、クロックを止めることが難しい。また大規模LSIでは早期に電力を予測することが必要であるが、パターン依存での電力解析手法では時間を費やす。従ってそれに変わりうる検討が必要で3点に絞った。

4-1-1 データの相関性の検討

画像データは相関性が非常に高い為、各代表的な入力画像の相関性を基に平均遷移確率を調べた結果33%であったが、実際には圧縮されていく過程で遷移確率は更に低くなる為データバスの電力は予想より低くなった。

4-1-2 典型的な回路の再検討

信号遷移を最小限にする為に、頻繁にフリップフロップを使用する回路を最小限のフリップフロップとラッチで構成しクロック電力の削減を図った。図3の例では約30%になった。

4-1-3 データ表現

FIFO等をソフトマクロで構成した場合、アドレスデコード時などにグリッチが発生しこれが電力の増加となる。これを避ける為、シーケンシャルアクセス仕様のFIFOのアドレスはグレイコードで構成しグリッチ発生を抑えた。図4に例を示す。

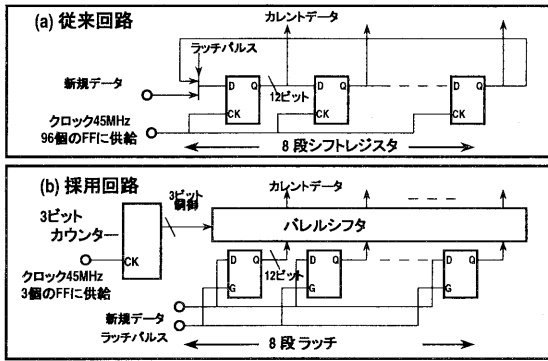


図3 低消費電力回路例

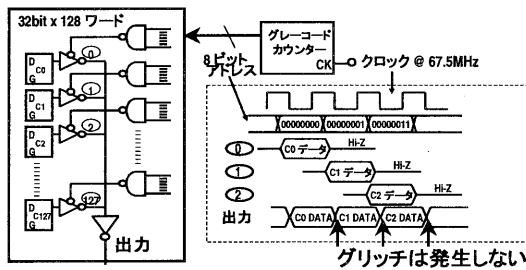


図4 ソフトマクロFIFO例

4-2 クロックツリー合成

クロック配線負荷を抑える為、P & Rツールのクロックツリー合成機能を適用した。図5にクロック到達時間、図6に各配線負荷容量の分布を示す。負荷容量はレイアウトモジュール単位で均一であった。この負荷が占める割合は以下で示すがクロック電力では支配的ではなかった。

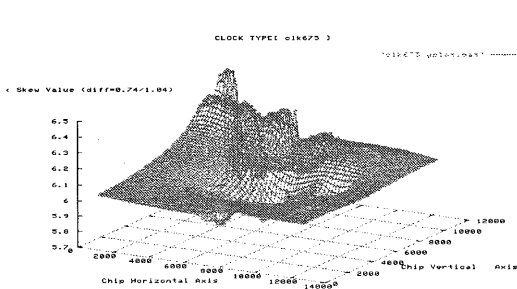


図5 チップ内クロック到達時間分布例

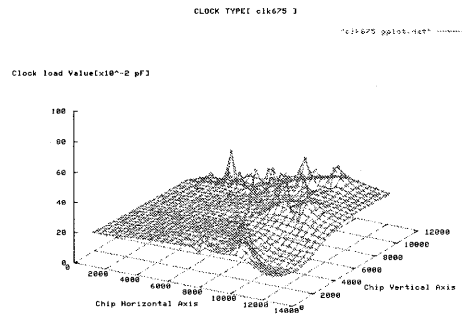


図6 チップ内クロック配線負荷容量

4-3 電力解析

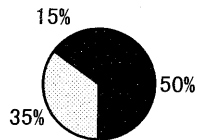
4-3-1 解析内容

図7に電力解析結果を示す。電力の約50%はクロックが占めていた。クロックツリーに関しての内訳を図8に示す。改めて認識した点は

- セル内部電力が60%以上を占めている。*3
- フリップフロップ回路構成上内部クロックの電力消費は避け難く集積度向上により今まで深刻にならなかったことが累算され電力増加の要因となっている。

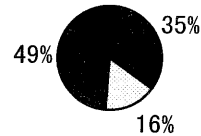
今後クロック同期方式で高速且つ大規模LSIを低電力化するにあたりクロックに関して以下の事 に対し策を講じる必要があると思われる。

- クロックバッファのゲート寄生容量と接合容量削減 (図9 Cgs, Cgd, Cj, Cjsw)
- フリップフロップ内部クロック配線容量 削減 (図10 参照)
- 一部非同同期式回路の導入*4



■クロック □ ロジック・RAM ■ IO

図7 LSI電力内訳



■配線負荷 □ バッファ内部 ■ フリップフロップ

図8 クロック電力内訳

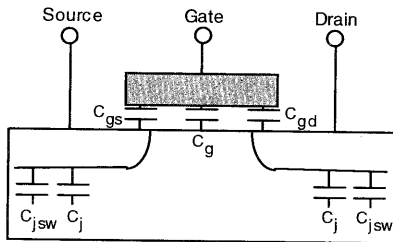


図9 トランジスタ断面図

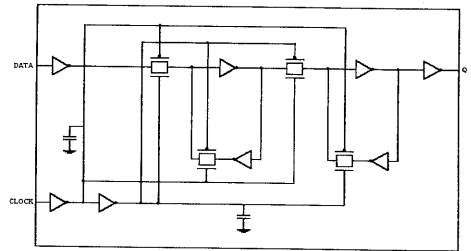


図10 フリップフロップ回路

5 おわりに

今後2000年近辺で期待する技術、環境を列挙してみる。

- 機能・論理設計

高速で安価なシミュレーションシステム

(アーキテクチャ検証、コ・シミュレーション、FPGAの応用も含む)

コーナーポイントバグを早期に発見解決する手法

(アナログも含む。例：PLLのジッター許容度など)

フォーマルベリフィケーション

物理的な側面を高位レベルで検討可能なシステム

(アーキテクチャーまで含む)

- 低電力

非同同期回路の取り込み

低電圧用I/O電源電圧規格

SOIなどを含む新デバイス

- 試験

システム機能検証用LSIテスター

- 人材の育成

大学、企業間での活発な人材・意見・技術の交流環境

設計の複雑化が各設計を専門化する傾向にあり、チームデザインというスタイルが主流になっている。設計(チーム)を総合的にマネジメントできる人材が今後益々不足傾向になると思われ、個人的に一番期待することは、最後の人材の育成・交流環境であると考えている。

謝辞

本原稿を作成するに当たりまして、貴重な資料を頂戴しました、超LSI研究所 竹下課長 設計技術部 鈴木秀二氏に感謝します。

参考文献

- *1 "A 1.2W SingleChip MPEG2 MP@ML Video Encoder LSI including Wide Range Motion Estimation and 81 MOPS Controller" ISSCC DIGEST of TECHNICAL PAPERS pp32-33,1998
- *2 "A Single-Chip MPEG2 MP@ML Video Encoder LSI including Wide Search Range Motion Estimation (H+/-288, V+/-96) and Many Functions for Consumer Use," ICCE Digest of Technical Papers, pp.270-271, 1998.
- *3 "多電源を用いた低消費電力化設計手法のメディアプロセッサへの適用" 情報処理学会 設計自動化研究会 84-3, (97/5/23), pp17-22
- *4 "A Fast Asynchronous Huffman Decoder for Compressed-Code Embedded Processors" Proceeding of 4th International Symposium on Advanced Research in ASYNCHRONOUS CIRCUITS AND SYSTEMS. pp43-56,1998