

DRAM混載ロジックLSI現状と課題

古山 透

東芝 システムLSI技術研究所

210-8520 川崎市幸区堀川町 580-1 東芝半導体システム技術センター (5Eゾーン)

電話：044-548-2341 E-mail:tohru.furuyama@toshiba.co.jp

アブストラクト：

近年、DRAM混載ロジックLSIが急速に注目を集めている。LSIの高集積化・高性能化が進み、ギガビットの汎用DRAM、ギガヘルツのマイクロプロセッサが実現可能なレベルに達した。一方で今や多くのシステムが、汎用DRAM1個に満たない容量で充分だが、汎用DRAMよりはるかに高いデータレートでアクセスできるメモリを必要としており、このような分野にはDRAM混載技術が最適である。今日のDRAM混載技術は、最大64Mビットまでの任意の容量のDRAMと100万ゲートを超えるロジックを同一チップに集積し、その間を10Gバイト/秒オーダーのデータレートで結ぶ実力を有する。さらにチップ間インターフェースに電力消費する必要がないのでシステムとしての低電力化も達成でき、携帯機器などにも最適の技術である。

一方で、従来大きく乖離していたDRAMプロセスとロジックプロセスを融合させ、かついかに量産に耐える歩留まりを確保するか、DRAMとロジックが共存しているLSIをどのように効率よくテストするか、など、まだ解決して行かねばならない課題も多い。

本研究会では、このようなDRAM混載ロジックLSIの現状について報告する。