

メモリ仮想テスタ技術と今後の展開

佐藤 正幸

日立製作所 半導体事業本部 生産統括本部 生産技術開発センタ テスト技術部
〒187-8588 東京都小平市上水本町5丁目20番1号
TEL (042) 325-7300(自動交換)(内線4380)
E-MAIL satou@cm.musashi.hitachi.co.jp

あらまし

半導体技術の微細化の進捗に従い、メモリ・デバイスは16Mビットから64Mビット、256Mビットに進展し、来世紀の初頭には1Gビットが市場に出回るであろう。市場ではパソコン・メーカーが中心に行われているJIT(Just In Time)での適量生産の思想から、特に、DRAMのビット単価の急激な下落を来し、半導体不況の呈を来している。しかし、その製造技術、特に、DRAMを評価測定するテストングについては、従来の発想に基づいた技術の関係から、その限界に来ている。

本講演では、テストング技術の一つである仮想テスタ技術、特に、メモリ仮想テスタ技術の知見から得られた自己テスト手法及び自己救済手法について述べ、適量生産時代の半導体技術/テストング技術を考えて見たい。

Memory Virtual Tester Technology and ALPG on Chip
Masayuki Satou

Hitachi,Ltd.Semiconductor & Integrated Circuits Div,
Semiconductor Manufacturing Technology Center
Test Technology Dept.

20-1,Josuihon-cho5chome,Kodaira-shi,Tokyo 187-8588,japan
Tel:0423-20-7300(ex.4380)
Fax:0423-25-3353
satoum@cm.musashi.hitachi.co.jp

Abstract

Comply with the growth of fine process of semiconductor technology, memory chip's capacity is grown up from 16Mbits to 64Mbits and also 1Gbits memory chips are going to be available to product in the near future. At the market, semiconductor products especially DRAMs' price are going to be cheaper and cheaper and also the semiconductor manufacturer sales are going down because of the thoughts of JIT (just in time) of PC manufacturer mainly. But the technique of manufacturing especially testing technique is close to the limitation with the general testing methodology.

In this lecture, explain about self testing and self repairing, the one of virtual memory tester, and wish to think about a prevision of semiconductor technology and its testing technology in the age of JIT.

1. はじめに

20世紀も残り少ない最近であるが、20世紀は物質文明を背景とした大量生産時代であった事は誰でも認めるところであろう。20世紀の初頭、フォード社は安価な自動車を生産しただけでなく、従業員の給料を上げて自社の自動車を買易くして、米国を車社会にしたとされている。要は、物質文明時代の大量生産とは、いかに大量に物量を生産していかに販売し、利益を得るかの思想の基に行われている。半導体製造に於いても、この思想が貫かれて展開されてきた。その最たるものがメモリ・デバイス—DRAMであると思う。米国で発案され世に提案されたが、大量生産としては日本で展開されて今に至っている。しかし、最近の情報文明を背景にインターネットを持った国際市民が主役となりつつあり、いかに良いものを大量に安く製造しても、他社の情報も直ぐに共有してしまい、従来の大量生産思想では市況を掴む事が難しくなってきた。その中で発想されたのがパソコン・メーカを中心に行われたJ.I.T(Just In Time)での適量生産の思想である。現在のDRAMを中心とした半導体不況は、この現実を見つめて考えなければ新しい時代の発展はないと考える。

半導体製造技術の一つである半導体を評価測定するテスト技術についても大量生産思想を基にした技術—大規模テスト/同時測定技術—が高度に進歩させて今までの半導体業界を下支さえしてきた。しかし、最近のDRAMの下落には対応出来るものではなく、適量生産に向けた新たな技術の検討を必要としている。

仮想テスト技術は、テストをより良く使う技術として発想され、その技術展開として、テスト言語からのテスト記述及びハードウェア・エミュレータ技術を加味して検討されてきたが、その記述されたゲート規模が小規模であった事から、Tester on Chipの発想に至った。この技術の活用にて、情報文明時代である21世紀の適量生産思想に基づいたテスト技術とは何かを世に問いたい。

2. テスタ・アーキテクチャと仮想テスト技術

2.1 テスタ・アーキテクチャ

テスト・アーキテクチャの進展を図1. に示す。テストはパターン発生器(PG), タイミング発生器(TG), 及び、デバイス・ピンに信号を供給するピン・エレクトロニクス(P/E)とそれらをコントロールするコントローラ(CONT)と、その他のデバイスに電源を供給するプログラマブル・デバイス電源(PPS)とデバイスの静特性試験を実施するDC計測系(DC)で構成される。過去、TG等が高価であった事から、分配器でTGのタイミングを各P/Eに供給する、リソースを分配するシェアード・リソース・テストが一般的であった。このシェアード・リソース・テストは現在でも量産工程で多用されているテストである。しかし、タイミング条件に従って分配器を再度プログラムしなければならない不合理性があり、これを解決する為にピン毎にTGを持たせるパーピン・アーキテクチャ・テストの発想が生まれ、現在、ロジック製品の設計評価用として使われ始めている。最後に、フル・パーピン・アーキテクチャであるが、TGに止まらずPGやDC, CONTを大規模集積回路に内蔵し、且つ、MCM(Multi Chip Module)技術を活用してP/Eに集積させたテストであり、パターン長の長大化等の諸々のテスト問題を解決するアーキテクチャである。これらのアーキテクチャの活用には長所短所があり、それらを良く考慮した選定でデバイスに合ったテストを行う必要がある。

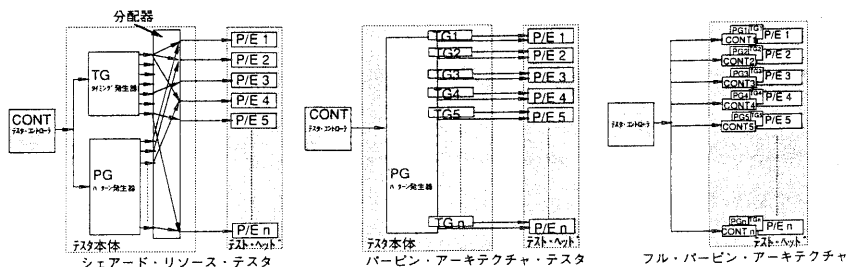


図1. テスタ・アーキテクチャ

2. 2 仮想テスト技術

仮想テスト技術の概念図を図2. に示す。2. 1に示したようにテストには各種のアーキテクチャがあり、且つ、テスト言語もテスト・メーカ各社独自で開発されてきた。過去、テスト言語はステートメント形式が採用されていたが、一般のソフト開発で使用されているC言語も使われ始めて来た。しかし、テストングとしてはC言語のソフト生産性は寄与が難しく、逆に、テスト・プログラムが複雑になってしまう難点もあった。この様に、テストに於いてはテストのハードウェア構造やテスト各社の思想の違いによって体系的なテスト言語はなく、且つ、実製品で最終デバックをする宿命にあり、図2. の左側に示した様に最終工程でのデバックとなりTime to Marketに対応出来る状態ではない。それに対して、テスト言語をある程度統合し、且つ、EWS (Engineering Work Station)上にそのテストを構築し、製品設計データを使用して事前デバックする手法が発想された。この事により、設計段階のテスト設計と実際のテストングが分離出来、且つ、最適テストの活用とコンカレント・テストングが構築される。現在、EDA (Engineering Design Automation)各社でさまざまなツールの提案がされているが、諸々の問題も抱えており、今後の進展を期待したい分野である。

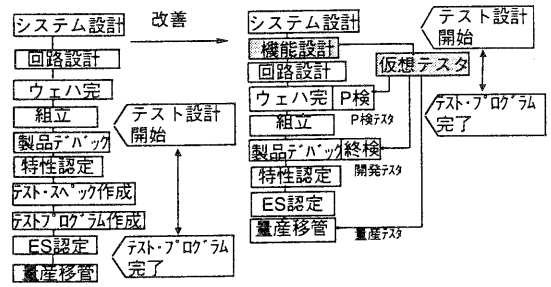


図2. 仮想テスト技術

3. メモリ仮想テスト技術とALPG on Chip

3. 1 メモリ仮想テスト技術

仮想テスト技術での一つであるメモリ仮想テスト技術の検討経過を図3. に示す。過去、メモリ・デバイスの設計工程で確定的な網羅的検証技術はなく、メモリ・テストがその検証技術であった。メモリ・テストのパターン発生器ALPG (Algorithmic Pattern Generator)は、その構造からメモリ・デバイスの大容量化には容易に対応出来るものであった。メモリ容量の増加に対してはALPGのアドレス指定ビットを増やすだけで、実際のパターンのアルゴリズムを変更しなく対応出来、そのアルゴリズムは一つの経験則的内容であり、この事は多いにメモリ・デバイスの評価解析、不良解析に威力を示してきた。しかし、これも実製品が完成してからの評価であり、製品に不具合があるとその失損再設計には数ヵ月を費やして、Time to Marketの要求には対応出来ない。

ここで発想されたのが、機能エントリィ・ツールのフローチャート形式でのテスト・パターン記述とそれの製品設計検証技術であるが、メモリ・テストのプログラムが使えず、且つ、メモリ容量の増大に従い再度フローチャートを作成しなければならない不合理性があり、その活用には限界があった。

しかし、機能エントリィ・ツールが回路ブロック形式でも記述出来る事から、メモリ・テストのALPGを記述して実行させる方式が発案された。ALPG記述自身はデバックする必要があるが、アルゴリズムについてはそのまま搭載可能で、且つ、メモリ容量増大に対しては、メモリ・テストと同じくアドレス指定ビットを増やすだけで対応できるメリットがある。しかし、メモリ・テスト・パターンは長大である事が一般的で通常の論理シミュレータでは膨大な時間が掛かり、その実現性に乏しくメモリ仮想テスト技術には使えない。

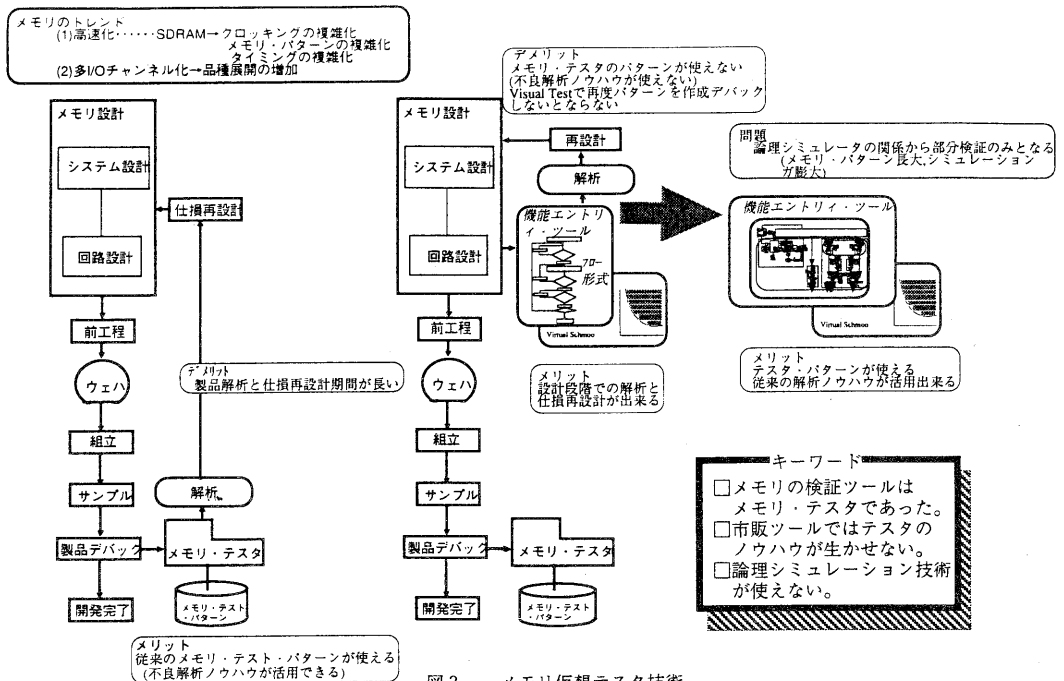


図3. メモリ仮想テスト技術

これを解決する方法として、図4. に示すハードウェア・エミュレータを使う方法を示す。機能エントリー・ツールで記述したALPGは論理シミュレータでデバックしておく必要があるが、実際の仮想テストの実行としては、ハードウェア・エミュレータで電氣的に高速で実施し、メモリHDL記述製品データと併せて実行出来る。

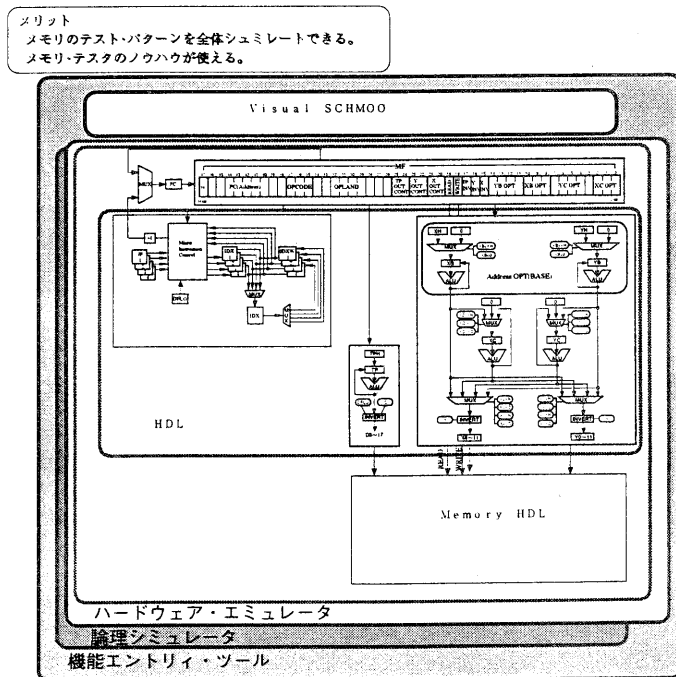


図4. メモリ仮想テスト

しかし、そのALPGについては、テスト・メーカーの大切な知的所有物の為に一般的に開示されず、その記述として図5. に示したテスト言語からALPG記述する方法を考案した。その試行をメンタ社/機能設計エントリー・ツールRenoirを使用して作成した例を図6. に示す。そしてこの時その記述が5~10Kゲート規模と小規模である事も習得出来た。

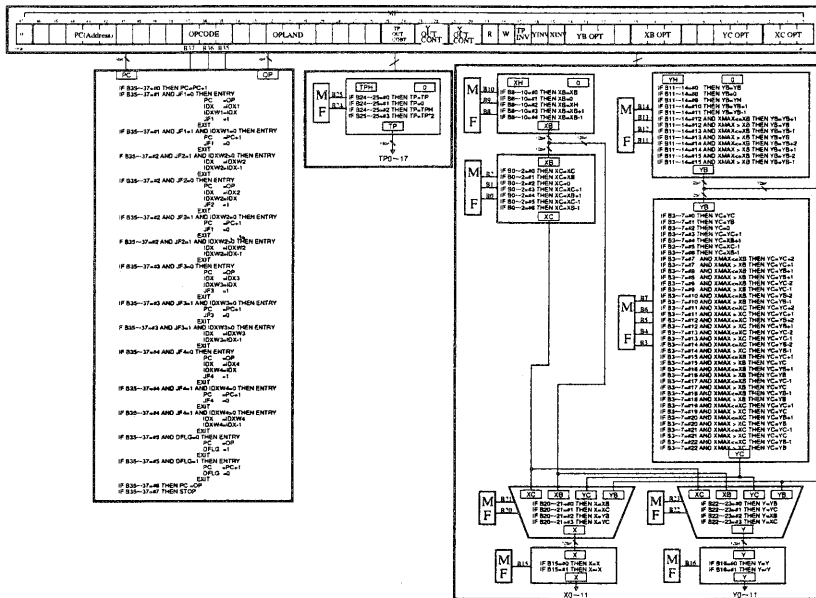


図5. ALPG記述(テスト言語)

テストも半導体システムであり、そのテスト開発には数年を要すると言われていた。その為、テストを構成するデバイスは測定デバイスより数世代前のデバイスを使用せざるを得ず、高速性や規模が不十分である。その対応として、テストとしては、各種の高速設計技術(インターリーブ技術等)や高密度実装技術を駆使して開発される。この為、一般的にALPGは100MHz

が限界で最近のSDRAMやDirect RAMBUSの100MHz以上の測定では複数のALPGを持たせ、それらをインターリーブが普通であり、その時のテスト・パターン・デバックは複雑となって、デバックには従来の7倍以上難しくなっているとされている。メモリ仮想テスト技術の開発とその戦力化でメモリ・テスト容易性の向上が期待される。

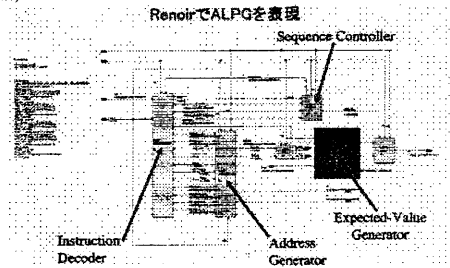


図6. RenoirでのALPG記述

3. 2 ALPG on Chip

3. 1に示したようにテスト言語から生成されるALPG記述は小規模である事が分かったが、一般的にデバイス・チップ中に測定回路を入れて自己テストさせる手法としてはBiST(Built in Self Test)があり、そのメモリ用としてはメモリBiSTがある。メモリBiSTは500ゲートから1Kゲートと小規模であるが、一般的に固定パターンである。この為、ASIC-DRAM等でメモリBiSTを入れると一時的に歩留が低下してその解析にも多大な時間が掛かっている。

ALPGは5Kゲートと規模が大きいのが、メモリ・パターンがプログラマブルに書換え出来、且つ、一般のメモリ・テストで使用されているプログラムが使える利点がある。又、テスト言語から機能エントリ・ツールを使用してテストが記述出来る経験から、大容量メモリで不可欠のビット救済手法が搭載可能で自己救済的メモリ・デバイスも考えられる。ビット救済プログラムもテスト言語で記述されているのが普通であり、機能エントリ・ツールでの記述をし、ハードウェア・エミュレータでの事前検証、且つ、ハードウェア・エミュレータ技術の一つであるハードウェア/ソフトウェア協調検証技術の活用にて、その搭載規模の最適化が図られる。この事より、大型のメモリ・テストを活用したメモリ・テストングから、自分のチップ上にテストを構成して自己テストし、且つ、自己救済する新たな技術が可能となる。その際、搭載するテスト機能はそのチップを測定するだけに限定した機能に止める事が出来、適量生産思想に沿った新たな技術の到来が予想される。

4. 効果の算定

ALPG搭載した時のテスト・コスト及び現状測定テスト方式でのテスト・コストを各メモリ容量に従った推移を図7.、図8. に示す。メモリ・チップの規模はメモリ容量の増大に対して増大するが、その面積比は微細化及びプロセス技術の進捗によってある意味では一定な推移を示す。しかし、ALPGの規模はそれに必要なアドレス指定ビットのみの拡張になる為、微細化技術がそのまま利いて来てそのコストは低下の推移を示す。

それに対して、従来のメモリ・テストの技術では、それに従う最新鋭テストの活用が必要で、テスト価格は3億/台から4億/台に上昇する。当然、多数個

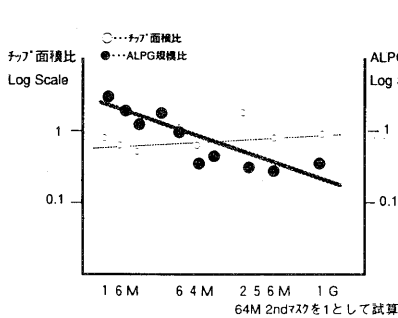


図7. チップ比率とALPG規模比率

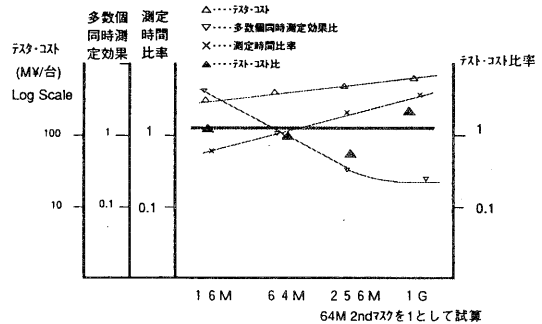


図8. テストコスト比率

同時測定技術は進捗して32個同時測定から64個,128個と増加させるが、それにも限界を来す。測定時間は各種のテスト容易化設計の取り組みはするもののそれは上昇しつつ、その結果、テスト・コストはある一定の水準を経過する。大型のテストで大型のハンドラを大量に使用する測定技術は大量生産思想の最たるものであり、適量生産思想の流れに従い自ずと限界を示していくと考える。ALP G on Chipでの測定手法はまだ検討中のものであり、図7、図8、での定量的な比較は安易に適用出来るものではないが、その定性的推移は議論に値するものと考え。今後の研究開発に期待したい。

5. おわりに

テスト言語からのテスト記述とその記述規模の考察からTester on Chipの有用性を論じたが、その問題点も多い。その問題点を列挙してみる。

●チップに記述したテスト記述の不良被爆の問題とその信頼性の確保

テスト記述は小規模であっても、それなりのゲート規模を有しており、その不良被爆は無視できない。不良被爆を検知して対策する手法の検討が必要である。その一つとしてロジックB i S Tの適用と外部テスト手法への切り替えが考えられるが、その研究が待たれる。

●テスト記述の高度化及びテストング手法の検討

今回の検討はパターン発生器に限った事であり、特にタイミング発生器の記述規模の研究が必要である。又、積極的なテスト記述の搭載にはテスト・メーカーの協力が必要であり、特に、ビット救済への研究にはテスト・メーカーの参加が不可欠である。

●メモリ以外のデバイスへのテストング応用

今回はメモリ・デバイスへの検討であったが、テスト言語からのテスト記述はメモリに限らず、ロジック・デバイスへの適用も考えられる。特にロジックで適用されているSCAN方式にはオーバヘッドの問題と不良検出率の限界にきており、次世代のシステムLSIには不適切である。その解決策として考えられるロジックB i S Tもランダム・パターン発生手法の関係から、最終的なテスト手法としては考えられない。ロジック仮想テスト技術の展開からのTester on Chipの早急な開発が待たれる。

更に、環境保全の議論が無視できない現在に於いては、半導体テストング工程での電力消費量の削減は一つの課題である。従来のテストング手法ではテストの消費電力は、実際のデバイスの消費電力の3~4桁以上に登る。Tester on Chipではデバイスが消費する電力に近い形で実施できる為、ISO14000の観点からも、早くTester on Chipの時代に押し進めるべきであり、その為には産・学・官の協同によるより一層の技術開発が必要だと考える。その対応によって、21世紀の情報文明時代に向けた適用生産思想に基づく新たなテストング技術の進捗を期待したい。

謝辞

本講演の検討については、メンタ・グラフィック・ジャパン社/高橋氏、江森氏、及び、当社の設計技術部/志水氏の協力を得て出来たものであり、本稿にて御礼申し上げます。