

## プリント基板設計における 非平面接続要求の部品下領域を利用した配線手法

高藤 大介 墨川 新平 渡邊 敏正

広島大学工学部 第二類 回路システム工学講座  
〒739-8527 東広島市鏡山一丁目4-1  
(電話) 0824-24-7661 (高藤, 墨川), -7662 (渡邊)  
(ファクシミリ) 0824-22-7028

(電子メール) {daisuke, ferrari, watanabe}@infonets.hiroshima-u.ac.jp

あらまし 本稿は、プリント基板配線における非平面接続数(一層設計ではジャンパー線数, 多層設計ではビアを用いた異層間配線数)を少なくするために、部品下領域を利用した2つの配線手法 RUE と EJ を提案し、その性能を計算機実験により比較評価する。

提案手法は、ともに混雑コストを辺コストあるいは点コストとするグラフモデル上での最短経路探索を用いている。実験では RUE の方が平均 3.8% 程多く非平面接続を部品下に埋め込むことができ、さらに計算時間も格段に短いことが確かめられた。

キーワード プリント基板, 配線問題, 混雑コスト, 経路グラフ, 最短経路探索

## Heuristic Algorithms for Routing Nonplanar Connections through Areas under Elements in Printed Wiring Board Design

Daisuke Takafuji, Sinpei Sumikawa and Toshimasa Watanabe

Department of Circuits and Systems, Faculty of Engineering, Hiroshima University  
1-4-1, Kagamiyama, Higashi-Hiroshima, 739-8527 Japan

Phone : +81-824-24-7661 (Takafuji, Sumikawa), -7662 (Watanabe) Facsimile : +81-824-22-7028

E-mail : {daisuke, ferrari, watanabe}@infonets.hiroshima-u.ac.jp

### Abstract

We propose two algorithms RUE and EJ routing nonplanar connections through areas under elements in printed wiring board design. Nonplanar connections represent jumpers in single-layered design or connection requirements among different layers through vias in multi-layered one. We compare their capability through experiment. Both algorithms repeat finding shortest paths of graphs with congestion costs as edge or vertex weights. It is shown that RUE can embed average 3.8% more nonplanar edges than EJ and that CPU time of RUE is 1/6.4 of that of EJ on average.

key words printed wiring boards, routing problem, congestion costs, route graphs, shortest paths

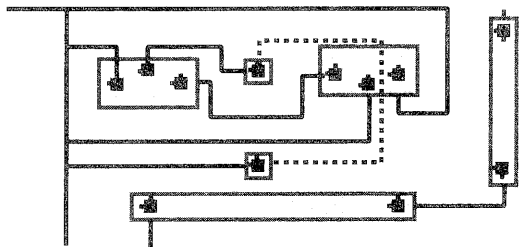


図 1: 部品下配線の例 (点線が部品下を通過する配線経路)

## 1 はじめに

プリント基板設計を行う上での基本的要求の一つに、非平面接続 (一層設計ではジャンパー線、多層設計ではビアを用いた異層間配線) 数を少なく配線することが挙げられる。非平面接続数の増加はプリント基板の品質低下、製造コストの増大等の原因となる。これに対処するために部品下領域を利用し、平面性を保ちながら非平面接続要求の配線経路を求めることが考えられる。手法としては、非平面接続要求を抽出するたびに、その部品下への配線経路を見つける手法、全ての非平面接続要求を抽出した後部品下に配線経路を見つける二段階的な手法が考えられる。本稿では、ある程度完成しているレイアウトに更に配線を追加していく時の有用性を考えて、後者の手法を考える。

すなわち、平面に配置配線されたレイアウトと非平面接続要求が与えられたときに、非平面接続要求数の最小化を目指して、出来るだけ多くの非平面接続要求を部品下へ配線する手法を 2 つ提案する。非平面接続要求数と計算時間の両面から実験的に比較評価し、提案手法の性能を示す。

提案手法は、可能な配線経路を表すグラフモデル (配線経路グラフと呼ぶが、定義は後述する) を作成し、そのグラフの辺や点に混雑コストと呼ばれる重みを付加し、混雑コスト総和が最小となる経路を配線経路として選んでいる。これは配線問題においてよく用いられる手法であるが、部品下領域を許した非平面接続要求の埋め込み手法に適用したものは、現在までのところ見当たらないようである。この配線経路グラフの構成法および混雑コストの算出法が本稿の成果である。

## 2 物理的制約条件とグラフモデル化

### 2.1 物理的制約条件

本稿では、配置・配線は以下の条件 (C1)~(C5) の下で行うものとする。

- (C1) 設計する基板の層数は  $n (> 1)$  とする。  $n \geq 2$  のとき第 1 層と第  $n$  層をそれぞれ上層、下層と呼び、  $n > 3$

のとき、第 2~第  $n-1$  層を中間層と呼ぶ。

- (C2) 部品は、接地面指定部品 (基板に接すべき面の指定された部品: 図 2 (a)), 自由部品 (基板に接すべき面の指定されていない部品: 図 2 (b)), 線状部品 (全ての端子が一直線上に並び、しかもその直線に関して左右対称になる部品: 図 3) の 3 種類に分けて扱う。
- (C3) 異層間配線はビアを導入して配線する。
- (C4) 配線は互いに交差しない。
- (C5) 部品は上層、下層に配置する。

### 2.2 諸定義

グラフ  $G = (V, E)$  は頂点集合  $V$  と辺集合  $E$  からなる。平面描画とは、どの 2 つの辺も交差しないように平面に描かれたグラフのことである。平面描画を持つグラフを平面的グラフという。平面描画  $G$  のフェースの厳密な定義の代わりに直観的な説明をしておく。1 枚の紙の上に平面描画があるものとし、すべての辺に沿ってハサミを入れる。このとき紙は何枚かの紙片に分かれるが、各々に対応する  $G$  での領域がフェースである。各紙片の縁に対応する  $G$  での辺と点の交代列をそのフェースの境界という。

回路の接続要求を表すネットリストのグラフモデル化 [6, 7] について概説する (図 4 参照)。

- (1) 自由部品は所属端子を周辺頂点とする車輪グラフ、接地面指定部品は所属端子を頂点とする時計回りの有向サイクル、線状部品は端子を含む一本のパスでグラフモデル化をする (図 2, 3 参照)。部品をグラフモデル化する際に用いる辺を部品構造辺と呼ぶ。また、部品下領域に通すことのできる配線本数をこの辺に対する配線容量とする。
- (2) 接続要求のある各 2 端子対 (2 端子ネット) については対応する頂点間に辺を付加する。3 個以上の端子間に対する接続要求 (多端子ネット) がある場合には、新たに頂点 (仮想頂点と呼ぶ) を付加し、その頂点と各端子を表す頂点 (端子頂点と呼ぶ) とを結んでスター型のスタイナー木で表現する。ネットをグラフモデル表現する際に導入した辺をネット辺と呼ぶ。

## 3 配線手法

### 3.1 概要

提案する配線手法の流れを概説する。回路の接続要求を表すネットリストからグラフ  $G_T$  を構成し、PQR-木による平面的グラフ抽出法 [4] と非平面接続数の極小化手法 [5] を用いることにより、グラフ  $G_T$  が表す全接続要求を平面接続と非平面接続とに分ける [6, 7]。抽出された平面的グラ

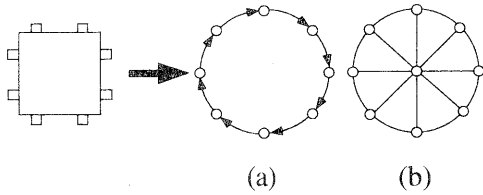


図 2: 部品のグラフモデル化. (a) 接地面指定部品; (b) 自由部品

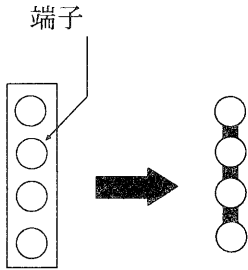


図 3: 線状部品のグラフモデル化

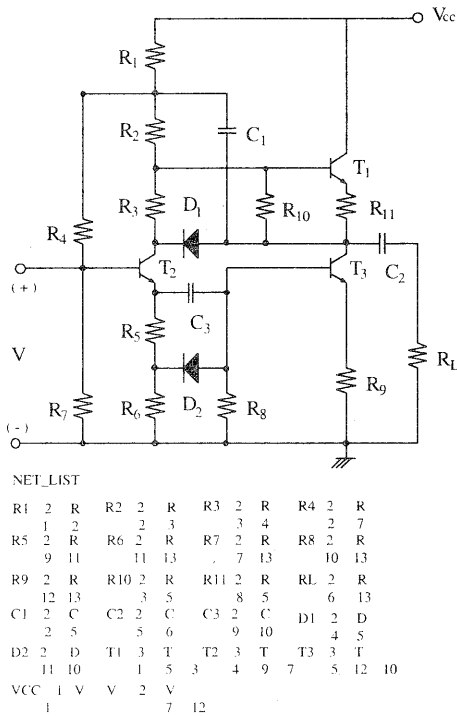


図 4: 回路とそのネットリストの例

フに含まれる平面接続は配線可能性が保証されており、この平面的グラフに対し、矩形双対グラフを用いることにより、配置・配線を行う [6, 7]. [4, 5] の手法により取り除かれた非平面辺が非平面接続として処理されることになる。このとき、提案手法を用いて、非平面接続として処理される辺の部品下配線を可能な限り行い、できる限り非平面接続数を減らす操作を行う。その部品下に非平面接続を通過させるような各部品の部品構造辺の各々に対して、新たな頂点の付加に 2 本の辺とし、この付加された点から非平面接続要求両端への辺付加を行う。この操作を各非平面接続要求に対して行う。これにより、非平面接続を部品下に通すことを  $G_T$  上での辺交差としてではなく、平面的グラフとして表現する。この結果、再び矩形双対グラフを利用した配置・配線が可能になる。

ネットリストのグラフモデル化 (図 5 参照) から抽出された、平面グラフ  $G$  と非平面接続要求 (図 6 参照) が得られているものとする。また、部品下領域に通すことのできる配線本数を対応する部品構造辺の配線容量として与える。以下、3.2.1, 3.3.1 で 2 つの配線手法を提案するが、その基本戦略は以下ようになる。

#### 提案手法の基本戦略

step 1. その配線経路を求めることができる非平面接続要求がある限り、以下を繰り返す。

- (1.1) 配線経路グラフ  $G'$  の構成;
- (1.2) 配線経路グラフ  $G'$  の混雑コスト  $w$  の計算;
- (1.3) 各々の非平面接続要求に対する最短経路を 1 本ずつ求め、これらのうちで経路長 (コスト総和) 最小のものを 1 本選ぶ;
- (1.4) 選んだ最短経路をグラフ  $G$  に付加し、必要な更新操作を行い、これを新しく  $G$  とする;

部品の所属端子の端子間にはそこを通過できる配線本数 (配線容量  $cap$ ) が定められているものとする。この配線容量は部品の端子間の長さや配線幅によって決まる。この制限により、非平面接続が通過できる本数にも限界がある。これを実現するため、まず、配線容量を考慮に入れた部品下の配線経路を表す配線経路グラフを構成する。詳細は 3.2.1, 3.3.1 に示す。

混雑コストは配線の混みぐあいをコストとして表すことを意図している。混雑コストの高い辺は、多くの非平面接続要求間の配線経路にその辺が含まれることを表している。非平面接続要求のある 2 点間の各々に対して、最短経路 (経路長最小、つまり辺混雑コスト総和が最小の経路) を求める。これらの最短経路のうちで、経路長が最小のものを一つを選び、配線経路として確定させる。この手法により、

多くの非平面接続要求間に対して配線経路を求め得ることが期待できる。

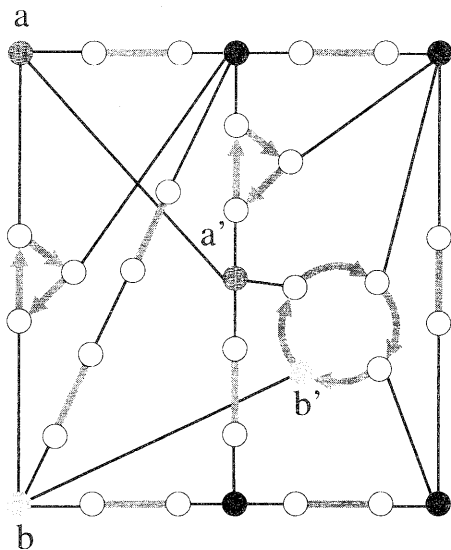


図 5: 図 4 のネットリストからグラフモデル化して得られたグラフ

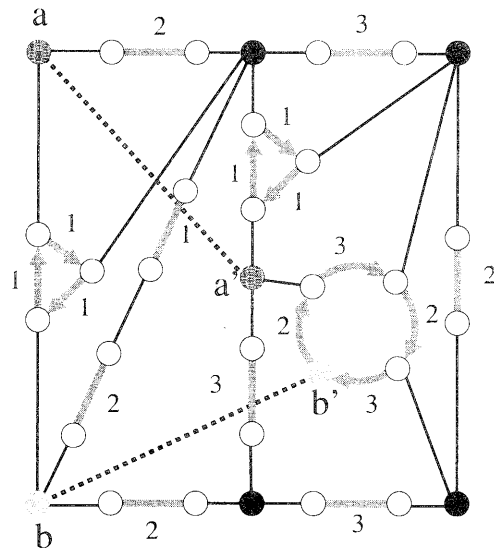


図 6: 図 5 のグラフから抽出した全域平面グラフ  $G$  と非平面接続要求 (破線). 辺の横の数字は配線容量

### 3.2 アルゴリズム RUE

本節では、1つ目の提案アルゴリズム RUE (Algorithm for Routing Under Elements) における、配線経路グラフの構成方法、混雑コストの計算方法、配線経路グラフの更新の手順を詳しく述べる。

#### 3.2.1 配線経路グラフ $G_R$

RUEにおいて、非平面接続要求間の配線経路を求める際に使用する、配線経路グラフ  $G_R$  について説明する。

$G$  の平面描画から、配線経路グラフ  $G_R = (F_R, A_R)$  と辺コスト  $cap: A_R \rightarrow Z^+$  (非負整数) を次の (a)~(d) により定義する (図 7 参照):

- (a)  $F_R = \{s(f) \mid f \text{ は } G \text{ のフェースである}\} \cup T$ .  
但し、 $s(f)$  は  $G$  の各フェース  $f$  に対応する新しい頂点を表し、非平面辺の端点の集合を  $T$  とする。
- (b)  $G$  の平面描画における異なるフェース  $f_i, f_j$  に対し、 $e' = (s(f_i), s(f_j)) \in A_R$  となるのは、 $f_i$  と  $f_j$  の境界が配線容量が 0 でない部品構造辺を共有するときおよびそのときのみとする。
- (c)  $e$  の容量  $cap(e)$  は部品構造辺の配線容量とする。

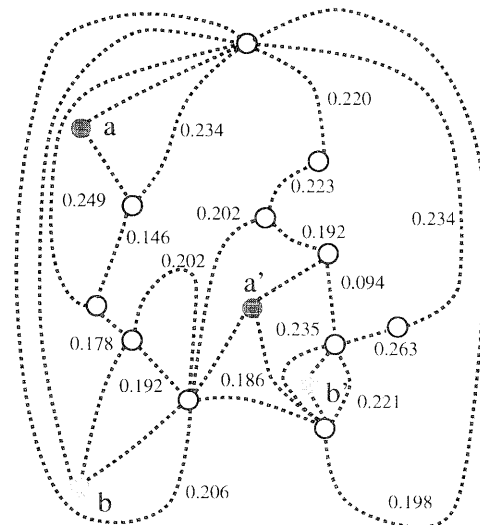


図 7: 配線経路グラフ  $G_R$  と混雑コスト (辺の隣の数字は混雑コスト)

(d) フェース  $f_j'$  と端子頂点  $x \in T$  に対し,  $e'' = (s(f_j'), x) \in A_R$  となるのは, 頂点  $x$  がフェース  $f_j'$  の境界上に存在するときおよびそのときのみとする. また,  $e''$  の容量は  $cap(e'') = 0$  とする.

$G_R = (F_R, A_R)$  には多重辺が存在し得ることに注意されたい.

### 3.2.2 $G_R$ の混雑コスト

RUEで用いる混雑コストの計算方法を述べる. 辺  $e = (u, v) \in A_R$  から頂点  $r \in F_R$  までの距離  $L_r(e)$  を

$$L_r(e) = \min\{p(u, r), p(v, r)\}$$

と定める. 但し,  $p(x, y)$  は辺コストを 1 とした場合の頂点  $x, y \in F_R$  間の最短経路長である.  $r \in T$  と  $e \in A$  に対し,  $K_r(e) \subseteq A$  を

$$K_r(e) = \{e' \in A \mid L_r(e') = L_r(e)\} \cup \{e\}$$

と定義する. このとき,  $e \in A$  の  $r$  に関する混雑コスト  $w_r(e)$  を

$$w_r(e) = \frac{1}{cap(e) + \sum_{r \in T} \delta(K_r(e))}$$

と定義する. 但し,

$$\delta(K_r(e)) = \sum_{e' \in K_r(e)} cap(e')$$

とおく. 最後に各  $e \in A$  の混雑コスト  $w(e)$  を

$$w(e) = \sum_{r \in T} w_r(e)$$

と定める.

### 3.2.3 グラフ $G$ への非平面接続の埋め込み

図 8 を参照されたい. 配線が埋め込まれる部品においては, 非平面辺と交差する部品構造辺の中央に一つの頂点を挿入して辺を分割し, 部品構造辺を長さ 2 のパスに変形する. 挿入した点は, 部品構造辺と同じく, 埋め込まれた非平面辺をも分割することになる. よって, 挿入した点の次数は 4 である. この操作によりグラフ  $G$  の平面性を保つ. また, 分割によって生じた部品構造辺の各々には, 分割前の配線容量から 1 引いたものを配線容量として与える. 以上の操作により, グラフ  $G$  を更新する.

## 3.3 アルゴリズム EJ

### 3.3.1 EJ の配線経路グラフ $G_J$

$G$  の平面描画から, EJ の配線経路グラフ  $G_J = (F_J, A_J)$ , 点コスト  $cap': F_J \rightarrow Z^+$  (非負整数) を次のように定義す

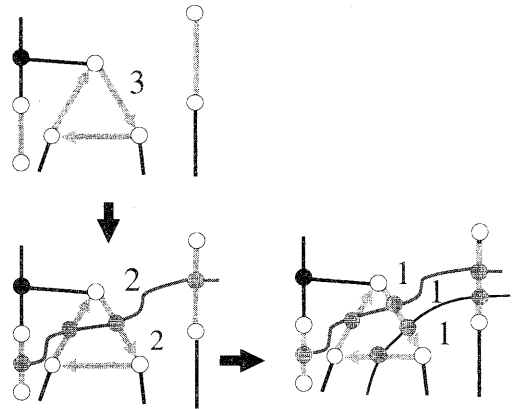


図 8: グラフ  $G$  への非平面接続要求の埋め込みにおける辺の分割と辺容量の更新 (図中の数字は部品構造辺の配線容量)

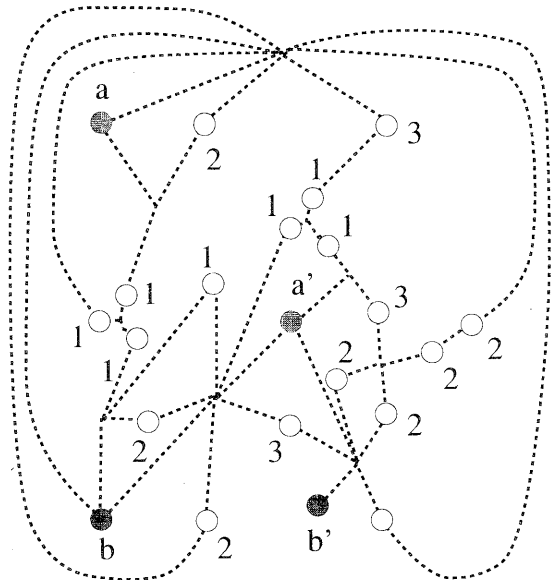


図 9: 配線経路グラフ  $G_J$  (点の横の数字は対応する部品の配線容量である) 但し,  $n$  頂点を結ぶ点線の辺は,  $n$  頂点からなる完全グラフを表している.

る (図9 参照):

- (a)  $F_j = \{st(e) \mid e \text{ は } G \text{ の部品構造辺である}\} \cup T$ .  
 但し,  $st(e)$  は  $G$  の各部品構造辺  $e$  に対応する新しい頂点を表し, 非平面辺の端点の集合を  $T$  とする.
- (b) 点コスト  $cap(st(e))$  は部品構造辺  $e$  に対する配線容量とする.
- (c)  $G$  の平面描画における各フェース  $f$  に対し,  $f$  の境界上にある各部品構造辺に対する  $G_j$  の頂点の集合を  $V_f$ , 境界上にある非平面辺の端点の集合を  $P_f \subseteq T$  とするとき,  $E_f$  を  $G'_j = (V_j \cup P_f, E_f)$  が完全グラフとなるような辺集合とする. このとき,

$$A_j = \bigcup_{f \text{ は } G \text{ のフェース}} E_f$$

とする.

### 3.3.2 $G_j$ の混雑コスト

アルゴリズム EJ では, 混雑コストの計算に [2] の手法を採用している. まず, いくつか定義を述べる. 2 点  $s, t$  に対し,  $G-K$  の連結成分数が 1 以上増加するような  $K \subseteq V \cup E$  を  $G$  のカットと呼ぶ.  $K \subseteq V$  ならば,  $K$  を  $G$  の点カット,  $K \subseteq E$  ならば,  $G$  の辺カットと呼ぶことにする. また,  $G-K$  において,  $s$  と  $t$  が非連結になるカットを特に  $K(s, t; G) \subseteq V \cup E$  と表す.

$$S(K) = \sum_{v \in K} cap(v)$$

とおく. なお,  $G$  が明らかなきとき,  $K(s, t; G)$ ,  $SP_G$  を単に  $K(s, t)$ ,  $SP$  とそれぞれ表す.

EJ における混雑コストの求め方について説明する. グラフ  $G$  の非平面辺による接続要求の両端点  $s, t$  に対し以下のことを行う.  $s, t$  を分離する点カットのうち, 以下のものを採用する: 幅優先探索を用いて始点から等距離にある点からなる点カットと,  $s$  から  $t$  および  $t$  から  $s$  への最大流が求められた際の最小容量カットを選ぶ. このそれぞれの点カットに対して配線容量の合計から (通すべき配線本数)/(通過可能な配線本数) として 1 つの点カットに関する混雑コストを計算し, その値をカットに含まれる各点の混雑コストに加える. 最終的に得られるコストをその点の混雑コストとする.

#### 混雑コストの算出方法

step 1. 任意の  $v \in V'$  に対し,  $w(v) \leftarrow 1$ .  $SP \leftarrow \emptyset$ .

step 2. 非平面接続要求のある頂点对  $s, t$  に対して  $s$  (始点)  $\rightarrow t$  (終点) と  $t$  (始点)  $\rightarrow s$  (終点) なる方向に以下の操作を行う.

(2.1) 始点から等距離にある点からなる点カット  $K$  と  $S(K) = \sum_{v \in K} cap(v)$  を求め,  $SP \leftarrow SP \cup \{K\}$  とする.

(2.2) 始点から終点への最大流を求める. この時点で始点からの探索で定められる最小カット  $K_{min}$  に対し,  $Sa(K_{min})$  を求め,  $SP \leftarrow SP \cup \{K_{min}\}$ .

(2.3) 各  $K \in SP$  に対し, 以下の操作を反復する:  $K$  に含まれる各点  $v \in K$  に対して

$$w(v) \leftarrow w(v) + \frac{1}{S(K)}.$$

具体的な値  $w(v)$  を  $v$  の混雑コストとする.

### 3.3.3 グラフ $G$ の更新

非平面接続要求のグラフ  $G$  への埋め込み方法は, アルゴリズム RUE と同じである.

## 4 実験の概要と結果

### 4.1 実験概要

2 つの提案手法 RUE と EJ を計算機 (CPU: PentiumIII 500MHz, OS: Free BSD3.2) 上の, C 言語で実装し, 比較実験を行った. 実験に用いたデータの総数は 51 個で, そのうち 41 個はランダムに作成, 残りの 10 個は実データである. また頂点数は 100~1458 である. 評価基準として下の式で定義される減少率と計算時間 (CPU 時間) を用いた.

$$(\text{減少率}) = \frac{(\text{実験後の非平面接続要求の減少数})}{(\text{入力時の非平面接続要求数})} \times 100$$

### 4.2 実験結果

表 1 に実験結果をまとめておく. 比較のため, 図 10 には減少率の, 図 11 には計算時間のグラフとして示す. 減少率では最大 15.1%, 平均 3.8% RUE の方が良い結果を示している. 計算時間については RUE の計算時間は EJ の最大で 1/29, 平均で 1/6.4 になっている. 図 10 より, 全てのデータにおいて, RUE では EJ よりも同等, あるいはそれ以上に非平面接続数を減少させた. これは RUE に組み込まれた, 更新後のグラフ  $G$  の配線容量の改良が, 配線経路グラフ  $G'$  に反映されたためと考えられる. また, 図 11 において, EJ よりも RUE の方が計算時間が大幅に短い理由は, 配線経路を求める際に用いるグラフモデルの辺数が, EJ のグラフモデルに比べて非常に少ないためであると思われる. 配線経路を求めるために, RUE, EJ ともに最短経路探索を行うが, 辺数を  $m$ , 点数を  $n$  とすると, そ

表 1: 実験結果のまとめ

#	V	npc	減少率 (%)		CPU(s)	
			RUE	EJ	RUE	EJ
1	141	6	100.0	100.0	0.16	0.52
2	242	20	70.0	65.0	1.41	9.76
3	368	81	8.6	7.4	2.63	5.45
4	430	97	15.5	10.3	5.84	13.76
5	504	121	12.4	10.7	11.60	46.55
6	639	177	4.5	4.5	4.64	12.17
7	727	224	17.4	13.4	53.42	573.78
8	862	258	16.7	13.2	54.44	834.42
9	934	311	11.6	9.6	41.33	1200.20
10	1049	355	10.4	5.1	47.53	834.02

(npc は非平面接続要求数)

の計算量は  $O(n + m)$  なので、辺数が計算時間に影響を与える。

## 5 まとめと今後の課題

部品下領域配線について、配線経路を表現する配線経路グラフを与え、それに基づいた非平面接続要求の埋め込み手法 RUE と EJ を提案した。その性能の理論的な比較は難しいため、実験を行ったが、EJ と比べて RUE の方が埋め込まれた非平面接続数が多く、CPU 時間は非常に短かった。今回は 2 つの提案手法の比較を行ったが、どちらも基本戦略が類似しているため、まったく異なった手法との比較が必要となる。今後の課題として、VLSI など で用いられている配線経路探索法のアイデアを考慮した手法との比較があげられる。より多くのデータでの比較も行う予定である。更に、

- 混雑コストの付け方や配線経路グラフの構成法の改良。
- より効率の良い配線経路探索法の開発。

なども、考えている。

## 謝辞

本研究の一部は、文部省科学研究費補助金 特定領域研究 B(2) No. 10205219 の援助を受けたことを記し、謝意を表す。

減少率(%)

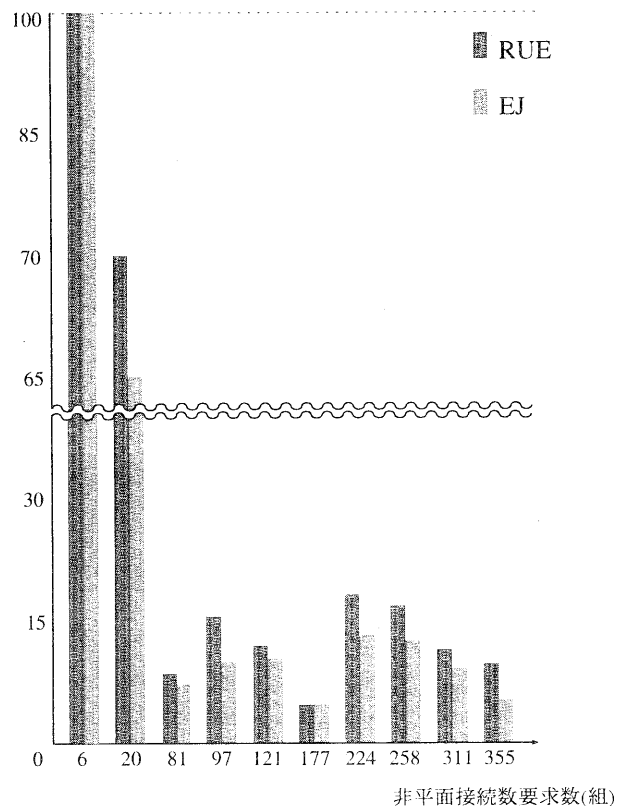


図 10: 実験結果 (減少率の比較: 大きい程よい)

## 参考文献

- [1] J. Edmonds and R. M. Karp, "Theoretical improvements in algorithmic efficiency for network flow problem", J. Assoc. Comput. Mach., Vol. 19, pp. 248-264, 1972.
- [2] 榎, 渡邊, 翁長, "予測・修正混雑コスト方式によるスイッチボックス配線手法", 電学論, Vol. 109-C, No. 4, pp. 299-306, 1989.
- [3] 出淵, "部品下の配線を許したプリント基板配線手法", 平成9年度 広島大学 工学部 第二類(電気系) 卒業論文, Mar. 1998.
- [4] K. Iwamoto, T. Watanabe, T. Araki and K. Onaga, "Finding Jumpers in Printed Wiring Board Design for Analog Circuits", Proc. 1991 IEEE ISCAS, pp. 2854-2857, 1991.
- [5] K. Mizuno, T. Kobayashi and T. Watanabe, "Extracting Nonplanar Connections in a Terminal-Vertex Graph", Proc. 1999 IEEE ISCAS, pp. VI-121-VI-124, 1991.
- [6] 安井, 遠山, 畝, 渡邊, 翁長, "アナログ回路用多層プリント基板設計支援システム MULTI-PRIDE", 情報処理学会設計自動化研究会 DA シンポジウム 92, pp. 137-140, 1992.
- [7] T. Watanabe, "MULTI-PRIDE: A System for Supporting Multi-Layered Printed Wiring Board Design", Proc. Asia and South Pacific Design Automation Conference 1997, pp. 221-226, 1997.

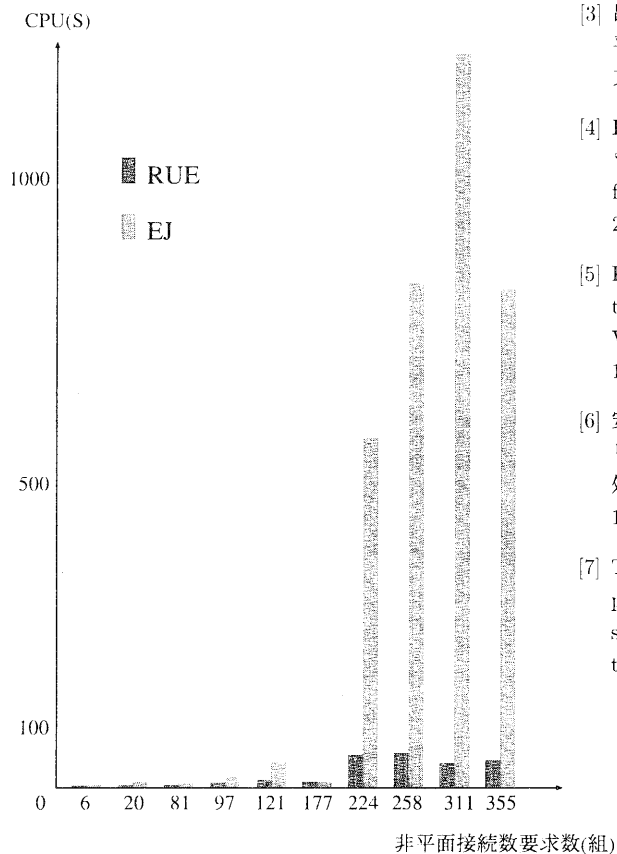


図 11: 計算時間の比較 (短い程よい)