

単一冗長故障を含む 2 重縮退故障に対するテスト生成について

樋上 喜信, 高橋 直子*, 高松 雄三

愛媛大学工学部情報工学科, *愛媛大学大学院理工学研究科

〒790-8577 松山市文京町3
TEL: 089-927-9979 FAX: 089-927-9689
Email: higami@cs.ehime-u.ac.jp

あらまし 単一冗長故障のみが存在する回路は、テストにおいて正常と判断されるが、そのような回路に別の縮退故障が後から生じた場合、たとえ完全な単一縮退故障に対するテストパターンを用いても、その回路を故障回路と判定できない場合がある。そこで本研究では、このような問題を解決するために、単一冗長故障を含む 2 重縮退故障に対するテスト生成法を提案する。提案法では、検出不可能な 2 重縮退故障の判定と、単一縮退故障用テスト生成器を用いたテスト生成を行う。また提案法の有効性を確認するために、ISCAS'85 ベンチマーク回路に対する実験結果を示す。

キーワード 論理回路, テスト生成, 2 重縮退故障, 単一冗長故障

Test Generation for Double Stuck-at Faults with Single Redundant Fault

Yoshinobu Higami, Naoko Takahashi* and Yuzo Takamatsu
Department of Computer Science, Ehime University
*Graduate School of Science and Engineering, Ehime University

Bunkyo-cho 3, Matsuyama, 790-8577, Japan
TEL: 089-927-9979 FAX: 089-927-9689
Email: higami@cs.ehime-u.ac.jp

Abstract A circuit with single redundant fault is always identified as a fault-free circuit. If another stuck-at fault occurs later in such a circuit, and even if the circuit is tested by a complete test set generated for single stuck-at faults, the circuit may not be identified as a faulty circuit. In order to solve this problem, we present a test generation method for double stuck-at faults with single redundant fault. The proposed method consists of identification of undetectable double stuck-at faults and test generation by a test generator for single stuck-at faults. Finally we give experimental results for ISCAS'85 benchmark circuits.

key words logic circuit, test generation, double stuck-at fault, single redundant fault

1 まえがき

論理回路のテストにおいて最もよく用いられる故障モデルとして、単一縮退故障モデルがある。しかしながら当然、回路内の複数の箇所に故障が存在した場合には、単一縮退故障モデルでは見逃される可能性がある。一方、検出不可能な縮退故障が存在した場合、回路の出力関数は、正常回路のそれと全く同じで、テストを行っても正常と判定される。例えば、正常と判定された回路に検出不可能な単一縮退故障が存在し、後に別の検出可能な縮退故障が生じた場合、完全な単一縮退故障に対するテスト集合を用いてテストを行ったとしても、そのような回路を正常と判定する可能性がある。即ち、検出可能な単一縮退故障が時間的にずれて発生したような場合、完全な単一縮退故障に対するテスト集合を用いて、そのような回路を故障と判定することは可能であるが、検出不可能な単一縮退故障と検出可能な単一縮退故障が時間的にずれて発生した場合には、2重縮退故障に対するテスト集合が必要となる。

そこで、本研究では、検出不可能な単一縮退故障(単一冗長故障)と別の単一縮退故障からなる2重縮退故障に対するテスト生成法を提案する。対象とする回路は組合せ回路であり、単一冗長故障は既存のテスト生成法により既知であると仮定する。提案法では、検出不可能な2重縮退故障の判定と、単一縮退故障用テスト生成器を用いたテスト生成を行う。検出不可能な2重縮退故障の判定では、単一冗長故障に基づき冗長信号線を除去した回路に対して、信号値の含意操作に基づく単一冗長故障判定法を用いる。検出不可能な2重縮退故障の判定は、決定論的なテスト生成アルゴリズムによっても可能であるが、信号値の含意操作に基づく手法は、テスト生成アルゴリズムによる手法より、高速に検出不可能な故障を発見することができる[1]-[3]。

テスト生成法としては、1) 冗長除去回路に対する単一縮退故障用テスト生成器を用いた手法、2) 2重縮退故障が存在する信号線に回路を付加することによって、2重縮退故障を単一縮退故障に変換し、既存の単一縮退故障に対するテスト生成器を用いる手法、の2通りの手法を提案する。

本報告の構成は次のようになる。2. では、準備として、用語の定義や、過去に提案された単一冗長故障に基づく冗長除去手法を説明する。3. では検出不可能な2重縮退故障の判定法を述べる。4. では2重縮退故障に対するテスト生成法を述べる。5.

では、提案法をプログラム化し、ISCAS'85 ベンチマーク回路に対して実験を行った結果を示す。最後に6. で、本報告の結論を述べる。

2 準備

2.1 用語の定義

本報告では、信号線 l の α 縮退故障を $l(\alpha)$ と表す。また、異なる信号線上の2つの縮退故障 f_1 と f_2 からなる2重縮退故障を $f_1 + f_2$ と表す。単一縮退故障のうち、全ての入力パターンに対して、正常回路と同じ外部出力応答が得られるような故障を、単一冗長故障とよぶ。

C_1 と C_2 を回路、 T_c を回路 C_1 , C_2 に対する全ての入力パターンの集合、 $F(C, t)$ を回路 C の入力パターン t に対する外部出力値とする。もし、

$$F(C_1, t) = F(C_2, t) \quad (\forall t \in T_c)$$

ならば、 $C_1 = C_2$ と表す。

2.2 冗長信号線除去

元の回路の出力関数を保持したまま、単一冗長故障である信号線を含む部分回路を除去する手法が提案されている[4]。本研究では、この冗長除去手法により得られた回路に対して、検出不可能な2重縮退故障の判定や、テスト生成を行う。以下に、故障 $l(\alpha)$ が単一冗長故障であるときの、冗長除去手法を説明する。

Step1 信号線 l に信号値 α を設定し、信号線 l を集合 L に含める。

Step2 信号線 l から外部出力側に向かい、含意操作を行い、信号値が確定した信号線を集合 L に加える。

Step3 集合 L の全ての要素の信号線 (l_i とよぶ) に対し、Step4 を行う。

Step4 信号線 l_i から外部入力または分岐の枝に至る信号線を集合 R に含める。

Step5 集合 R の全ての要素である信号線を除去する。

3 検出不可能な2重縮退故障の判定

ここでは2重縮退故障のうち検出不可能なものを判定する手法について述べる。先に述べた冗長除去手法により得られた回路に対して、信号値の含意操作に基づき単一冗長故障を判定する手法 [1] を用いる。もし、冗長除去回路において、ある故障が単一冗長故障であると判定されたなら、元の単一冗長故障と後から判定された単一冗長故障からなる2重縮退故障が検出不可能とわかる。

補題 1 回路 C_0 に対して、故障 f の存在する回路を C_f とする。 $C_0 = C_f$ のとき、 f は検出不可能である。また逆も真である。

補題 2 回路 C_0 から単一冗長故障 f に基づき冗長除去手法により得られた回路を C_{-f} とすると、 $C_0 = C_{-f}$ 。

定理 1 回路 C_0 において、 C_0 から単一冗長故障 f_α に基づき冗長信号線を除去した回路を $C_{-\alpha}$ とする。回路 $C_{-\alpha}$ において f_d が単一冗長故障のとき、 f_α と f_d の2重縮退故障は回路 C_0 において検出不可能である。

[証明]

$$f_\alpha \text{ が単一冗長故障より, } C_0 = C_{-\alpha} \quad (1)$$

$C_{-\alpha}$ に単一冗長故障 f_d の存在する回路を $C_{-\alpha+d}$ としたとき、 $C_{-\alpha}$ において f_d が単一冗長故障であるので、

$$C_{-\alpha} = C_{-\alpha+d} \quad (2)$$

$C_{-\alpha}$ から f_d に基づき冗長信号線を除去した回路を $C_{-\alpha-d}$ とすると補題 2 より、

$$C_{-\alpha} = C_{-\alpha-d} \quad (3)$$

(1), (2), (3) より、

$$C_0 = C_{-\alpha-d} \quad (4)$$

(4) と補題 1, 補題 2 より、 f_α と f_d の2重縮退故障は回路 C_0 において検出不可能である。 □

提案法ではこの定理に基づき、検出不可能な2重縮退故障を判定する。以下に、単一冗長故障 f_α が与えられたときの、検出不可能な2重縮退故障の判定法を述べる。

判定の手順

Step1 被検査回路 C_0 に単一冗長故障 f_α を仮定し、冗長除去手法により冗長信号線を除去した回路 $C_{-\alpha}$ を作成する。

Step2 単一冗長故障判定法 [1] により、回路 $C_{-\alpha}$ における単一冗長故障を判定する。冗長と判定された故障を f_j ($j = 1, \dots, m$) とする。

Step3 元の単一冗長故障 f_α と Step2 で冗長と判定された故障 f_j との2重縮退故障は検出不可能である。

例えばこの判定の手順を図1の回路に用いる。この回路 C_0 において $f(0)$ は単一冗長故障であるので、Step1の手順により、図の信号線 f, e, a, c を除去し、新たな回路 C_{-f} (図1の実線部) を生成する。外部入力値に対する回路 C_0 と、回路 C_{-f} の外部出力値は表1のように等しい。次に、Step2の単一冗長故障判定法を行なうと、 $k(1)$ が回路 C_{-f} において単一冗長故障であると判定される。よって、Step3より、 $f(0)$ と Step2 で判定された $k(1)$ との2重縮退故障は検出不可能である。

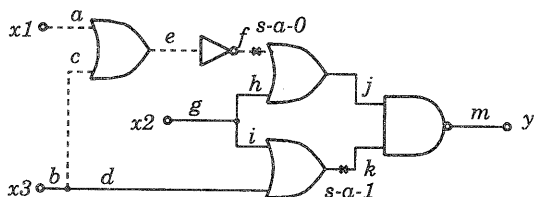


図 1: 検出不可能な2重縮退故障の例

表 1: 真値表

(a) 回路 C_0			
x_1	x_2	x_3	y
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

(b) 回路 C_{-f}	
$x_2 x_3$	y
0 0	1
0 1	1
1 0	0
1 1	0

4 2重縮退故障に対するテスト生成

ここでは、2重縮退故障に対するテストパターンを生成する2つの手法について述べる。1つは、2.2の冗長除去手法を用い、回路から冗長部分を除去した後、単一縮退故障に対するテスト生成器を用いる手法である。もう1つは、付加回路を用いて、2重縮退故障を単一縮退故障に置き換えて、その後、単一縮退故障に対するテスト生成器を用いる手法である。

4.1 冗長除去回路を用いたテスト生成

ここでは、単一冗長故障に基づき、冗長信号線を除去した回路に対して、単一縮退故障用テスト生成器を用いて、2重縮退故障に対するテストパターンを得る。以下の定理は、冗長を除去した回路に対して生成したテストパターンが元の回路の2重縮退故障に対するテストパターンとなっていることを示している。

定理2 与えられた回路を C_0 、 C_0 内の単一冗長故障を f_α 、別の縮退故障を f_d 、回路 C_0 から f_α を除去した回路を $C_{-\alpha}$ とする。回路 $C_{-\alpha}$ 内の故障 f_d に対してテストパターン p が得られたとき、 p は回路 C_0 内の2重縮退故障 $f_\alpha + f_d$ に対するテストパターンである。

[証明] 入力パターン p に対する回路 C_0 と $C_{-\alpha}$ の外部出力値を F_0 、 F_α とする。また、入力パターン p に対する回路 C_0 に2重縮退故障 $f_\alpha + f_d$ が存在したときの外部出力値を $F_{\alpha+d}$ 、回路 $C_{-\alpha}$ に故障 f_d が存在したときの外部出力値を F_d とする。 p が回路 $C_{-\alpha}$ 内の故障 f_d に対してテストパターンであることより、

$$F_\alpha \neq F_d \quad (5)$$

また冗長除去回路の外部出力値は元の回路と等しいので

$$F_0 = F_\alpha \quad (6)$$

冗長除去手法により C_0 から除去された信号線の集合を D_r とし、 D_r の信号線が入力となっているゲートの出力線で、 D_r に含まれない信号線の集合を D_g とする。回路 C_0 に2重縮退故障 $f_\alpha + f_d$ が存在したときと、回路 $C_{-\alpha}$ に故障 f_d が存在したときを比較すると、 p を印加したときの D_g に含まれる信号線

の値は、どちらも同じ値を取る。なぜなら、 D_r に含まれる信号線のうち、 D_g に含まれるゲートの入力線となっている信号線の値は各ゲートの非制御値となっているからである。もし制御値なら、 D_g の信号線も値が一意に決まり、除去手順によって D_g の信号線が除去されることになり矛盾する。従って、除去された信号線の値は外部出力に影響せず、

$$F_d = F_{\alpha+d} \quad (7)$$

である。(5)、(6)、(7)より、

$$F_0 \neq F_{\alpha+d}$$

となり、 p は回路 C_0 の2重縮退故障 $f_\alpha + f_d$ に対するテストパターンである。□

4.2 2重縮退故障の単一縮退故障への置換えを用いたテスト生成

ここでは、被検査回路に回路を付加することによって、元の回路の2重縮退故障を単一縮退故障に置き換えて、単一縮退故障用テスト生成器でテストパターンを生成する手法を述べる。

信号線 a の α 縮退故障と b の β 縮退故障からなる2重縮退故障のテストパターンの生成を考える。ただし、 a 、 b 間に経路は存在しないとする。このとき被検査回路に図2のような回路を付加し、元の2重縮退故障を z の単一縮退故障に置き換える。また、 a 、 b の次段のゲートに対しては、 a 、 b の代わりに a' 、 b' を入力とする。次に単一縮退故障 z を対象に、テストパターンを生成する。このようにして $a(\alpha)$ と $b(\beta)$ からなる2重縮退故障に対するテストパターンを得る。

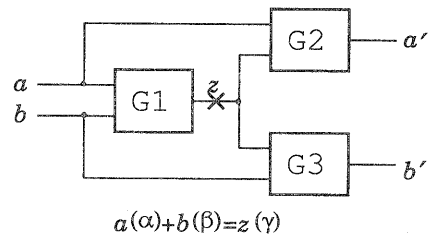


図2: 2重縮退故障のテスト生成のための付加回路

例: $a(0) + b(0)$ の2重縮退故障に対するテストパターンの生成を考える。このとき、図3のような

回路を付加し、 z の0縮退故障をテスト生成の対象とする。図3の付加回路における真理値表は表2のように表される。ここで真理値表中の v_1/v_2 は、 v_1 は正常値、 v_2 は故障値を表す。例えば、 $a = b = 0$ のとき、故障 $z(0)$ は活性化されず、信号線 a' 、 b' は a 、 b と同じ値を取る。また、 $a = 1$ 、 $b = 0$ のとき、故障 $z(0)$ は活性化され、信号線 a' にのみ故障の影響が伝搬する。また、 $a = b = 1$ のとき、故障 $z(0)$ は活性化され、信号線 a' 、 b' の両方に故障の影響が伝搬する。

$a(1) + b(1)$ の2重縮退故障の場合は図4に示す回路を付加し、 z の1縮退故障を対象にしてテスト生成を行なう。 a' 、 b' 、 z における真理値表を表3に示す。また、 $a(1) + b(0)$ の場合も同様に図5の回路を付加し、 z の0縮退故障を対象にしてテスト生成を行なう。 a' 、 b' 、 z における真理値表を表4に示す。

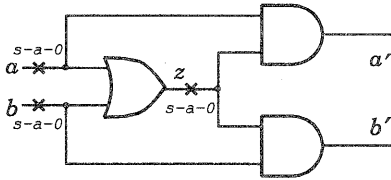


図 3: $a(0) + b(0)$ の場合の付加回路

表 2: $a(0) + b(0)$ の場合の真理値表

a b	z	a'	b'
0 0	0/0	0/0	0/0
0 1	1/0	0/0	1/0
1 0	1/0	1/0	0/0
1 1	1/0	1/0	1/0

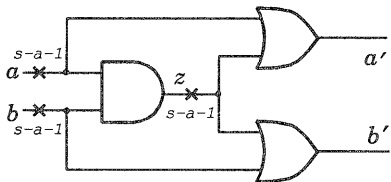


図 4: $a(1) + b(1)$ の場合の付加回路

表 3: $a(1) + b(1)$ の場合の真理値表

a b	z	a'	b'
0 0	0/1	0/1	0/1
0 1	0/1	0/1	1/1
1 0	0/1	1/1	0/1
1 1	1/1	1/1	1/1

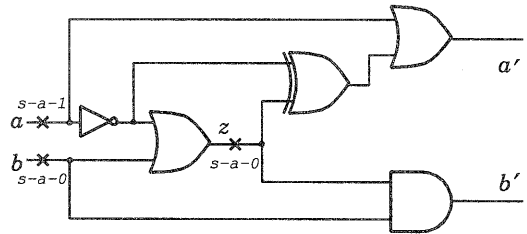


図 5: $a(1) + b(0)$ の場合の付加回路

表 4: $a(1) + b(0)$ の場合の真理値表

a b	z	a'	b'
0 0	1/0	0/1	0/0
0 1	1/0	0/1	1/0
1 0	0/0	1/1	0/0
1 1	1/0	1/1	1/0

5 実験結果

3. の検出不可能な2重縮退故障の判定法と、4.1の冗長除去回路を用いる2重縮退故障のテスト生成法を、UNIXワークステーション上でC言語を用いて実現し、ISCAS'85ベンチマーク回路に対して実験を行なった。ここでは、この実験結果を示す。

まず、ISCAS'85ベンチマーク回路で、本研究の対象となる2重縮退故障の数を表5に示す。表5の#rdnは各回路の単一冗長故障の数、#nrdは検出可能な単一縮退故障の数、#Pairは#rdnと#nrdの組合せのうち、同じ信号線上のものを除いた数で、本研究で対象とする2重縮退故障の数を示す。この#Pairのうち、文献[5]による単一縮退故障用テスト集合を用いたとき、検出できた数を#Det、検出できなかった数を#Undetに示す。

3. の検出不可能な2重縮退故障判定の実験結果を表6に示す。この実験では表5の#Pairに示される2重縮退故障を対象とした。#Undetは表5の

#Undetと同じである。実験結果の検出不可能であると判定された2重縮退故障の数は#Redに示す。即ち、文献[5]の単一縮退故障用テスト集合で未検出となったもののうち#Redに示す2重縮退故障が検出不可能であることが分かった。#Timeは、被検査回路から冗長除去回路を作成し、この回路に対して単一冗長故障判定法で冗長故障を判定するのに要した時間である。

次に、4.1の冗長信号線除去によるテスト生成の結果を表7に示す。この実験では、単一縮退故障用テスト集合によって検出できなかった2重縮退故障(#Undet)を対象とした。ただし、#Rmに示される2重縮退故障は、冗長除去の過程で除去された数なので、これらはテスト生成の対象とはならない。#Detは検出できた2重縮退故障の数、#Redはテスト生成の過程で検出不可能であると判定された数、そして、#Abtはアボートした2重縮退故障の数を示す。

表8は、テスト生成の故障検出効率を示す。表中の#Det1は表5の#Detと同じである。#Det2、#Redはそれぞれ、4.1のテスト生成で検出された数と、4.1の手法により検出不可能と判定された数を示す。故障検出効率は

$$\text{故障検出効率} = \frac{\#Det1 + \#Det2 + \#Red}{\#Pair} \times 100$$

の式によって求め、%で示す列に表す。回路c1908ではテスト生成を行なうことによって、故障検出効率が100%となった。他の回路でも、高い故障検出効率を得ることができた。

表 5: 対象となる2重縮退故障の数

回路	#rdn	#nrd	#Pair	#Det	#Undet
c432	4	520	2080	2074	6
c499	8	750	6000	6000	0
c880	0	942	0	0	0
c1355	8	1556	12528	12528	0
c1908	9	1862	16758	16730	28
c2670	117	2630	307710	305157	2553
c3540	137	3291	450867	450709	158
c5315	59	5291	312169	312134	35
c6288	34	7710	262140	262106	34
c7552	131	7419	971889	971778	111

表 6: 実験結果 1

回路	#Pair	#Undet	#Red	Time(s)
c432	2080	6	0	0.07
c1908	16758	28	0	1.10
c2670	307710	2553	24	21.15
c3540	450867	158	4	44.28
c5315	312169	35	15	33.17
c6288	262140	34	16	29.23
c7552	971889	111	16	146.72

表 7: 実験結果 2

回路	#Pair	#Rm	#Det	#Red	#Abt	Time(s)
c432	6	6	0	0	0	0.02
c1908	28	0	26	2	0	0.37
c2670	2553	1426	110	831	186	5829
c3540	158	110	10	38	0	19.78
c5315	35	1	19	15	0	5.53
c6288	34	18	0	16	0	2.18
c7552	111	8	48	55	0	33.70

表 8: 2重縮退故障の故障検出効率

回路	#Pair	#Det1	#Det2	#Red	%
c432	2080	2074	0	0	99.71
c499	6000	6000	0	0	100.00
c1355	12528	12528	0	0	100.00
c1908	16758	16730	26	2	100.00
c2670	307710	305157	110	831	99.48
c3540	450867	450709	10	38	99.98
c5315	312169	312134	19	15	99.99
c6288	262140	262106	0	16	99.99
c7552	971889	971778	48	55	99.99

6 むすび

本報告では、単一冗長故障と別の単一縮退故障からなる2重縮退故障に対するテスト生成法を提案した。まず、単一冗長故障に基づく冗長除去手法と単一冗長故障判定法を用いた、検出可能な2重縮退故障の判定法を提案した。次に、単一縮退故障用テスト生成器を用いたテスト生成として、冗長除去回路を用いた手法と、付加回路により2重縮退故障を単一縮退故障に変換する手法を提案した。検出不

可能な2重縮退故障の判定法と、冗長除去回路に対して単一縮退故障用テスト生成器を用いた手法について実験を行った結果、多くの回路ではほぼ100%に近い故障検出効率を得ることができた。今後は、付加回路により2重縮退故障を単一縮退故障に変換する手法をプログラミング化し、実験によりその有効性を示す予定である。また、各手法を統合し、より効率的な2重縮退故障に対するテスト生成法を開発する。

謝辞

単一縮退故障用テスト集合、テスト生成プログラムを提供して頂いた九州工業大学梶原誠司助教授に感謝いたします。

参考文献

- [1] 南山 哲郎, 高松 雄三, “組合せ回路における冗長故障の判定法に関する考察,” 信学論 D-1, vol. J81-D-1, No. 10, pp. 1149-1156, 1998.
- [2] M. A. Iyer and M. Abramovici, “Low-cost redundancy identification for combinational circuits,” Proc. VLSI Design, pp. 315-318, Jan. 1994.
- [3] M. A. Iyer and M. Abramovici, “FIRE: A fault-independent combinational redundancy identification algorithm,” IEEE Trans. VLSI Systems, pp. 295-301, June. 1996.
- [4] 梶原 誠司, 芝 温子, 樹下 行三, “検出不能故障のクラス化による組合せ回路の冗長除去について,” 信学論 D-1, Vol. 75, No. 2, pp. 107-115, 1992.
- [5] S. Kajihara, I. Pomeranz, K. Kinoshita, and S. M. Reddy, “Cost-Effective Generation of Minimal Test Sets for Stuck-at Faults in Combinational Logic Circuits,” IEEE Trans. CAD, Vol. 14, No. 12, pp. 1496-1504, Dec. 1995.