

準同期式設計による乗算器の作成

内海哲章, 高橋篤司

東京工業大学 大学院 理工学研究科 集積システム専攻
〒152-8552 目黒区大岡山 2-12-1
TEL : 03-5734-3572 FAX : 03-5734-2902
E-mail: {utsumi, atushi}@ss.titech.ac.jp

あらし

一般の同期式回路は、各レジスタに入力されるクロックのタイミングが同時であることが原則であり、完全同期式設計ではそれを前提として回路を設計する。これに対して、準同期式設計では、各レジスタに入力するクロックのタイミングを意図的にずらすことによって、最高クロック周波数をさらに高速化する。本研究では、完全同期式設計と準同期式設計を比較するために、両設計手法を用いて乗算器を作成し、計算機上でシミュレートおよび分析することによって、準同期式設計の有効性を検証した。

キーワード 準同期, 論理回路, 乗算器, 遅延

A synthesis of multiplier based on semi-synchronous design

Tetsuaki Utsumi and Atsushi Takahashi

Department of Communications and Integrated Systems,
Tokyo Institute of Technology
Ookayama, Meguro, Tokyo, 152-8552
TEL : +81-3-5734-3572 FAX : +81-3-5734-2902
E-mail: {utsumi, atushi}@ss.titech.ac.jp

Abstract

The clock period of a synchronous circuit can become shorter if the clock input timing is properly scheduled, such a circuit is called a semi-synchronous circuit. In this paper, we synthesize a multiplier based on semi-synchronous framework as well as based on complete-synchronous framework. We compare the performance of the obtained multipliers to confirm the validity of semi-synchronous design method.

key words semi-synchronous design, logic circuit, multiplier, delay

1 序論

一般の同期式回路においては、各レジスタに入力されるクロックのタイミングは同時であることが原則であり、完全同期式設計ではそれを前提として回路を設計する。この場合、最高クロック周波数は、レジスタ間遅延の最大値によって決定されるため、要求されるクロック周波数が向上するにしたがって、それを満たす設計は困難になる。

一方、準同期式設計では、その制約を取り払い、データがレジスタに到着するタイミングと、クロックが到着するタイミングの相対的な関係のみを制約として回路を設計する [1, 2, 4, 5, 6, 7, 8]。よって、準同期式設計は、完全同期式設計に比べて設計の自由度が大きいため、完全同期式設計より高い性能を実現できると考えられる。

本研究では、完全同期式設計と準同期式設計を比較するために、それぞれの手法を用いてパイプライン乗算器を構成し、計算機上でシミュレートおよび分析することによって、準同期式設計の有効性を検証する。

2 同期式回路

同期式回路は、クロック信号と呼ばれる同期信号を用いて、回路内の各レジスタを同期して動作させることにより、求める機能を実現する。

2.1 完全同期式設計による同期式回路

完全同期式設計によるクロック信号分配木は、回路内の全てのレジスタに対して等しい遅延時間でクロック信号を分配する。この方法では、レジスタ間遅延の最大値が最小クロック周期を決定する。

完全同期式設計における最高クロック周波数を向上させるための手法のひとつとして、リタイミングが挙げられる。リタイミングは、レジスタの挿入位置を変更することによって、レジスタ間遅延の平均化を図り、レジスタ間遅延の最大値を減少させる手法である。

2.2 準同期式設計による同期式回路

準同期式設計では、クロック信号を回路内の各レジスタに供給するタイミングは、必ずしも等しくない。あるクロックエッジで、あるレジスタから出力された信号が、組み合わせ回路によって処理され、その結果が一周後のクロックエッジで正しく次段のレジスタに取り込まれる、ということを制約として回路を作成する。

ここで、レジスタ u から出力されたデータを処理した結果が、レジスタ v に正しく入力されるための制約を考える。

$s(u)$: クロックソースから u のクロック入力端子までの遅延

$t_{ck \rightarrow d}$: レジスタのクロック入力端子からデータ出力端子までの遅延

$d_{\max}(u, v)$: u のデータ出力端子から v のデータ入力端子までの最大遅延

$d_{\min}(u, v)$: u のデータ出力端子から v のデータ入力端子までの最小遅延

T : クロック周期

とのおくと、クロックソースにおいて時刻 0 に発生したクロック信号によってレジスタ u から出力されたデータを処理した結果が、レジスタ v のデータ入力端子において保持されるのは、時刻 $s(u) + t_{ck \rightarrow d} + d_{\max}(u, v)$ から時刻 $T + s(u) + t_{ck \rightarrow d} + d_{\min}(u, v)$ までである。また、クロックソースにおいて時刻 T に発生したクロック信号によって、レジスタ v が正しく入力データを取り込むためには、

t_{ds} : レジスタのセットアップ時間

t_{dh} : レジスタのホールド時間

とのおくと、 $T + s(v) - t_{ds}$ から $T + s(v) + t_{dh}$ までの間は、レジスタ v の入力端子に有効なデータが保持されていなくてはならない。この制約条件を式に表すと、以下のようになる。

$$s(u) + t_{ck \rightarrow d} + d_{\max}(u, v) \leq T + s(v) - t_{ds}$$

$$s(u) + t_{ck \rightarrow d} + d_{\min}(u, v) \geq s(v) + t_{dh}$$

完全同期式設計では、回路内のどのようなレジスタの組 (u, v) に対しても $s(u) = s(v)$ と仮定するため、最小クロック周期は $t_{ck \rightarrow d} + d_{\max}(u, v) + t_{ds}$ の最大値となる。一方、準同期式設計では、この制約を満たしながら T を小さく出来るような $s(u)$ と $s(v)$ を与えることによって、完全同期式設計よりも高速なクロック周波数で動作させることが出来るようになる。

3 回路の作成と分析の手順

本研究では、二段パイプライン乗算器を Verilog-HDL ネットリストで記述し、準同期式設計、完全同期式設計に基づきクロック木を作成する。また、作成した回路記述に対して自動リタイミングを適用して得られた回路記述に対しても、完全同期式設計に基づきクロック木を作成する。これによって得られた三種類の回路の性能を比較検証する。

3.1 乗算器の記述

作成する乗算器は、二つの 16 ビット符号なし整数を入力として取り、それらを掛け合わせた結果を 32 ビット符号なし整数として出力する。

回路の内部では、まず二つの入力の各ビットについて互いに論理積を取ることによって、16 個の 16 ビット符号なし整数を得たのち、それらを Wallace 木構造のキャ

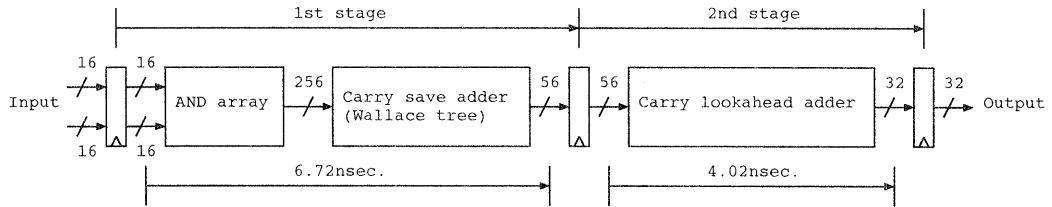


図 1: 作成した乗算器

リー・セーブ・アダーで加算して 2 個の符号なし整数にまとめた後、最後にキャリー・ルックahead・アダーで加算して 32 ビット符号なし整数を得る。ステージ間レジスタは、遅延の均等化も考慮に入れた上で、数が少なくなるように挿入する。回路の構造を図 1 に示す。

回路は Verilog-HDL のネットリストの形式で記述する。記述したネットリストに誤りがないか確認するために、Verilog-XL によってセル遅延情報のみを用いたシミュレーションを行い、テストベンチ上で正しく動作することを検証する。

この回路の遅延を DesignCompiler を用いて調べた結果、第一ステージの最大遅延は 6.72 ナノ秒、第二ステージの最大遅延は 4.02 ナノ秒であった。

また、ステージ遅延を平均化することによって最大遅延を小さくした回路記述を、DesignCompiler の自動リタイミング機能を用いて得た。この回路の第一ステージの最大遅延は 6.14 ナノ秒、第二ステージの最大遅延は 5.72 ナノ秒であった。

3.2 クロック分配木の作成

準同期式設計では、DesignCompiler によって得られたステージ内最大遅延・最小遅延から、クロック周期の最小化を目標として、制約条件を満たすように、ステージ間レジスタそれぞれに対してクロックを供給するタイミングの目標値を設定する。ただし、乗算器の入出力レジスタに対する目標値は、全て同じとする。

バッファの段数、駆動能力、ファンアウトの調整によって、目標とするクロックタイミングを達成するように、クロック分配木を作成する。クロック分配木を図 2 に示す。図中でバッファの中に書かれている数字は、そのバッファの駆動能力が、標準のバッファに対して何倍であるかを示す。また、レジスタ数の下に記されている時間は、該当するレジスタへのクロック遅延を示す。56 個のステージ間レジスタのうち、LSB 側の 2 個を除いた 54 個は、クロックタイミングを他に比べて約 1.2 ナノ秒遅らせている。これらのレジスタまでのクロックバッファ段数は他に比べて一段多く、また、小さい駆動能力のバッファが多数のレジスタを駆動しているため、クロックタ

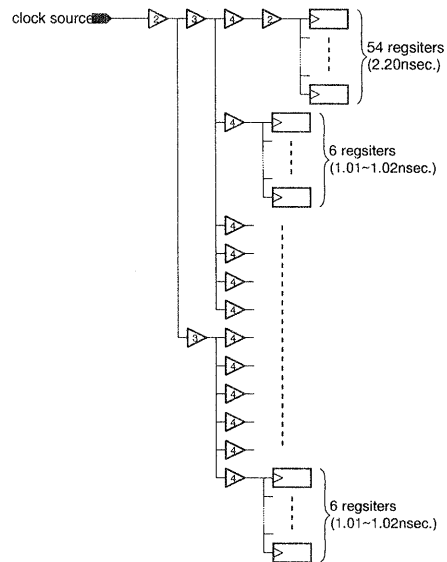


図 2: 準同期式設計によるクロック分配木

イミングは大きく遅れている。

完全同期式設計によるクロック分配木では、各段のバッファの駆動能力やファンアウト数が同じになるように、均整の取れたツリーを作成する。最初に作成した回路記述に対するクロック分配木を図 3、リタイミング後の回路記述に対するクロック分配木を図 4 に示す。

クロック分配木を含む三種類の回路記述から、各ネットと各セルの遅延を DesignCompiler で抽出し、Verilog-XL 上で負荷を考慮したシミュレーションを行い、それぞれ回路の動作を確認する。

3.3 使用したライブラリとツール

本研究では、実プロセスのセルライブラリのデータを使用した。その概要を以下に示す。

- VDEC 用 EXD 社セルライブラリ

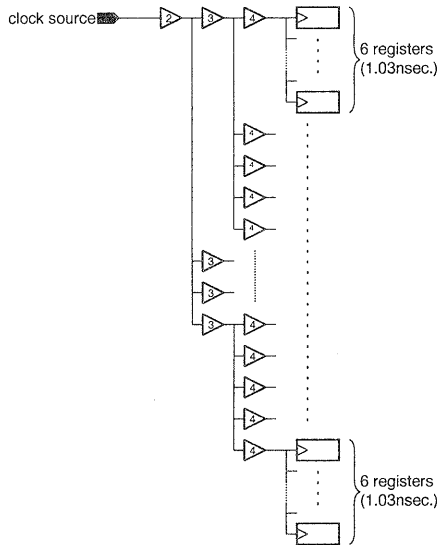


図 3: 完全同期式設計によるクロック分配木

(九大／早稲田版)

◦ プロセス: CMOS 0.5 μ m

- PolySi: 1 層
- メタル配線: 3 層
- 電源電圧: 3.3[V]

また、回路の分析やシミュレーション等には以下のツールを用いた。

◦ Synopsys DesignCompiler 1999.05

- 回路のリタイミング
- 遅延の計算
- 遅延情報ファイルの作成
- 最高クロック周波数の計算
- セル総面積の計算
- ダイナミック消費電力の計算

◦ Cadence Verilog-XL 2.5

- シミュレーション

4 回路の性能評価

ゲートレベルシミュレーションにより、準同期式設計による回路の動作を確認した。

また、各回路について、面積、最高クロック周波数、ダイナミック消費電力の各項目を DesignCompiler を用いて分析した。その結果を表 1 に示す。

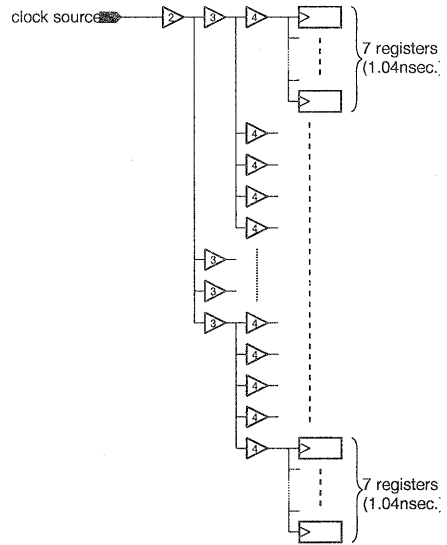


図 4: リタイミング後の回路に対する完全同期式設計によるクロック分配木

5 考察

5.1 パイプラインの構成

高い性能を求められる同期式回路の設計において、クロックの高速化によって要求される性能を満たそうとした場合に、回路のパイプライン化は必要不可欠である。完全同期式設計による回路では、レジスタ間最大遅延がクロック周波数の上限を決定するので、動作可能なクロック周波数を向上させるためには、各ステージの最大遅延が均等に小さくなるようパイプラインを構成する必要がある。

レジスタの数を減らし、面積を節約したい場合には、パイプラインのステージ間のネット数が少なくなるようにパイプラインを構成する必要があるが、この場合には、各ステージの最大遅延のばらつきによって最高クロック周波数の低下が発生する。

準同期式設計では、パイプラインを面積優先で構成しても、速度優先で構成した場合に対する最大レジスタ間遅延の増加を、クロック到着時間差で吸収することができる。そのため、面積と速度の両立が可能になると考えられるが、今回の準同期式設計と完全同期式設計の比較によってその可能性を実証できた。

5.2 クロック分配木

完全同期式設計のクロック分配木では、クロック発生源からの遅延が小さく、かつクロック到着時間差が発生

回路	完全同期式	完全同期式 (リタイミング後)	準同期式
最高クロック周波数 (最小クロック周期)	121.1MHz (8.26nsec.)	130.9MHz (7.64 nsec.)	141.4MHz (7.07nsec.)
パイプライン間レジスタ数 (パイプライン間レジスタ面積)	56 個 (0.048mm ²)	76 個 (0.065mm ²)	56 個 (0.048mm ²)
回路総面積	0.530mm ²	0.547mm ²	0.525mm ²
ダイナミック消費電力	432.8mW	475.3mW	399.8mW

表 1: 回路の性能

しないように、強力なクロックドライバを使用し、配線長を等しくするために大きな面積をクロック配線に割り当てる。このため、クロック分配木が消費電力とチップ面積の中で大きな割合を占める。

今回実際に行った準同期式設計では、クロック到着時間差を生み出すために、クロックバッファのドライブ能力の削減と、クロックバッファ数の削減を行なった。このことにより結果的には、クロックバッファ面積と消費電力を削減することができた。

6 今後の課題

6.1 準同期式設計に適した遅延予測

完全同期式設計では、全てのレジスタのクロック到着時刻を同時にするために、均整の取れたクロック木を作成し、配線長もなるべく等しくなるようにレイアウトする。このため、クロック到着時刻の変動をほとんど考慮する必要が無く、レジスタ間遅延について考える際には、最小値は変動して最も小さくなった場合の値、最大値は変動して最も大きくなった場合の値として、クロックと関係なく評価することが出来る。

しかし、準同期式設計では、レジスタ間遅延とクロック到着時間差の相対的な関係が問題になることから、完全同期式設計と同じ方法で遅延の評価をした場合には、クロックタイミングのマージンが過不足無く設定できているとは限らない。

クロック分配木の遅延の変動を抑え、このマージンを小さくとることができるようなクロック分配木の構成法が提案されている [7]。また、レジスタ間遅延の変動を抑えた回路を合成することにより、さらに安定した動作を実現できる。

さらに、クロック分配木の遅延の変動と、レジスタ間遅延の変動との相対的な関係を把握することによって、より高速かつ安定した動作を実現できる。たとえば、レジスタ間遅延とクロック到着時間差が同じ方向に増減する場合は、マージンをより小さく設定できる。

6.2 クロック分配木の面積と消費電力削減

準同期式設計でクロック分配木の遅延を作り出すために本研究で使用した方法は、クロックバッファ段数の増加、駆動能力の削減、ファンアウトの追加である。このうちバッファの駆動能力の削減とファンアウトの追加は、消費電力の低減と面積の削減に貢献する。これらを、最適化目標に追加して設計することによって、さらにより良い性能を実現できる可能性があるため、このことについても考えてみる必要がある。

6.3 最小遅延を考慮した回路合成

今回作成した乗算器は、最小遅延について考慮することなく回路記述を作成した。しかし、最小遅延を最大遅延に近づけることによって、パイプライン乗算器の最小クロック周期はさらに小さく出来る [3]。一般の回路についても、最小遅延を増大させることにより、クロック周期を小さく出来ることが知られている [8]。実際の回路合成においても、最大遅延だけでなく最小遅延も考慮して回路を合成する必要がある。

ただし、一般に最小遅延を増加させようとすると、回路規模が大きくなるため、性能向上と回路規模のトレードオフを考慮しなければならない。準同期式設計を用いることで、回路規模の増大を抑えつつどの程度性能を向上させることができるか検討する必要がある。

6.4 準同期設計の自動化とチップの製作

準同期式設計の有用性を完全に証明するためには、実際のチップを作成して実証する必要がある。

現在準同期式設計のためのソフトウェアは存在しないため、今回の実験では、回路の準同期設計は手作業で行った。しかし、実際のチップを作成する際には、準同期設計の自動化は必須であるため、チップ製作に際して準同期式設計を自動化するソフトウェアを製作しなくてはならない。

謝辞

本研究を進めるにあたり、貴重なご助言をいただいた東京工業大学の梶谷洋司教授、北陸先端科学技術大学院大学の日比野靖教授、東京工業大学梶谷・高橋（篤）研究室の皆様へ深く感謝する。また、本研究において用いた CAD ツールおよびセルライブラリは、東京大学大規模集積システム設計教育研究センターから提供を受けたものである。なお、この研究は CAD21 プロジェクトの一部である。

参考文献

- [1] R.B. Deokar and S.S. Sapatnekar. A graph-theoretic approach to clock skew optimization. In *Proc. ISCAS'94*, pages 407–410, 1994.
- [2] J.P. Fishburn. Clock skew optimization. *IEEE Trans. on Computers*, 39:945–951, 1990.
- [3] 池田吉郎. ウェーブバインを用いたマルチプロセッサアーキテクチャに関する研究. 北陸先端科学技術大学院大学修士論文, 1999.
- [4] A. Takahashi, K. Inoue, and Y. Kajitani. Clock-tree routing realizing a clock-schedule for semi-synchronous circuits. In *Proc. 1997 ICCAD*, pages 260–265, 1997.
- [5] A. Takahashi and Y. Kajitani. Performance and reliability driven clock scheduling of sequential logic circuits. In *Proc. ASP-DAC '97*, pages 37–42, 1997.
- [6] A. Takahashi, W. Takahashi, and Y. Kajitani. Clock-routing driven layout methodology for semi-synchronous circuit design. In *Proc. TAU '97*, pages 63–66, 1997.
- [7] M. Toyonaga, K. Kurokawa, T. Yasui, and A. Takahashi. A Practical Clock Tree Synthesis for Semi-Synchronous Circuit. In *Proc. ISPD 2000*, to appear.
- [8] T. Yoda, A. Takahashi, and Y. Kajitani. Clock period minimization of semi-synchronous circuits by gate-level delay insertion. In *Proc. ASP-DAC '99*, pp. 125–128, 1999.