

低消費電力デジタル・マッチトフィルタ  
— プラスチック・ハード・マクロ技術の応用事例 —

瀧 和男<sup>†</sup>

北村 清志<sup>††</sup>

村田 豊<sup>†††</sup>

taki@cs.kobe-u.ac.jp

kitamura.ail@aiservice.co.jp

murata@chagall.cs.kobe-u.ac.jp

<sup>†</sup>神戸大学工学部情報知能工学科, 〒657-8501 神戸市灘区六甲台町 1-1,

Tel:078-803-6210, Fax:078-803-6391

<sup>††</sup>(有) エー・アイ・エル, 〒164-0012 東京都中野区本町 2-2-13 につたんビル 9 階,

Tel:03-3320-0920, Fax:03-3320-0980

<sup>†††</sup>神戸大学大学院自然科学研究科 ( 現在松下電器産業 (株))

あらまし デジタルマッチトフィルタ (DMF) は, 携帯電話をはじめとするスペクトル拡散通信のためのキーデバイスであるが, 消費電力の大きいことが問題であった。本稿では, タップ数の多い軟判定デジタルマッチトフィルタを低消費電力の CMOS LSI として実現する設計手法を示し, 0.18 $\mu$ m プロセスにてレイアウト設計まで行い, パラメータ抽出後シミュレーション評価した。PN コードシフトのアーキテクチャ, 低 ED 積算術演算器 IP の使用, クロック系の改良などを特徴とする。入力 8 ビット, 256 タップの DMF では, 1.8V にて 0.38mW/MHz の, 携帯電話に十分な低消費電力特性を実現した。最高動作クロックは 200MHz 弱であり, 高速用途にも適する。面積も小さく, 71k gates/mm<sup>2</sup> を実現している。

キーワード マッチトフィルタ, DMF, 低消費電力, プラスチック・ハード・マクロ, 小面積, 高速, CMOS LSI

Low Power Consumption CMOS Digital Matched Filter  
— An Application Example of the Plastic Hard Macro<sup>TM</sup> Technology —

Kazuo TAKI<sup>†</sup>

Kiyoshi KITAMURA<sup>††</sup>

Yutaka MURATA<sup>†††</sup>

taki@cs.kobe-u.ac.jp

kitamura.ail@aiservice.co.jp

murata@chagall.cs.kobe-u.ac.jp

<sup>†</sup>Department of Computer and Systems Engineering, Kobe University

Rokkodai-cho, Nada-ku, Kobe 657-8501, Japan, Phone:+81-78-803-6210, Fax:+81-78-803-6391

<sup>††</sup>AIL Co. Ltd.

<sup>†††</sup>Graduate School of Science and Technology, Kobe University

Abstract A low power consumption Digital Matched Filter (DMF) was designed in 1.8V operation 0.18 $\mu$ m CMOS technology. An 8-bit input 256-tap DMF showed 0.38mW/MHz low power characteristics, that just fitted a portable phone use. Special features are the PN code shifting architecture, an application of the Plastic Hard Macro<sup>TM</sup> IP, that is low energy-delay products arithmetic IPs, and clock handling optimizations. The maximum operation frequency was just below 200MHz. A high layout density, 71k gates/mm<sup>2</sup> was also attained.

key words Digital matched filter, DMF, Low power consumption, Plastic Hard Macro, High layout density

## 1 はじめに

携帯電話の W-CDMA 方式をはじめとして、スペクトラム拡散通信の DS-CDMA 方式では、通信を開始する際の重要なプロセスとして「同期捕捉」が行われる。同期捕捉を行うためのキーデバイスがマッチトフィルタであり、アナログ、CCD、SAW、デジタルの各種方式が試されている [1-3, 6, 7]。携帯電話器やさらに将来の高速移動体通信に搭載するため、高性能で消費電力が小さく、かつ LSI 化が容易でローコストな方式が望まれている。

デジタルマッチトフィルタ（以後 DMF と略す）は、LSI 化には適するが、従来は消費電力、回路規模ともに大きいために、携帯電話への適用が難しいと考えられる時期もあった。しかしながら近年の LSI 技術の進歩により、その問題は徐々に緩和の方向に向かっている。

本稿では、複数ビットで量子化された入力を扱う軟判定 DMF を設計対象として取り上げる。軟判定 DMF は、量子化誤差による誤り率を無視できるほどに小さくできるなど高性能であるが、回路規模、消費電力ともに大きいことが問題とされた。とくに次世代移動体通信方式で必要とされる多タップ数、高速動作の軟判定 DMF ではこの問題が顕著である。

本研究ではこれをアーキテクチャ設計、回路設計、レイアウト設計の各々の観点からの工夫により総合的に解決し、低消費電力かつ小面積の多タップ軟判定 DMF を CMOS LSI として実現する設計手法を示す。レイアウト後のシミュレーション評価によりそれらの有効性を明らかにするとともに、高速動作も可能なことを報告する。とくに演算回路部分の低消費電力・小面積設計にあたっては、昨年に発表したプラスチック・ハード・マクロ技術 [5] に基づく加算器ツリーの IP を使用する。また評価では、各種の工夫による消費電力や面積の削減効果が定量化できるように、複数の比較対照回路を設計し、比較評価と考察を行う。

以下、2 では提案 DMF のアーキテクチャ上の工夫と設計方針について述べる。またプラスチック・ハード・マクロ技術の要点についても説明する。3 では設計対象の低消費電力 DMF の仕様と、レイアウト設計を含めた具体的な設計内容を述べる。4 では、レイアウト結果からパラメータ抽出後シミュレーションにより得た性能評価結果を報告し、提案手法の有効性を明らかにする。

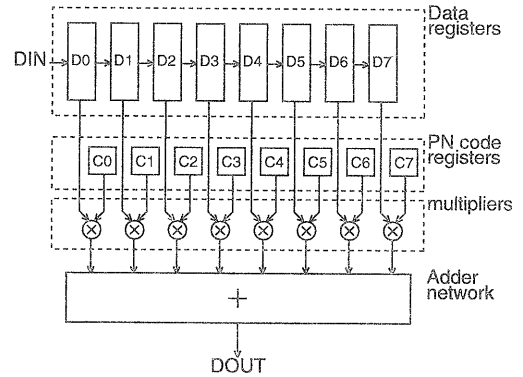


図 1: 標準的 DMF の構成

## 2 アーキテクチャと設計方針

### 2.1 従来の DMF

DMF はチップレートで、受信信号と PN 系列 (1 周期  $N_c$  チップ) との相関値を出力するハードウェアである。  $N_c$  個分の受信信号をレジスタに記憶し、チップレートでシフトしながら PN 系列と積をとって総和を算出する。図 1 に標準的な DMF の構成を示す。

入力の量子化ビット数を  $N_{in}$  としたとき、  $N_{in} \times N_c$  ビットのデータシフトレジスタ、  $N_c$  個の PN 系列レジスタ (各 1 ビット)、積と総和加算を算出する演算回路で構成されている。

図 1 のようなアーキテクチャで構成される DMF の場合、内部の電力消費の大きな内訳は、レジスタ部 (データレジスタ、PN 系列レジスタ) において消費される電力と演算回路部 (乗算器、加算器) において消費される電力に分かれる。また前者に関しクロック信号の分配部分においても、回路規模が大きいために無視できない電力消費があると考えられる。

### 2.2 提案アーキテクチャ

従来より設計されている DMF は消費電力の観点からみて、信号遷移確率が高い、クロックの供給先が多い、ゲート数が多い、などといった問題点がある。

そこで、従来アーキテクチャの DMF (以下、従来 DMF) と同等の演算機能を持ち、前述の問題点を改善するようなアーキテクチャを提案する。提案するアーキテクチャの DMF (以下、提案 DMF) の構成を図 2 に示す。これは、データレジスタ部、演算部における信号遷移確率を低減し、またクロック系で消費される電力を削減することを目的としたアーキテクチャで

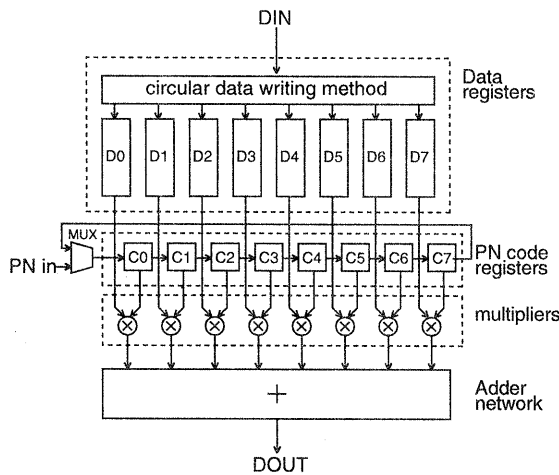


図 2: 提案 DMF の構成

ある。

提案 DMF は大きくレジスタ部と演算回路部の 2 つに分けられる。レジスタ部は受信信号を記憶するデータレジスタ、データレジスタに巡回書き込みを行うデータ分配回路、PN 系列を記憶しシフトするレジスタ (以下、PN レジスタ)、演算回路部は乗算器、加算器ネットワークという構成になっている。以下に提案 DMF のレジスタ部と演算回路部におけるアーキテクチャの改善点と期待される電力削減効果について述べる。

#### レジスタ部

レジスタ部分における信号遷移確率の低減と、クロック系の消費電力の削減を目的として以下の方針でアーキテクチャを設計した。

- (1) データレジスタのシフトを止め、PN レジスタをシフト
- (2) データ分配回路により、データレジスタに巡回書き込み
- (3) ゲートドクロックを利用
- (4) レジスタのフリップフロップをダブルエッジトリガにて動作

提案 DMF ではデータレジスタのシフトを止め、代わりに PN レジスタをシフトするように改め、また受信信号についてはデータ分配回路を通してデータレジスタに巡回書き込みを行うことで、従来 DMF と同等

の演算機能を実現している。ここで、DMF の入力信号の量子化ビット数を  $N_{in}$ 、PN 系列 1 周期のチップ数を  $N_c$  とする。

従来 DMF では、クロック毎にデータレジスタを構成する  $N_{in} \times N_c$  個のフリップフロップをシフトしていたが、(1) により提案 DMF では、PN レジスタを構成する  $1(\text{bit}) \times N_c$  のフリップフロップをシフトすることで信号遷移確率を低減させた。(2) で述べたデータ分配回路では、データの行き先ごとにラッチを挿入し、巡回書き込みを行う際にデータの書き込み先周辺のみデータを供給する。これによりデータ書き込み先と関係ない回路部分での無駄な信号遷移を抑えている。また、(3) によりクロックをデータレジスタの書き込み先のみ供給し、(4) によりフリップフロップをクロックの立ち上がりと立ち下りの両方でトリガすることでクロック周波数を半分に落すことが可能となった。

以上で述べたことから (1)、(2) によりレジスタ部全体としての信号遷移確率の低減、(3)、(4) によりクロック系による消費電力の低減が期待できる。

#### 演算回路部

演算回路部分は、データレジスタと PN レジスタの値の積を求める  $N_c$  個の乗算器と、それらの出力の総和を求める加算器ネットワークから構成される。各々の乗算器は、PN レジスタの出力により  $+1$  か  $-1$  の乗算を実行すればよいので、実際には  $N_{in}$  ビット分の XOR ゲートで構成している。

加算器ネットワークは、規模の大きい加算器ツリーを構成する必要があり、回路規模と面積、消費電力、動作速度のすべての面で設計上の注意を要する。ここでは、昨年に提案したプラスチック・ハード・マクロ技術 [5] に基づく加算器ツリーの IP を使用した。プラスチック・ハード・マクロ技術については後述する。

使用した加算器ツリーは、回路規模をなるべく小さく抑えながら遅延時間も最小限となる構成のものである。乗算器でよく用いる Wallace ツリーと桁上げ吸収加算器の組み合わせによる回路と、基本的には同様の考え方のものである。 $N_c$  個の乗算器の出力を桁上げ保存加算器で構成する加算器ツリーで 2 個の加算出力に絞り込み、最後に桁上げ吸収加算器で 1 個の加算結果を得る。全加算器セルのツリーと、桁上げ吸収にはバイナリルックアヘッドキャリヤ加算器を用いている。ツリー部分で全加算器の直列接続の段数が最も多いパスがクリティカルパスとなるが、下位ビットではこの段数に余裕がある。そこでツリーの内部で一部桁上げ

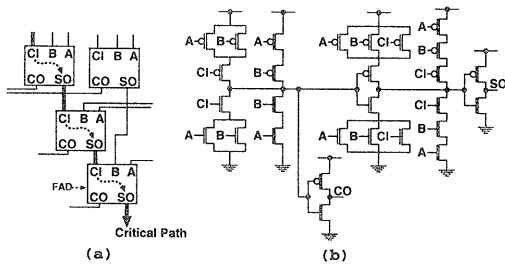


図 3: (a)Wallace 木の一部, (b) 全加算器の回路図

吸収処理をしておき、遅延時間短縮を図っている。

低消費電力かつ高速動作の特性は、プラスチックハードマクロ技術の基本的性質として実現されており、さらに同 IP の小面積セルがレイアウト面積削減にも貢献している。

### 2.3 プラスチック・ハード・マクロ技術

プラスチック・ハード・マクロ技術は、エネルギー遅延積の十分小さい「低消費電力・高速」の算術演算器 IP の設計手法、移植技術および IP そのものことである。名前の由来は、ハードマクロの高速性、低消費電力特性、小面積特性を備えつつ、レイアウトの柔軟性を残した「軟らかい」ハードマクロの意味である。多様な算術演算器の IP 群であり、それぞれの算術演算器用にチューニングされた専用セルとネットおよびレイアウト例から構成されている [5]。乗算器の事例では、エネルギー遅延積の半減に成功している [5,8]。技術的要点は以下のとおりである。

- エネルギー遅延積のよいアーキテクチャの選択
- 回路設計とセル設計の協調による最適化
- 小面積・低 ED 積のセル設計
- 遅延情報を反映させたレイアウト
- シンボリックレイアウトツールを活用した移植の容易化

ここでは Wallace ツリーを例にとり、技術上の中心をなす「回路設計とセル設計の協調による最適化」について説明する。詳細は文献 [5] を参照されたい。DMF の演算回路部に適用した技術もほぼ同様である。

Wallace ツリーを構成するにあたって、基本アーキテクチャの選定段階で、4-2 コンプレッサと全加算器とを比較し、上記の協調最適化の自由度が大きい後者を選定している。Wallace ツリーの一部である全加算

器の直列接続部 (図 3(a)) を用いて、回路設計とセル設計の協調による最適化 (ED 積の最適化) の事例を説明する。

全加算器を用いて Wallace ツリーを構成すると、図 3(a) のように CI → SO の経路が多段に接続された部分が見られ、これがクリティカルパスとなる。

ここで全加算器の回路図 (図 3(b)) より、CI → SO がトランジスタ 3 段、CI → CO がトランジスタ 2 段となり、CI → SO の遅延が大きいことが分かる。一方出力段にインバータを備えた回路 (SO 出力、CO 出力とも) は、トランジスタサイジングによって ED 積を下げられる可能性が高い [4,9]。

ここでまず、Wallace ツリーのネットの細部を組み直すことで、クリティカルパスとなる図 3(a) の CI → SO の多段接続構造が、なるべく同型で規則的に出現するように手直しし、同時に他の経路のタイミング余裕を確保する。これにより、セル設計の最適化とセル配置の最適化の見通しを良くする。

つぎに全加算器のセル設計において、CI → SO のパスが遅延最小になるように最適化し、それ以外のパスは遅延増加を許して消費電力、面積について最適化する。

これをトランジスタサイジングで実現しかつセルの小面積レイアウトを行うことで、クリティカルパスの遅延を削減しかつ消費エネルギーと面積も減少させた Wallace ツリーの設計結果を得る。なおここで使用した小面積・低 ED 積セル設計技術については文献 [4,9,10] を参照されたい。

## 3 低消費電力 DMF の設計

### 3.1 仕様

提案手法に基づき、タップ数の異なる 2 種類の Low Power DMF (LPDMF128, LPDMF256) を設計した。主な仕様を表 1 に示す。入力の量子化ビット数は 8 ビット、タップ数が 128 と 256、設計プロセスは 0.18 [μm] で、ポリ 1 層、メタル 3 層、動作電圧は 1.8V である。設計する DMF は、相関値計算のコア部分のみであり、A/D コンバータや D/A コンバータは含まれていない。

### 3.2 モジュール分割

16 タップを 1 つのモジュール (DMF16) として、各モジュールにおいて部分和を生成している。DMF16 は、16 タップのデータレジスタ、PN レジスタ、乗算器、および部分和生成用の加算器ツリーで構成されている。8 個の DMF16 で生成される部分和を集めて総和を算出する。

表 1: LPDMF の仕様

	LPDMF128	LPDMF256
Taps	128	256
Input DATA bits	8 bit	
Process Technology	0.18 [ $\mu\text{m}$ ]	
Operation Voltage	1.8 [V]	

#### データ分配回路

データ経路にラッチを挿入し、書き込み先のモジュールにのみデータを供給して、他のモジュールへの信号は変化させないようにしている。

#### 乗算、加算器ツリー

乗算には XOR ゲートを使用している。個数が多いので、小面積セル設計技術 [4,9] を適用し面積削減に努めた。DMF16 内部の部分和の加算、および総和加算の最終段を除く部分には、いずれもプラスチック・ハード・マクロ技術 [5] に基づく加算器ツリーの IP (Wallace ツリー) を使用した。これにより、低消費電力、高速、小面積を同時に実現した。

#### 桁上げ吸収加算

総和加算の最終段には、高速性とセル種類の少なさおよび規則性の高さからバイナリルックアヘッドキャリー加算器 (BLCA) を用いた。

### 3.3 レイアウト設計

図 4 に LPDMF128 のレイアウトを示す。8 個の DMF16 (1) を周囲に配置し、共通部分を中央に配置した。共通部分は、データ分配回路 (2)、総和加算の中の加算器ツリー (3)、最終段の桁上げ吸収加算器の BLCA (4) からなる。また、全体の配線を行う際に、シフトレジスタ間、クロックラインなどから優先的に配線を行い、信号遷移確率の高いネットの配線長ができるだけ短くなるようにした。

## 4 低消費電力 DMF の評価

### 4.1 評価方法

LPDMF の消費電力削減効果を定量化するために、LPDMF と機能的には等価で設計方法の異なる数種の比較対照回路 (後述) を設計した。LPDMF および比較対照回路とも、レイアウト結果からパラメータ抽出 (容量値, 抵抗値) して、電力シミュレータを用いて遅延時間、消費電力の測定を行った。測定条件は電源

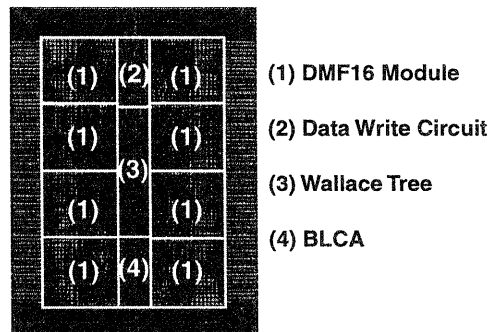


図 4: LPDMF128 のレイアウト

電圧が 1.8 [V], データ入力としてランダムパターンを与え、クロック周波数 40 [MHz] にて測定した。

ダブルサンプリングのデータを想定し、PN 系列には、タップ数の半分の長さの乱数を用意して同一値が 2 個ずつ連続するように PN レジスタに設定した。タップ数と同じ長さの PN 系列を使う場合には、今回の測定結果に比べて若干の電力増加 (10%未満と予想) があると思われる。

### 4.2 比較対照回路

**DMF128D-Syn, DMF256D-Syn** 図 1 に示した従来型のデータレジスタをシフトするタイプの DMF。機能は LPDMF128, 256 と等価なもの。これを HDL 記述し、論理合成した結果を自動配置配線した。論理合成のときの遅延制約として、LPDMF128, 256 の遅延値をそれぞれ与えて合成した。論理合成で普通に DMF を設計した場合の指標回路という意味で利用した。

**DMF128D-A, DMF256D-A** 上記と同様のデータレジスタをシフトするタイプの DMF において、乗算器および加算器ネットワーク部分だけを LPDMF で使用したものに置き換えたもの。プラスチック・ハード・マクロ技術に基づく加算器ツリー IP の消費電力削減効果および面積削減効果を見るために用意した。レイアウトは全自動ではなく、LPDMF と同様の方法をとった。

**DMF128C-A** 上記 DMF のレジスタ構成を変更し、図 2 に示した PN レジスタをシフトするタイプとしたものである。レジスタ部分のアーキテクチャの違いによる消費電力の違いを見るために用意した。レイアウトは LPDMF と同様である。LPDMF128 との差は、クロック系の最適化を施していないことである。

表 2: LPDMF128 の性能評価結果

	Core area [mm <sup>2</sup> ](ratio)	Power(ratio) [mW@40MHz]	Delay [nS]typ.	No.of Trs	Wire length [μm]	Gate density gates/mm <sup>2</sup>
DMF128D-Syn	0.402(1.00)	22.15(1.00)	—	—	320648	—
DMF128D-A	0.285(0.71)	15.62(0.71)	—	—	399846	—
DMF128C-A	0.300(0.75)	9.19(0.41)	4.47	85462	—	71k
LPDMF128	0.300(0.75)	7.48(0.34)	4.47	~85000	415959	71k
LPDMF128L	0.233(0.58)	5.0 (0.23) (estimated)	—	84860	—	91k

表 3: LPDMF256 の性能評価結果

	Core area [mm <sup>2</sup> ](ratio)	Power(ratio) [mW@40MHz]	Delay [nS]typ.
DMF256D-Syn	0.804(1.00)	46.91(1.00)	—
DMF256D-A	0.560(0.70)	33.45(0.71)	—
LPDMF256	0.602(0.74)	15.26(0.33)	5.01

**LPDMF128, LPDMF256** 提案方式による DMF である。

**LPDMF128L** 上記 LPDMF128 の設計を基本的に踏襲し、小面積セル技術 [4, 9] に従いながら、セル高さをほぼ限界まで小さくして、面積削減と消費電力削減を目指した DMF である。速度が問題にならない場合、面積および電力削減がどこまで可能かを見るために用意した。

#### 4.3 評価結果と考察

表 2 に、128 タップの LPDMF128, LPDMF128L および比較対照回路 3 種の評価結果を示す。レイアウト結果のコア面積、消費電力、遅延、トランジスタ数、総配線長、単位面積当たりのゲート密度を示した。表 3 には、256 タップの LPDMF256 および比較対照回路 2 種の評価結果を示した。いずれの場合も、括弧内の数値は、論理合成で設計した DMF (DMF128D-Syn, DMF256D-Syn) を 1.00 とした場合の比率である。

##### 加算器ソリー IP 等の効果

DMF128D-Syn と DMF128D-A の違い、および DMF256D-Syn と DMF256D-A の違いは、乗算器および加算器ネットワーク部分を論理合成で設計するか、あるいは加算器ソリー等の IP を用いるかの違いである。コア面積、消費電力のいずれも、後者の方が約 30% 減少し、顕著な効果を現していることが分かる。

一方、総配線長は後者の方が増加している。この理由は、DMF128D-Syn の場合には自動配置配線ツールが総配線長の短縮を重要指標としてレイアウトしているのに対し、DMF128D-A では、電力削減と遅延短縮に配慮した手動配置を多く用いているためと考えられる。

##### PN レジスタシフトの効果

DMF128D-A と DMF128C-A の違いは、データレジスタをシフトするか PN レジスタをシフトするかのアーキテクチャ上の違いである。後者の方が、アーキテクチャの違いのためにコア面積は若干増加しているが、消費電力は顕著に減少している。減少量は、上記の IP 利用による電力削減量よりさらに少しだけ大きい。

今回の設計では、入力の量子化ビット数は 8 ビットであったが、このビット数をもっと少ない場合は、本項目のアーキテクチャの違いによる電力削減効果は減少傾向となることが予想される。

##### クロック系改良の効果

DMF128C-A と LPDMF128 との違いは、ダブルエッジトリガなどによるクロック系改良の有無である。消費電力削減の効果が見られる。

##### LPDMF128, LPDMF256 の総合的評価

論理合成による DMF128D-Syn, DMF256D-Syn と、提案方式による LPDMF128, LPDMF256 とを比較

すると、2 および 3 で述べた各種改良の工夫により、コア面積が 25~26%の削減、消費電力がじつに 66~67%の削減という顕著な効果が得られた。規模の大きい LPDMF256 においても、効果の程度は LPDMF128 の場合と変わっていない。

遅延時間は各々 4.47[nS], 5.01[nS](typ. 値) である。時間の関係から、ランダムな 500 パターンの入力による計測しか行えなかったため、値の精度はやや低めであるが、傾向として極めて高速に動作可能なことが示されたと考える。

参考データとして、コア面積とトランジスタ数から、単位面積あたりのゲート密度を表の右端に示した。小面積セル技術の効果により、高密度レイアウトが実現できている。

### LPDMF128L の評価

高速動作を必要とせず、消費電力と面積をできる限り下げたい要求が、携帯電話などでは強く存在する。LPDMF128L は、そのような要求に応えるために、LPDMF128 の設計方法を踏襲しながら、セル面積をさらに減少させる努力により、面積と電力の削減を目指した。セル高さは 7.92[ $\mu\text{m}$ ] とした。さらに、セルの端子ピッチおよび配線間隔を 33%広げることで、配線容量の削減による消費電力の削減も目指した。消費電力の正確な値はシミュレーション中であり、表の値は推定値である。コア面積とトランジスタ数は正確な値であり、ゲート密度は 91k[gates/mm<sup>2</sup>] に達している。

### 5 おわりに

タップ数の多い軟判定デジタルマッチドフィルタ(DMF)の LSI 回路を低消費電力かつ小面積に実現し、さらに高速動作も可能とする手法を示し、シミュレーション評価により顕著な効果を確認した。

データレジスタをシフトする代わりに PN コードレジスタをシフトし信号遷移確率を低減したこと、我々が昨年に開発したプラスチック・ハード・マクロと呼ぶ算術演算器 IP の使用によりエネルギー遅延積の低減と小面積化を実現したこと、ダブルエッジトリガなどのクロック系の工夫で電力削減したこと、などが技術上の要点である。

0.18 $\mu\text{m}$  プロセス、1.8V 動作をターゲットに、入力の量子化ビット数 8-bit、タップ数 128 および 256 の低消費電力 DMF を設計した。従来アーキテクチャの DMF を論理合成で設計した場合と比べ、セル高さを変えない場合に面積で 25%削減、消費電力でじつに 66%削減、またセル高さの低いセルに置き換えること

により面積で 42%削減、消費電力で 73%削減という極めて顕著な効果を確認した。また 256 タップの場合の遅延時間は 5.01nS であり、高速動作の可能なことも示した。

消費電力の値は、256 タップで 0.38mW/MHz であり、携帯電話に十分搭載可能なレベルに達した。さらに 3 割程度の削減が見込める。ゲート密度も、最大で 91k gates/mm<sup>2</sup> であり、チップコストの低減にも効果が期待できる。

今後は、高速動作時のさらなる消費電力削減を目指し、低電圧動作でリーク電流を増やさずしかも高速動作が可能な方式の研究を行う予定である。

謝辞 本研究は、(有) エー・アイ・エルの協力のもと、神戸大学にて研究開発・評価を行った。LSI の諸データを提供くださった関係各社に感謝いたします。また論文をまとめるにあたって協力いただいた八木幹雄君をはじめ、研究室の諸氏に感謝いたします。

### 参考文献

- [1] 高田 昌敏, 畑 善之, 占部 健三, 寿 国梁, 周 長明. SS 無線 LAN 用低消費電力逆拡散 LSI. 電子情報通信学会技術研究報告 SST97-25, pp. 63-70, Jul. 1997.
- [2] 佐和橋 衛, 安達 文幸, 寿 国梁, 周 長明. 広帯域 DS-CDMA 用低消費電力マッチドフィルタ LSI. 電子情報通信学会技術研究報告 RCS95-120, pp. 57-62, Apr. 1996.
- [3] 小川 洋一, 衣笠 康司, 田中 実, 柳 勝利, 武井 利行. デジタルマッチドフィルタを用いた SS 通信用 1 チップ LSI の開発. 電子情報通信学会技術研究報告 SST94-65, pp. 33-38, Dec. 1994.
- [4] 村田 豊, 宇田 研一郎, 李 副烈, 瀧 和男, 溝口 豪. 低消費電力 CMOS セルライブラリの試作. 電子情報通信学会技術研究報告 VLD98-70, Vol. 98, No. 118, pp. 61-68, Sep. 1998.
- [5] 瀧 和男, 北村 清志, 溝口 豪. プラスチック・ハード・マクロ技術による低消費電力算術演算器. DA シンポジウム '99 Jul. 1999.
- [6] 田近 壽夫. スペクトル拡散通信におけるデジタルマッチドフィルタ技術とその問題点. 電子情報通信学会技術研究報告 SST92-21, pp. 1-6, 1992.
- [7] 藤田 康仁, 益 一哉, 坪内 和夫. 次世代 Si プロセスを用いた Digital Matched Filter の検討. 電子情報

通信学会技術研究報告 SST96-71, pp. 19-24, May. 1997.

- [8] 北村 清志, 瀧 和男, 溝口 豪. 移植性のよい低消費電力・小面積・高速 16 ビット乗算器. 第 2 回システム LSI 琵琶湖ワークショップ pp. 285-285, Nov. 1998.
- [9] 李 副烈, 瀧 和男, 堀 貴代秀, 村田 豊. 低消費電力 CMOS セルライブラリの設計と評価. 情報処理学会論文誌 Vol.40, No.4, pp.1670-1678, Apr 1999.
- [10] 堀 貴代秀, 村田 豊, 瀧 和男. ソフトコア IP を用いた低消費電力 LSI 設計-低消費電力 CMOS セルライブラリの応用と評価-. 電子情報通信学会技術研究報告 VLD98-54, Vol. 98, No. 287, pp. 63-70, Sep. 1998.