

バッファ挿入を考慮した概略配線とフロアプランを 同時に求めるフロアプランニング手法

中矢 真吾[†] 若林 真一[†] 小出 哲士^{†,‡}

[†]広島大学工学部

〒739-8527 広島県東広島市鏡山一丁目4番1号

[‡]東京大学 大規模集積システム設計教育研究センター

〒113-8656 東京都文京区本郷7-3-1

E-mail:{nakaya, wakaba}@ecs.hiroshima-u.ac.jp, koide@vdec.u-tokyo.ac.jp

本稿では、ディープサブミクロン ULSI のフロアプラン設計に対し、モジュール配置、および、バッファ挿入と配線幅調整を考慮した概略配線を同時に求めるフロアプラン手法を提案する。本手法はシミュレーテッドアニーリング (SA) に基づいており、その実行過程を3段階に分け、それぞれの段階においてフロアプランを評価するコスト関数を変えることにより、質のよい解を高速に求めることを可能にする。バッファ挿入と配線幅調整を考慮した概略配線を高速に求めるため、端子位置に基づくテーブル検索によりネットの配線を見積もる。実験により、与えられたタイミング制約のもとで優れたフロアプランを求めるのに本手法が有効であることがわかった。

キーワード : フロアプランニング, バッファ挿入, 配線幅調整, Elmore 遅延モデル, スライシング木, シミュレーテッドアニーリング

A Floorplanning Method for Simultaneously Determining Module Placement and Global Routes Considering Buffer Insertion

Shingo NAKAYA[†], Shin'ichi WAKABAYASHI[†] and Tetsushi KOIDE^{†,‡}

[†]Faculty of Engineering, Hiroshima University

4-1, Kagamiyama 1 chome, Higashi-Hiroshima 739-8527 JAPAN

[‡]VLSI Design and Education Center, The University of Tokyo

7-3-1, Hongo, Bunkyo-ku, Tokyo 113-8656 JAPAN

E-mail:{nakaya, wakaba}@ecs.hiroshima-u.ac.jp, koide@vdec.u-tokyo.ac.jp

This paper presents a floorplanning method for ULSI layout, which simultaneously determines the module placement as well as global routes with buffer-insertion and wire-sizing. The proposed method is based on simulated annealing, and is executed in three phases, in which the cost function to evaluate a floorplan is changed so that a good solution is obtained in a short computation time. To get a global route considering buffer insertion and wire-sizing, a global route of each net is evaluated by table look-up based on the positions of terminals of the net. Experimental results show that the proposed method is effective to obtain a good floorplan under the timing constraint.

key words : floorplanning, buffer insertion, wire sizing, Elmore delay model, slicing tree, simulated annealing

1 はじめに

半導体技術の進歩により、2002年にはデザインルール0.13 μm のプロセス技術を用い、チップ面積430 mm^2 のチップ上に7600万個のトランジスタを集積し、2.1GHzのクロック周波数で動作するマイクロプロセッサが出現すると予想されている[5]。このようなディープサブミクロンULSIチップにおいては回路遅延全体に占める配線遅延の割合が支配的となるため、機能論理設計における回路遅延の短縮だけでは対処できず、配線遅延を考慮したレイアウト設計手法が不可欠となる。配線遅延の短縮を計るためには、レイアウト設計において配線遅延を考慮した配置を行うと共に、配線幅調整およびバッファ挿入を考慮した配線経路を決める必要がある。このため、レイアウトの概略を決定する設計工程であるフロアプランと概略配線は重要である。本稿ではビルディングブロックレイアウトにおけるフロアプランニング手法に注目し、フロアプラン、および配線幅調整とバッファ挿入を考慮した概略配線を同時に求める手法を提案する。

ビルディングブロックレイアウトにおけるフロアプランニング手法と概略配線は、従来は別個に扱われていた。まず、モジュールの概略配置を表すフロアプランは一般にスライシング構造と非スライシング構造の2種類に分類でき、前者に対するフロアプランの表現方法としてスライシング木[14]、後者に対してはシーケンスペア(Sequence-Pair)[6]、BSG(Bounded Slice-line Grid)[7]が提案されている。それぞれの表現方法に基づくフロアプランニング手法が数多く提案されているが、それらの大半はモジュール間の配線についてはネットの端子を囲む最小矩形の半周長で評価するなどの簡易的な評価方法を採用しており、配線幅調整やバッファ挿入を考慮することはできない。

一方、概略配線手法としては配線幅調整[8]やバッファ挿入[4, 8, 15]を考慮した手法が数多く提案されているが、これらの手法においてはモジュール配置は入力として与えられることを仮定している。また、フロアプランニング手法において異なるフロアプランを何度も評価するような場合には従来の配線手法は配線評価手法として使うことは計算時間の面から実用的ではない。近年、Chenらはフロアプランと概略配線を同時に求める手法を提案しているが[2]、この手法はタイミング制約を考慮しておらず、従って配線幅調整、バッファ挿入も考慮されていない。

本稿ではモジュール数1000、ネット数10万規模のULSIビルディングブロックレイアウトに対し、配線幅調整、バッファ挿入を考慮した概略配線とフロアプランを実用的な計算時間で同時に求めるフロアプランニング手法を提案する。提案手法では、配置モデルとしてスライシング構造を採用し、ソフトモジュールも考慮する。配線遅延モデルとしてはElmore遅延モデル[3]を仮定する。本手法はシミュレーテッドアニーリング(SA)に基づいており、その実行過程を3段階に分け、それぞれの段階におい

てフロアプランを評価するコスト関数を変えることにより解の探索範囲と評価精度を制御し、質のよい解を高速に求めることを可能にする。提案手法の計算時間はフロアプラン評価の計算時間に大きく依存するので、バッファ挿入と配線幅調整を考慮した概略配線を精度よくかつ高速に求めるために端子位置に基づくテーブル検索によりネットの配線を見積もる。実験により、与えられたタイミング制約のもとで優れたフロアプランを求めるのに本手法が有効であることがわかった。

本稿の構成は以下の通りである。まず、2.では本手法で用いるスライシング木、及びElmore遅延モデルと問題の定式化について述べる。次に、3.では提案手法の概要、及び複数のコスト関数とテーブル検索を用いた配線評価手法について述べる。4.では計算機上での実験結果とその有効性を示し、最後に5.では今後の課題について述べる。

2 準備

2.1 スライシング木

本稿では、配置モデルとして、配置領域を水平、垂直の線分で再帰的に分割して得られるスライシング構造を採用し、スライシング構造の表現としてスライシング木[10]を用いる。スライシング構造はソフトモジュールを扱うことが容易であり[12]、コーディングが簡潔でチップ面積とモジュールの座標も容易に求めることができるという特徴を持つ。図1(a)、(b)にそれぞれスライシング構造とそれに対応するスライシング木の例を示す。図1(b)で表されるようにスライシング木はポーランド記法により文字列で表現できる。

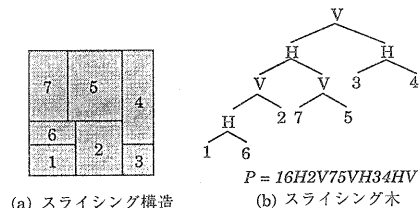


図1 スライシング木

2.2 配線遅延モデル

本稿では配線遅延モデルとして以下に示すElmore遅延モデル[3]、バッファの遅延モデルとしてはRCモデルを用いる。Elmore遅延モデルは、比較的精度良く、配線抵抗、配線キャパシタンスから配線遅延を求めることが可能である。

配線 e_v を節点 v の親から節点 v までの配線とし、 l_{e_v} 、 w_{e_v} 、 c_{e_v} 、 r_{e_v} をそれぞれ配線 e_v の配線長、配線幅、配線キャパシタンス、配線抵抗とする(図2)。また、 c_a 、 c_f 、 r_0 を単位幅、単位長あたりの配線面キャパシタンス、フリンジキャパシタンス、及び抵抗とする。 T_v 、 $c(T_v)$ をそれぞれ節点 v を根とする

部分木、及び部分木内で直接配線で接続されている部分の配線容量とする。さらに、 d_b , r_b をバッファ b の固有の遅延、及び出力抵抗、 c_l をバッファ b のロードキャパシタンスとする。配線 e_v の配線遅延を $D_{wire}(e_v)$ 、バッファ遅延を $D_{buff}(b, c_l)$ とすると、

$$c_{e_v} = (c_a \cdot w_{e_v} + c_f) \cdot l_{e_v}$$

$$r_{e_v} = r_0 \cdot \frac{l_{e_v}}{w_{e_v}}$$

$$D_{wire}(e_v) = r_{e_v} \cdot \left(\frac{c_{e_v}}{2} + c(T_v) \right)$$

$$D_{buff}(b, c_l) = d_b + r_b \cdot c_l$$

で表される。

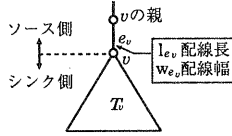


図 2 配線遅延の説明

2.3 問題の定式化

本稿で仮定するレイアウトモデルは配線層が3層以上のビルディングブロックレイアウトとする。与えられた回路のモジュール集合に対し、モジュールと、概略配線に挿入されたバッファを重なり合わないように平面上に配置したものをフロアプランと呼ぶ。フロアプランにおいて、すべてのモジュールとバッファを囲む最小矩形の面積をチップ面積とする。モジュールには形状と端子位置が固定されているハードモジュールと、面積と形状のアスペクト比の許容範囲のみが与えられているソフトモジュールがある。モジュール上を含めてすべての配線層が配線可能である。ネットに対する配線は、配線経路と、経路の配線幅、および配線経路中に挿入されたバッファの位置と種類で表される。ただし、配線経路の配線層への層割り当ては行わない。バッファはモジュールの間に配置される。各ネットには最大許容遅延がタイミング制約として与えられており、ネットの遅延は前節で示した Elmore 遅延モデルで評価される。以下に問題の定式化を示す。

- 入力： モジュールの集合 M (ハードモジュール M_H , ソフトモジュール M_S , $M = M_H \cap M_V$)
ソフトモジュールの候補の集合 M'_S
ネットリスト \mathcal{N}
タイミング制約 $Cons(\mathcal{N})$
バッファ (b_i) 、配線幅 (w_i) の種類
- 出力： 各モジュール $m_i (m_i \in M)$ の位置
配線幅調整とバッファ挿入位置と配線経路
- 目的： チップ面積 A_{chip} 、配線面積 A_{wire} の重み付き和 $A_{chip} + \alpha A_{wire}$ が最小 (α は定数)

制約： チップの許容アスペクト比 $AS_{req} = \frac{H}{W}$ (H : チップ高さ, W : チップ幅)
各ソフトモジュール $m_j (m_j \in M_S)$ の許容アスペクト比 as_{m_j}

3 提案フロアプランニング手法

3.1 提案アルゴリズム

提案手法はシミュレーテッドアニーリング (SA) に基づいており、ランダムに生成された初期解に対し、近傍解を求める操作を繰り返し適用し、温度パラメータにより定まる受入れ確率で解を更新していくことにより解を改善する。提案手法では、フロアプランのトポロジを表すスライシング木を逆ポーランド記法で表現した文字列を解として保持する。近傍解を求める操作は文献 [14] で提案されているものを用いる。

SA では解を評価するためのコスト関数が必要である。コスト関数の評価のために、提案手法では与えられた許容解 S に対し、文献 [12] で提案されている手法によりソフトモジュールの形状を決定し、 S が表すフロアプランのトポロジに対するチップ面積最小のフロアプランを求める。次に、各モジュールの端子位置を決定し、端子位置に基づいて各ネットの概略配線を評価する。概略配線の評価においては、配線幅調整、バッファ挿入を考慮する。ただし、バッファの挿入位置等の制約をすべて考慮したフロアプランと概略配線を求めることは多大な計算時間を必要とし、また、SA 実行の初期においては解空間の大域的探索が重要であり、解の評価に対しては高い精度を必要としないため、文献 [2] の手法と同様、SA の実行途中でコスト関数を変更することにより計算時間の短縮を図る。提案手法では SA の実行を 3 段階に分け、それぞれにおいて異なるコスト関数を採用し、徐々にフロアプランを詳細化していく。また、提案手法では多数のネットを高速に評価するため、ネットの端子位置に基づいて配線評価テーブルを作成し、テーブル検索により各ネットの配線を評価する。

提案手法のプローチチャートを図 3 に示す。

3.2 コスト関数

3.1 で示したように、計算時間の短縮のため、提案手法の SA は 3 段階に分けて実行される。以下では提案手法の 3 つの段階をそれぞれステージ 1、ステージ 2、ステージ 3 と呼ぶ。ステージ 1 では解空間の大域的探索を重視してなるべく多くの解の評価を可能とするために配線を大まかに見積ることでフロアプランの評価時間を短縮する。ステージ 2 ではより精度の高い配線評価を行うため、概略配線経路の配線面積と挿入されるバッファ数を見積もる。ただし、各ネットに対する具体的な配線経路は求めない。最後にステージ 3 では各ネットに対し、具体的な概略配線経路を求めることによりフロアプランを評価する。

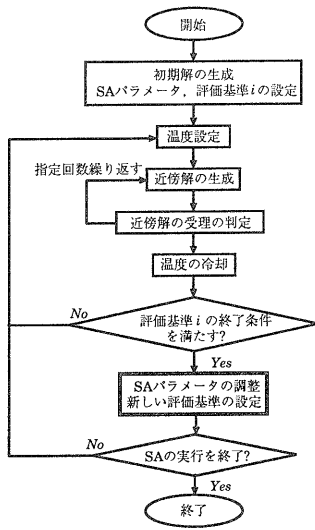


図3 提案手法のアルゴリズム

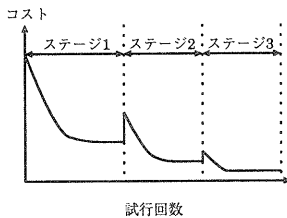


図4 複数のステージにおけるコストの変化

各ステージのコスト関数は以下のように与えられる。ステージが進むとコスト関数が変わるので、それに応じてSAの温度パラメータを再設定する必要がある(図4)。温度パラメータの再設定手法は文献[2]の手法と同様であるため、ここでは説明を省略する。

以下に各ステージにおけるコスト関数の定義を示す。

[コスト関数1]

$$f_{1cost} = A_1 + \alpha_1 W_1$$

A_1 をチップ面積、 W_1 はネット数を N_{net} 、ネット i のソースを s^i 、シンクを $t_j^i (1 \leq j \leq N_{pin}^i - 1, N_{pin}^i$ はネット i のピン数)とし、ソース s^i とシンク t_j^i 間のマンハッタン距離を $l(t_j^i)$ とすると、

$$W_1 = \sum_{i=1}^{N_{net}} \sum_{j=1}^{N_{pin}^i} \frac{l(t_j^i)^2}{(N_{pin}^i - 1)}$$

とする。また、ソフトモジュールはすべて正方形と

し、ソフトモジュールの端子はすべてソフトモジュールの中心にあるものとする。

[コスト関数2]

$$f_{2cost} = (A_2 + A_{2buff}) + \alpha_2 A_{2wire} + \beta_2 T_{2stack}$$

A_2 をチップ面積、 A_{2buff} を挿入バッファの総面積、 A_{2wire} を配線総面積、 T_{2stack} を違反スラックの総和とする。ここでは、ソフトモジュールの配置を文献[12]の方法で決定し、求めたモジュールの位置からテーブル検索により配線を求める。バッファ挿入位置の制約は考慮しない。また、チップ面積が最大許容面積 A_{req} を越える場合には、配線を評価せずチップ面積にペナルティを与える。

[コスト関数3]

$$f_{3cost} = A_3 + \alpha_3 A_{3wire} + \beta_3 T_{3stack}$$

A_3 をチップ面積、 A_{3wire} を配線総面積、 T_{3stack} を違反スラックの総和とする。ここでも、コスト関数2と同様にテーブル検索で配線を求める。バッファ挿入については、モジュール上を禁止領域とし、バッファ挿入位置がない場合には、必要に応じてモジュールを移動する。また、 β_3 は β_2 より大きくしすべてのネットがタイミング制約を満たすようにする。

3.3 テーブル検索による配線評価

3.2で示したように、提案手法ではステージごとにコスト関数が変わる。コスト関数1はネットの端子位置から容易に計算できる。以下ではステージ2、およびステージ3におけるコスト関数の評価に必要な配線幅調整とバッファ挿入を考慮した概略配線の評価手法について述べる。

一般にフロアプランが与えられれば、適当な概略配線手法を用いれば配線評価は可能である。しかしながら、文献[8]などで提案されている概略配線手法を用いて配線を評価することは計算時間の点から現実的ではない。そこで本稿では、デジタル回路のネットリストにおいては90%以上は5端子以下のネットであること、また、フロアプランの評価においては配線の評価精度にはある程度の誤差は許容されることから、テーブル検索による配線評価手法を提案する。

3.3.1 2端子ネットの場合

まず、2端子ネットに対するテーブル検索による配線評価について説明する。チップの最大許容面積 A_{req} 、許容アスペクト比 r とすると、配線長の最大値 wl_{worst} は以下の式で表される。

$$wl_{worst} = \sqrt{r A_{req}} + \sqrt{\frac{A_{req}}{r}}$$

ここで長さ wl_{worst} の線分を考える。線分方向に x 軸を仮定し、線分の左端を $x = 0$ 、右端を $x = wl_{worst}$ とする。線分を N_{cut} 等分し、 N_{cut} 分割された各線分を $I_i, 1 \leq i \leq N_{cut}$ で表す。ただし、 N_{cut}

はあらかじめ与えられる定数である。 i 番目の部分線分 I_i の右端の x 座標を BI_i とする。このとき、各 BI_i に対し、ソースが $x = 0$ にあるものと仮定してタイミング制約 T_k を満たすバッファ挿入と配線幅調整を考慮した配線を求め、その結果をテーブルに格納する。ただし、与えられたすべてのタイミング制約の中で最大のものを T_{max} とするとき、 $T_k = \frac{T_{max}}{N_{timing}} \times k, 1 \leq k \leq N_{timing}$ であるすべての T_k に対して概略配線を求めて結果をテーブルに格納する。

配線経路の決定は以下のように行う。境界 BI_j ではオプションと呼ばれる 5 項組 $(q, p, c, w, b) \in Z_j$ を持つ。ただし、各項は、

- q : シンクから BI_j までの遅延時間
- p : シンクから BI_j までの配線容量
- c : BI_j からシンク側を見た場合の配線で直接接続している部分の配線容量
- w : BI_j と BI_{j+1} 間の配線幅のインデックス
- b : シンクから BI_j までの挿入バッファ数 ($0 \leq b \leq M_{buff}$)

である。このオプションを用いて、Elmore 遅延の定義に従い、文献 [8] のオプション計算のアルゴリズムと同様の手法でシンクからソースに向かって可能な配線幅やバッファ挿入の組み合わせを考慮しながら遅延を計算する。ソースでのオプション集合から各タイミング制約 $T_k, 1 \leq k \leq N_{timing}$ に対する概略配線経路の情報 (配線幅、バッファの種類、バッファの位置) を求めてテーブルに格納する。

フロアプランの評価において、2 端子ネット N_i のソースとシンクの仮想配線長が wl_i であるとするとき、線分 BI_j を対応させる。ただし、

$$j = \lceil wl_i / (\frac{wl_{worst}}{N_{cut}}) \rceil$$

である。そして、 BI_j に対応するテーブルに格納された配線データの中で N_i のタイミング制約を満たし、バッファ数のもっとも少ないものを N_i の配線とする。

3.3.2 3 端子以上のネットの場合

3 端子ネットについては 2 端子と同様の手法でテーブルを作成し、テーブル検索により配線の評価する。4 端子以上のネットについては、端子位置の可能なすべての組み合わせに対してテーブルを作成することはメモリ量の点で非現実的であるので、3 端子以下のネットに分解することにより配線の評価する。詳細は紙面の都合上、省略する。

3.3.3 ステージ 3 の配線評価

ステージ 3 ではバッファの挿入位置と実際の配線経路を求める必要がある。テーブル検索による配線評価では配線経路をスタイナ木で表した場合のスタイナ木の節点間の長さとその間の配線幅およびバッファの種類とスタイナ木の枝上での位置情報しか得られない。このため、ステージ 3 ではテーブル検

索で得られたこれらの情報に対して矛盾を起こさない配線経路とバッファ位置を決定する。バッファ位置についてはモジュール間に配置するという制約があるため、モジュール上にバッファ位置が来る場合はバッファ位置をずらす。また、モジュール間にバッファを挿入する場合においてモジュール間に空き領域がない場合はモジュール位置をずらす。このようにして配線経路とバッファ位置を決定した後、すべてのネットの遅延計算を行う。制約違反が生じたネットについては文献 [1] の概略配線手法で概略配線を求め直す。詳細は紙面の都合上省略する。

4 実験の評価

提案手法を C 言語により実現し、UltraSPARC-II(450MHz) プロセッサ上でシミュレーション実験を行った。実験で使用したパラメータと遅延パラメータを表 1, 2 それぞれに示す。また、実験で用いたデータの詳細を表 3 に示す。データはすべて 2 端子ネットである。配線幅は $wire_width = \{0.18, 0.25, 0.50\} [\mu m]$ の 3 通りとし、バッファは 1 種類としている。また、ネットのタイミング制約はすべて $1[ns]$ としている。表 4 にステージ 2 まで行った実験結果を示す。結果から、ソフトモジュールの候補数のため、計算時間が多少大きくなっているが、テーブル検索による配線評価により高速に配線の評価し、配線面積、違反スラック、挿入バッファ数の小さいフロアプランが得られている。また、ステージ 2 における減少する違反スラックの総和の様子を図 5 に示す。図 5 から、コスト関数 2 より違反スラックをかなり減少することが可能で、タイミング制約を満たすフロアプランが得られることが分かる。また、表 4 から、ステージ 1 終了後の解と比べて、違反スラックの総和がステージ 2 終了後は 0.1[%] 以下になり、ステージ 2 の有効性を見ることができ。さらに、図 6 のレイアウト結果からデッドスペースがかなり小さくなっているのがわかる。

表 1 提案手法の設定パラメータ

・初期温度 (評価基準 1)	100
・冷却係数 (評価基準 1)	0.9
・冷却係数 (評価基準 2)	0.98
・終了温度	0.01
・内部ループ回数	10000
・ソフトモジュールの最大候補数	1
・(モジュール 1 個あたり、評価基準 1)	
・ソフトモジュールの最大候補数	16
・(モジュール 1 個あたり、評価基準 1)	

表 2 遅延パラメータ (0.18 μm CMOS モデル)

ソースのドライバ抵抗 (Ω)	280
最小ゲートキャパシタンス (fF)	0.097
単位配線抵抗 r_0 ($\Omega/\mu m$)	0.076
単位配線面キャパシタンス c_0 ($fF/\mu m$)	0.044
単位フリンジキャパシタンス c_f ($fF/\mu m$)	0.055
バッファの固有の遅延 ($nsec$)	0.125

表 4 ソフトモジュールを含む場合の実験結果

データ	モジュール種類	評価基準	$A_{chip}[mm^2]$	$A_{wire}[mm^2]$	$Total_{vio}[ps]$	N_{buf}	CPU[sec]
rd100	ハードのみ	1	145.55	5.94	77387	795	24
		2	121.27	4.28	123	136	9078
	ハード・ソフト	1	130.63	4.73	37760	474	23
		2	109.69	3.34	25	76	39772
rd200	ハードのみ	1	145.86	11.53	178512	1720	42
		2	128.06	8.02	159	266	19052
	ハード・ソフト	1	146.09	7.55	29692	477	43
		2	114.09	6.04	16	95	62194

A_{chip} : チップ面積, A_{wire} : 配線面積, $Total_{vio}$: 違反スラックの総和, N_{buf} : 挿入バッファ数, CPU: CPU 時間

表 3 テストデータ

データ	$ M $	$ M_S $	ネット数	面積下界値 $[mm^2]$
rd100	100	75	2000	100.64
rd200	200	100	4000	98.19

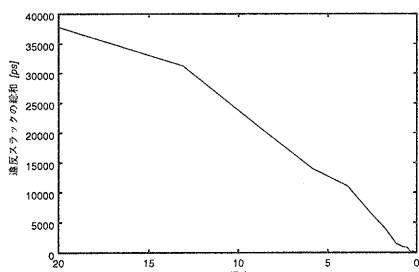


図 5 評価基準 2 における違反スラックの減少の様子

5 あとがき

本稿では, ネット評価テーブルを用いてバッファ挿入, 配線幅調整を考慮した概略配線とフロアプランを同時に求める手法を提案した. 今後の課題としては, ステージ 3 のプログラム作成, および大規模実データを用いた提案手法の実験の評価等が挙げられる.

謝辞: 本研究の一部は, 文部省科学研究費補助金 奨励研究 (A) (課題番号 12750293), 及び, 基盤研究 (B)(2)(課題番号 12555097, 及び 12838008) による.

参考文献

- [1] J. Cong, and X. Yuan: "Routing tree construction under fixed buffer locations", Proc. of 37th ACM/IEEE Design Automation Conference, pp.379-384, 2000.
- [2] H. Chen, H. Zhou, F. Y. Young, D. F. Wong, H. H. Yang, and N. Sherwani: "Integrated floorplanning and interconnect planning", Proc. of International Conference on Computer Aided Design, pp.354-357, 1999.
- [3] W. C. Elmore: "The transient response of damped linear network with particular regard to wideband amplifier", J. Applied Physics, pp.55-63, 1948.
- [4] L. P. P. van Ginneken: "Buffer placement in distributed RC-tree networks for minimal Elmore delay", Proc. of IEEE International Symposium on Circuits and Systems, pp.865-868, 1990.

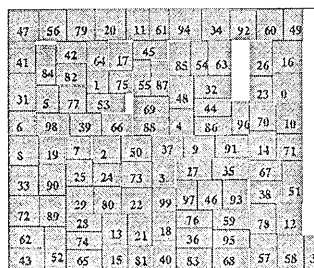


図 6 ソフトモジュールを含む場合のデータ rd100 におけるレイアウト結果 (デッドスペース [7.8%])

- [5] "International Technology Roadmap for Semiconductors (ITRS), 1998 Update", Semiconductor Industry Association (1998).
- [6] H. Murata, K. Fujiyoshi, S. Nakatake and Y. Kajitani: "Rectangle-packing-based module placement", Proc. of International Conference on Computer Aided Design, pp.472-479, 1995.
- [7] S. Nakatake, K. Fujiyoshi, H. Murata and Y. Kajitani: "Module placement on BSG-structure and IC layout applications", Proc. International Conference on Computer Aided Design, pp.484-491, 1996.
- [8] T. Okamoto and J. Cong: "Buffered Steiner tree construction with wire sizing for interconnect layout optimization", Proc. of International Conference on Computer Aided Design, pp.44-49, 1996.
- [9] R. H. J. M. Otten: "Automatic floorplan design," Proc. of 19th ACM/IEEE Design Automation Conference, pp.261-267, 1982.
- [10] S. M. Sait and H. Youssef: "VLSI Physical Design Automation", IEEE Press, 1995.
- [11] S. M. Sait and H. Youssef: "Iterative Computer Algorithms with Applications in Engineering", IEEE Computer Society, 1999.
- [12] L. Stockmeyer: "Optimal orientations of cells in slicing floorplan designs", Infomation and Control, Vol.57, pp.91-101, 1983.
- [13] F. Y. Young and D. F. Wong: "Slicing floorplans with range constraint", Proc. of International Symposium on Physical Design, pp.97-102, 1999.
- [14] D. F. Wong and C. L. Liu: "A new algorithm for floorplan design", Proc. of 23rd ACM/IEEE Design Automation Conference, pp.252-258, 1986.
- [15] H. Zhou, D. F. Wong, I. Liu and A. Aziz: "Simultaneous routing and buffer insertion with restrictions on buffer locations", Proc. of 36th ACM/IEEE Design Automation Conference, pp.96-99, 1999.