

ダイオードモデル評価演算回路の性能検証

川上 洋史, 鈴木 毅, 檀 良

法政大学

〒184-8584 東京都小金井市梶野町3-7-2
TEL : (042) 387-6208 FAX : (042) 387-6381
E-mail : kawakami@dang.k.hosei.ac.jp

あらまし

我々は拡張ノイマン型ハードウェア・ソフトウェア協調コンピューティングシステムによる回路シミュレーション環境を開発している^[1]。本稿では回路シミュレータにおけるダイオード素子のモデル評価演算を行う専用回路システムを提案する。本システムにおいて Berkeley SPICE2g.6 を逆アセンブルすることによって得られた処理クロック数とタイミングシミュレーションによって得られるクロック数の比較を行い、1回のモデル評価演算につき処理比において約10倍の高速化を見込むことができる。

キーワード

回路シミュレーション, 回路設計, アルゴリズム評価

Estimation for the performance of the circuit calculates diode model parameter

Hiroshi Kawakami, Tsuyoshi Suzuki and Ryo Dang

Hosei University

3-7-2 Kajino-cho, Koganei-shi, Tokyo 184-8584, JAPAN
TEL : (042) 387-6208 FAX : (042) 387-6381
E-mail : kawakami@dang.k.hosei.ac.jp

Abstract

We have developed a new circuit simulation environment using an enhanced Neumann type software hardware co-computing system^[1]. In this paper, we propose a circuit that calculates parameter of diode model for circuit simulator. We estimate the performance of this calculation circuit by comparing the operating clock counts for Berkeley SPICE2g.6 and our hardware. As a result, our circuit can run about 10 times faster than the original SPICE2g.6.

key words

circuit simulation, circuit design, estimation of algorithm

1. はじめに

半導体素子製造技術の飛躍的な進歩によりトランジスタの微細化が進み、その結果、集積回路が高集積化し、また設計技術の進歩も著しい。近年は大規模回路設計においてデジタル回路においてもアナログ的回路の振る舞いが重要視されており、高速で SPICE レベルの精度を保つアナログ回路シミュレータに対する要求は増すばかりである。

本研究室では、拡張ノイマン型ハードウェア・ソフトウェア協調コンピューティングシステムアプリケーションによる回路シミュレーション環境の提案として、行列演算専用ハードウェア・アクセラレータ LUCAS : LU decomposition Calculation System を搭載した回路シミュレータ環境を提案し^[1]、プロトタイプボードを実現させている。

しかし、回路シミュレーションにおいては、NR アルゴリズムの各反復で繰り返される線型方程式の求解と共にデバイスモデルの評価に解析時間の大部分が費やされる。

図 1 は、例としてダイオードを直列に 1000~10000 個接続した回路を各ノードにおいて Berkeley SPICE2g.6 (以下 SPICE^[2]) で過渡解析した際の CPU 時間を示したものである。

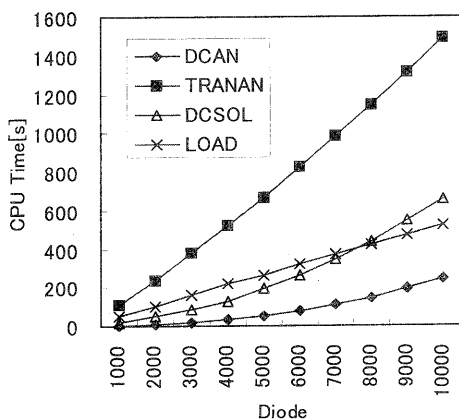


図 1 ダイオード解析時間

各要素は動作点解析 (DCAN), 過渡解析 (TRANAN), 連立一次方程式の LU 分解・前進消去および後退代入ルーチン (DCSOL), そして回路行列の要素を計算するルーチン (LOAD) のそれぞれの CPU 時間を表す。

図 1 からわかるとおり、回路解析においては行列演算より、モデル評価および動作点の解析時間が大きい。もし行列演算とモデル評価部の解析時間が全体の 50% ずつを占めるものと仮定した場合、行列演算部が 20 倍の速度で動作したとしてもモデル評価部を高速化しなければ全体では 1.9 倍としかならない。仮に行列演算部を 20 倍とし、モデル評価部が 5 倍の速度で動作するならば全体の動作速度は 8 倍となる。このようにモデルパラメータ評価部の演算部を専用演算器としてハードウェア化する事はシステム全体の高速化に大いに貢献するものとなる。

本論文においては、先述の回路シミュレーション環境に付加するデバイスモデル評価演算専用ハードウェア・アクセラレータの一部として、ダイオードモデルパラメータを計算する専用演算器を提案する。

この提案の妥当性を検討するためダイオードモデル演算回路のタイミングシミュレーションによる演算クロック数と SPICE を逆アセンブルし実行した演算クロック数との比較を行う。

本論文の残りの節ではダイオードモデル演算回路についての説明を行う。第 2 節では SPICE におけるダイオードのデバイスモデル評価方法について簡単な説明を行う。第 3 節では我々の提案するダイオードモデル評価演算回路についての説明を行い、その構造を示す。第 4 節ではダイオードモデル評価演算回路の処理クロック数と SPICE の処理クロック数を比較することによってその性能評価を行う。第 5 節では、本回路シミュレーション環境の今後の可能性を提案し、結論をまとめる。

2. ダイオードモデル演算

図 2 は SPICE における小信号・過渡におけるダイオードモデル演算の概要を示すフローである。まず、解析の初期動作点を求めるため直流解析を行う。解が収束し初期動作点が求められたら時刻 $t=0$ における過渡解析を行い、その後収束判定をする。収束すれば時間を刻み幅 Δt だけ大きくして同様に過渡解析を繰り返し行いそれぞれの時刻におけるパラメータを算出する。

図 3 は実際に SPICE 上でモデルパラメータを算出するまでの演算処理を示したフローである。このようにモデル演算は大まかに以下の 6 つのルーチンに分けることができる。

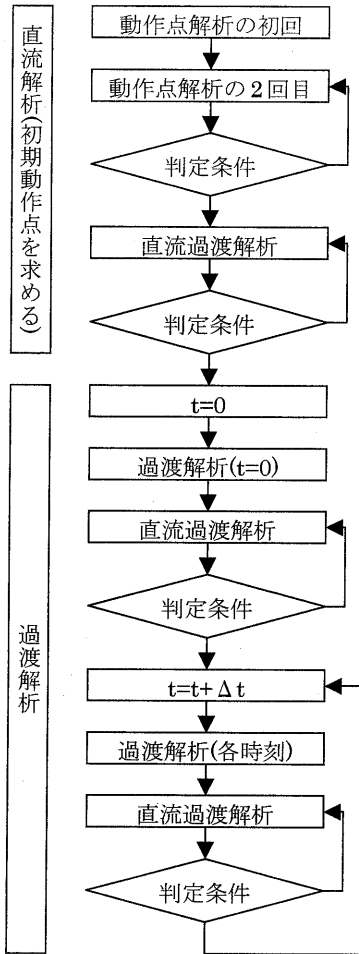


図 2 ダイオード過渡モデル演算フロー

- (1) 各デバイスパラメータを読み込み初期値を決定する(初期化)
- (2) 接合電圧をラプソン方程式、もしくはオーバーフローを防ぐための電圧制限を用いて算出する(接合電圧の制限)
- (3) ダイオード電流およびその導関数を算出する
- (4) 非線形素子である接合容量および拡散容量を算出する(電荷蓄積素子の計算)
- (5) 台形則もしくはk次のGear則を用いて微分方程式を解く(過渡解析)
- (6) 収束判定を行う

実際にはデバイスモデルパラメータの算出までは多くのモデル式を解く必要がある。よって次節以

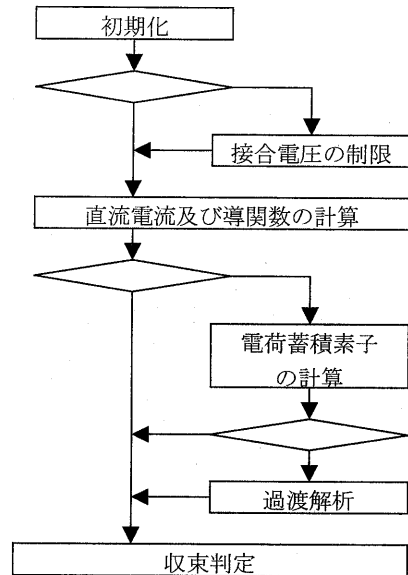


図 3 SPICE における演算フロー

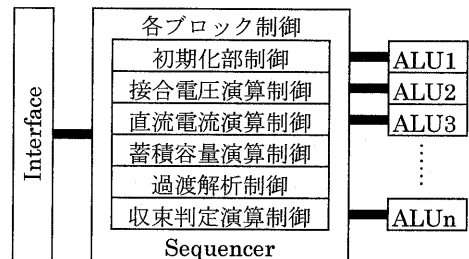


図 4 ダイオードモデル評価回路の構成

降ではブロックごとに処理を分割して考えてゆく。

3. ダイオードモデル評価演算回路の構成

まず、我々の提案する拡張ノイマン型ハードウェア・ソフトウェア協調コンピューティングシステムの概要を説明する。提案システムは従来のコンピューティングシステムに高速なバスで接続された FPGA で構成される再定義可能な演算処理部を持ち、通常のアプリケーションは CPU を使用する。特に高速化が求められ、処理を繰り返し実行するアプリケーションは FPGA 上にコンフィグレーションを行い最適化された演算部を構成しハードウェア・サブルーチンとして利用される。

表 1 演算クロックサイクル

	加算	乗算	除算	指数	対数
i386	23-24	32-57	94	1524	496
i486	8-20	14	73	646	359
Pentium	3	5	36	complex	
Hardware	5(積和算)		21	78	57

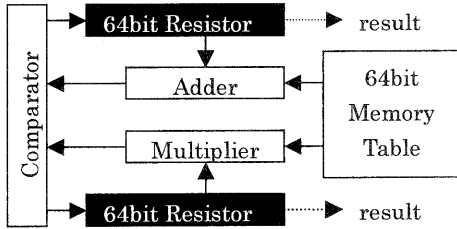


図 5 指数・対数演算回路の構成

図 4 に今回設計したダイオードモデル演算回路の構成を示す。回路はすべて Verilog-HDL を用いて設計をしている。図 3 で示した演算処理ブロックに分け、階層構造をなす。メインのシーケンサはそれぞれの演算処理ブロックを制御し、各ブロックは IEEE754 倍精度浮動小数点演算に準拠した専用演算器数個およびそれを制御するシーケンサで構成する。

通常、回路シミュレーションに必要な数値精度は倍精度であり、我々の設計した演算器もすべて ALTERA 社の FLEX10K シリーズおよび Xilinx 社の Vertex シリーズの FPGA において動作を確認し、倍精度が保証されている。

ダイオードモデル演算に必要な演算は四則演算および指数・対数演算である。そこで、加減算および乗算は配列型積和算回路、除算は 16 基数減算シフト型除算回路^{[3]・[5]}、指数・対数演算は STL(Static Table Look-up)法^{[6]・[8]}を用いた指数演算回路および対数演算回路を設計し、構成した。このうち指数・対数演算回路の構成を図 5 に示す。また設計した演算器の演算クロックサイクルを表 1 にまとめる。Intel 社製 MPU の演算クロックサイクルは付加的な演算を含み、データブック^[9]による代表的な値を示す。

また 2 のべき乗による定数乗(除)算および絶対値

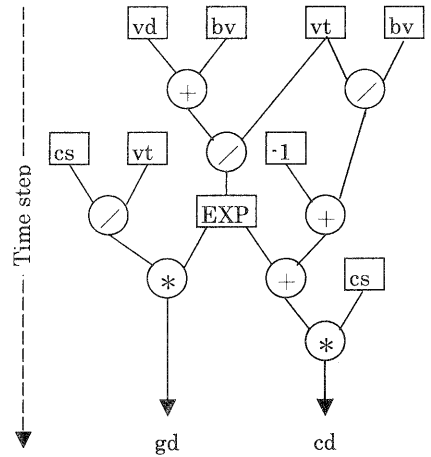


図 6 電荷蓄積素子の容量演算の DFG(一部)

の計算についてはレジスタ内をビットごとに直接操作することによって大幅に処理クロックを削減できることから専用の演算ブロックを設計した。

各制御ブロックのシーケンサにおいては、デバイスモデル式に応じて演算器を制御し、式を解いてゆく。

ハードウェア化におけるもっとも高速化が期待できる点は処理ブロックを並列に動作させることである。しかし単に並列化しただけでは、期待する高速化を図ることができないばかりか、無駄に多くのハードウェア資源を使うことになりかねない。有効に高速化を図るためには適切なスケジューリング^{[10][11]}が必要となる。

スケジューリングの例として蓄積素子容量を求める式の一部(1)(2)を示す。

$$gd = \frac{cs \cdot e^{-\frac{bv-Vd}{Vt}}}{Vt} \quad \dots(1)$$

$$cd = -cs \left(e^{\frac{bv+Vd}{Vt}} - 1 + \frac{bv}{Vt} \right) \quad \dots(2)$$

上式に対してスケジューリングを行った Data Flow Graph(DFG)を図 6 に示す。この図 6 より 2 式の演算を行うためには指数演算器、除算器がそれぞれ 1 個ずつ、および積和算器 2 個(または加算器、乗算器 1 個ずつ)によって構成され、シリアル処

理に比べ除算 2 回および加算・乗算それぞれ 1 回分の処理時間を短縮することが可能となる。

4. 性能評価

性能評価に関しては様々な方法があるが、ここではプログラムの実行演算クロックサイクルの数を比較するものとする。

まず、SPICE のダイオードモデル評価部を、図 3 の各処理モジュールに分割し、演算に直接関与しない部分を削除したより簡単なモジュールを作成する。なお、今回はデータの送受信に必要な通信時間については考慮してはならず、純粋に演算に関する部分についてモジュール作成を行っている。この新たなモジュールについてコンパイルを行い、生成オブジェクトを逆アセンブルする。各モジュールにおいて入力変数や条件分岐により使用するモデル式が異なり処理にかかるクロック数も異なる、表 2 においてそれぞれのブロックごとの処理クロック数を示す。一方、ハードウェアの方もそれぞれの分岐に対する演算処理についてスケジューリングを行い、必要演算クロック数を見積もった。同様に表 2 に示す。

次に、実際のダイオードモデル評価における各分岐に対する処理回数をカウントする。図 7 のダイオード回路を Sample1 として解析した場合の各分岐に対する処理回数を表 2 に示す。ソフトウェア・ハードウェアそれぞれにおいて見積もった処理クロック数に乗じて、ダイオードモデル評価における総処理クロック数を見積もる。その他のサンプルに関しても同様にして見積もった結果を表 3 に示す。

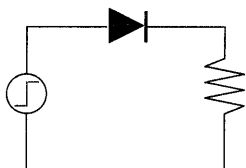


図 7 解析対象ダイオード回路(Sample1)

この見積もりにより SPICE に比べクロックカウントにおいて約 9.3 倍の高速化を見込むことができる。一般的にハードウェア化する際は一桁以上の高速化が必要とされているが、今回の見積もり

表 2 各ブロックの演算クロック数および処理回数

	分岐	SPICE Clock	Hardware Clock	Sample1 処理回数
初期化	A	20	1	0
	B	23	1	1
	C	21	1	0
	D	78	1	0
	E	14	1	1
	F	132	20	74
	G	73	5	84
接合電圧	A	1401	174	134
	B	570	33	0
	C	780	93	0
	D	273	7	0
	E	650	84	1
	F	161	7	133
直流電流	A	931	109	136
	B	180	26	0
	C	1036	136	0
蓄積容量	A	1410	174	127
	B	570	33	0
過渡解析	A	190	21	0
	B	236	16	100
	C	263	21	27
	D	290	21	0
	E	313	26	0
	F	336	26	0
	G	359	26	0
収束判定	A	401	8	133
	B	2	1	74
	C	12	1	136

表 3 クロックカウントの見積もり結果

	SPICE	HARDWARE	rate
sample1	617234	66596	9.268
sample2	1289092	139060	9.270
sample3	272595820	29443180	9.258

は各処理ブロックを独立して設計したがパイプライン化などは考慮していない, また指数・対数回路に関して高基数化するなどさらなる高速化を図ることができると見込むことができる.

5. まとめ

本論文では新たな回路シミュレーションシステムとして, ハードウェア・ソフトウェア協調コンピューティングシステムのダイオードモデル評価部においてそれぞれの処理クロック数を比較することによって性能評価を行った.

評価の結果, 本システムによりダイオードのモデルパラメータの精度を落とさずに約10倍の高速化を達成できることがわかった. また NR アルゴリズムの反復で繰り返される行列演算とは違い, デバイスモデルの評価は並列化が可能な処理であるため, 本システムを複数個使用することによってさらなる高速化を見込むことが可能となる.

さらに今後, BJT や MOSFET などその他のデバイスモデルについても同様に専用のモデル演算器を開発した場合, シミュレーション対象の回路について, 各デバイス素子の数を調べて, その数に応じ評価演算回路部の FPGA 定義をリコンフィグレーションすることによってシステムを変更することなく, 解析の度に対象の回路にもっとも適したシミュレータを構築することが可能となる.

今後の課題はモデル演算にパイプライン化などさらなる高速化を図り, また BJT や MOSFET などその他のデバイスモデルの評価演算モデルについてのハードウェア化を進め, 回路シミュレーション環境の構築をすすめる.

参考文献

- [1] 八木 浩之, 高橋 佑規, 檀 良: "LUCAS:LU decomposition Calculation System を使用した回路シミュレータの性能評価" 信学技報 VLD99-57, pp.39-46, Aug. 1999
- [2] W. Nagel, Univ. of California, Berkeley Memo ERL-M250, May 1975
- [3] D.E. Atkins: "Higher-Radix Division Using Estimates of the Divisor and Partial Remainders" IEEE Trans on Comp. , Vol.C-17, 10, pp.925-934, Oct. 1968
- [4] G. Taylor: "Radix-16 SRT dividers with overlapped quotient selection stages", Proc. 7th IEEE Symp. Comp. Arithmetic, pp.64-71, Urbana, Ill., June 1985
- [5] M.D. Ercegovac and T. Lang: "Simple radix-4 division with operands scaling", IEEE Trans. Comp. , Vol.39, pp.1204-1208, Sep. 1990
- [6] D. Cantor, G. Estrin and R. Turn: "Logarithmic and Exponential Function Evaluation in a Variable Structure Digital Computer" IRE Trans. Elec. Comp. , EC-11, pp.155-164 April 1962
- [7] W.H. Spcker: "A Class of Algorithms for $\ln x$, $\exp x$, $\sin x$, $\cos x$, $\tan^{-1} x$ and $\cot^{-1} x$ ", IEEE Trans. Elec. Comp. , EC-14, pp.85-86, Jan. 1965
- [8] T.C. Chen: "Automatic Computation of Exponentials, Logarithms, Rations and Square Roots", IBM J. Res. & Dev., 16,4, pp.380-388, July 1972
- [9] "インテル・アーキテクチャー・ソフトウェア・ディベロッパーズ・マニュアル 上・中・下巻" www.intel.co.jp
- [10] Giovanni De Micheli, "SYNTHESIS AND OPTIMIZATION OF DIGITAL CIRCUITS", McGraw Hill, pp.185-228, 1994
- [11] 中條 新, 川上 洋史, 檀 良: "高位合成システムによる CPLD 設計" 信学技報 VLD99-97, pp.1-6, Jan. 2000