

静的基板バイアス印加ドミノ CMOS 回路に基づくスーパーセルの設計 I :
トランジスタ寸法連続可変なセル・レイアウト・アーキテクチャ

秋濃 俊郎、堺 芳信、高橋 博宣

近畿大学 生物理工学部 電子システム情報工学科

〒649-6493 和歌山県那賀郡打田町西三谷 930

電話 : 0736-77-3888 (内線 4231) 電子メール : akino@info.waka.kindai.ac.jp

あらし 通常の電源 $[V_{DD}, V_{SS}]$ に加え、別に静的な基板バイアス $[V_{DD}'(>V_{DD}), V_{SS}'(<V_{SS})]$ を印加し、ソース端子が電源に直接接続する全てのプルアップ/プルダウン・トランジスタを高い閾値電圧 (V_{TN}', V_{TP}') にし、 V_{DD} を印加した n ウェル基板、即ち、低い閾値電圧 V_{TP} を持つ PMOS トランジスタを使わないドミノ CMOS 回路で、その面積と遅延時間の削減を試みた[1,2]。本稿ではこの回路方式に基づき、配線 RC 負荷に応じて駆動インバータや他のトランジスタ寸法を決めるスーパーセルのレイアウト・アーキテクチャを提案する。この提案に基づくインバータと AOI24 で、 $0.35\mu\text{m}$ の BSIM3v3 モデルを使った回路シミュレーションにより、それらの面積と遅延時間及び消費電力をスタティック CMOS 回路と比較評価した。

キーワード 基板バイアス、閾値電圧、ドミノ CMOS 回路、スーパーセル

Super-cell Design Based on Statically Substrate-biased Domino CMOS Circuit I :
Cell Layout Architecture with Continuously Variable Transistor Width

Toshiro Akino, Yoshinobu Sakai, Hironori Takahashi

Department of Electronic System and Information Engineering,

School of Biology-Oriented Science and Technology, Kinki University

930 Nishi-mitani, Uchita-cho, Naga-gun, Wakayama, 649-6493 Japan

Tel: +81-736-77-3888 (Ext. 4231) E-mail: akino@info.waka.kindai.ac.jp

Abstract Using another static substrate-bias $[V_{DD}'(>V_{DD}), V_{SS}'(<V_{SS})]$ in addition to common power supply $[V_{DD}, V_{SS}]$, we proposed a circuit scheme making the most of pull-up/pull-down transistors with high threshold voltages (V_{TN}', V_{TP}'), which are biased by $[V_{DD}', V_{SS}']$. Here, the source terminals of these transistors were only connected to the base of $[V_{DD}, V_{SS}]$. We reduced the area and delay time of domino CMOS circuit by not using the PMOS transistor with low V_{TP} biased by V_{DD} on n-well [1,2]. In this paper, being based on this circuit, we propose the *super-cell* layout architecture with continuously variable transistor width. We study the circuit performance of area, delay time and power consumption for the inverter and AOI24, compared to their static CMOS circuits, by using a circuit simulator based on the BSIM3v3 model of $0.35\mu\text{m}$ CMOS process.

Keyword substrate-bias, threshold voltage, domino CMOS circuit, *super-cell*

§ 1. はじめに

「チップ上のトランジスタ数は 18 ヶ月で倍増する」というゴードン・ムーアの予測を上回る勢いで、最近のシステム・オン・チップの集積度が向上しつづつある。この向上の基本は、トランジスタ寸法の縮小比率 α に合わせて全ての電圧を下げるというフル・スケールリング（不純物濃度は比例増大）に基づいている。電源電圧 V_{DD} も α に比例して下げると、 V_{DD} の二乗に依存するダイナミック消費電力は大幅に下がり、その電力密度が変わらない[3]。このスケールリングでは閾値電圧も α に比例して下げねばならないが、これが難しい。閾値電圧比例降下を避けて低消費電力化を計る代表的な研究として次の二つがある。

まず第一は MTCMOS 技術[4]で、これはイオン注入により高・低の多閾値電圧を設ける。システムの待機時には、その高い閾値電圧のプルアップ／プルダウン・トランジスタを逆相の信号で同時にオフにしてドレイン電流を流さない。逆にシステムが動作する時は、共にオンとなるプルアップ／プルダウン・トランジスタを介した仮想電源と仮想グランドの間で、低い閾値電圧のトランジスタがスイッチングを行って高速動作となる。

第二は VTCMOS 技術[5]であり、ここでは基板バイアスを動的に切り替える回路を内蔵している。システムの待機時にその基板バイアスを上げて閾値電圧を高め、サブスレッショルド電流を防止する。一方、その動作時には基板バイアスを下げて、全てのトランジスタの閾値電圧を一斉に下げて高速にスイッチングする。

本稿では、高速なドミノ CMOS 回路[3,6,7]を対象とする。文献[1,2]では、通常の $V_{SS}(=0V)$ を印加した p ウェルと、別系統の静的な基板バイアス $[V_{DD}'(>V_{DD}), V_{SS}'(<V_{SS})]$ を印加した n'ウェル及び p'ウェルの、以上三種類のウェル上に回路を構成するドミノ CMOS 回路方式を提案した。この

方式では、n ウェルを使用せず、従ってその上に作成される低い閾値電圧の PMOS トランジスタを使わない。スタティック CMOS 回路では p ウェルの約二倍の大きな面積を持つ n ウェルが存在するが、ここではその面積が削減出来た。また遅延時間も減少した。一方、電源 $[V_{DD}, V_{SS}]$ にソース端子が接続する全てのプルアップ／プルダウン・トランジスタの n'ウェル或いは p'ウェルに、各々の基板バイアス $[V_{DD}', V_{SS}']$ を印加して閾値電圧を高めた。これにより、サブスレッショルド電流を抑え、低消費電力化を目指した。以降、この回路方式を SSDCMOS (Statically Substrate-biased Domino CMOS) と呼ぶ。

本研究では、この SSDCMOS 方式に基づき、配線の RC 負荷に合わせて、セルを構成する駆動インバータ部分や論理機能部分のトランジスタ幅が連続的に可変となるスーパーセルのレイアウト・アーキテクチャを提案する。ここでは多層配線を前提に、セルが全面的にチップ表面を敷きしめる「シー・オブ・セルズ」のチップ構造を基本とする。まず、SSDCMOS 方式のインバータと AOI24 のレイアウトを設計し、スタティック CMOS 回路と面積を比較する。次に、0.35 μm のプロセスにおける実測データに合わせた BSIM3v3 モデルを使って T-Spice による回路シミュレーションを行い、スタティック CMOS 回路と遅延時間及び消費電力の比較評価を行う。

本稿ではまず § 2 で、静的基板バイアスを印加した高い閾値電圧 (V_{TN}', V_{TP}') を持つ SSDCMOS 方式のインバータ回路を例にして、トランジスタ幅が連続的に可変となるスーパーセルの概念を説明する。§ 3 では、AOI24 セルを例に、SSDCMOS 方式による一般セルのスーパーセル化について述べる。§ 4 で本研究の結論を纏める。

§ 2. SSDCMOS インバータのスーパーセル化

文献[1,2]では、電源 V_{DD} を印加した n ウエルを作成しないで、二種類の静的基板バイアスを印加した p'ウエルと n'ウエル上で高い閾値電圧 (V_{TN} , V_{TP}) を持たせた、SSDCMOS 方式インバータを提案した。その回路図を図 1 に示す。

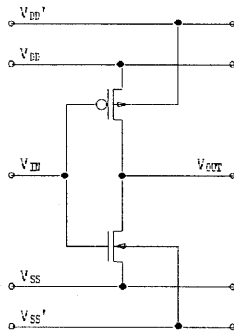


図 1. SSDCMOS 方式インバータの回路図

次に、SSDCMOS インバータとして p' と n' のウエル上での各レーンで、 $W_p/W_n=2$ の関係を保って連続的にトランジスタ幅を広げ得るスーパーセルのレイアウト概念図を図 2 に示す。

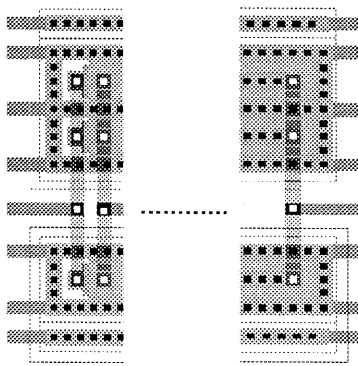


図 2. インバータのスーパーセル概念図

図 2 は λ デザイン・ルールに基づいたレイアウトで、NMOS と PMOS (NMOS の形を 2 個縦に並べたもの) はレイアウトとして全く同じに設計しており、共にソース端子である各々の電源 [V_{DD} , V_{SS}] に取り囲まれた長方形を形成している[1,2]。この構造により、出力ノードであるドレインの接合容量が小さくなる。本稿では、トランジスタ幅を横に連続的に広げ得るスーパーセル化を重視し、入力配線がゲート端子へ接続するコンタクト部分をソース端子の囲みの中に取り込む長方形の構造を提案する。そのため最小単位のトランジスタ幅は、二つの角の電流を無視して $W_{min}=22\lambda$ となる。この SSDCMOS インバータとしてトランジスタ幅 W を連続的に変化させることが出来るスーパーセルと、それに同等なスタティック CMOS インバータの面積を図 3 で比較した。結果

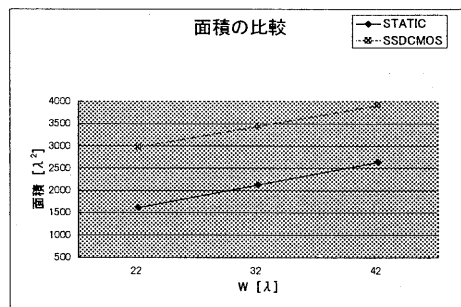


図 3. 対 W の両方式インバータ面積比較

として SSDCMOS インバータは、基板バイアスの配線と基板コンタクト部分で面積が増えるが、 W が増加すれば少しづつ差が少なくなる。

更に面積に加えて、SSDCMOS インバータの遅延時間と消費電力について考える。ここでは、 $0.35\mu\text{m}$ ($\lambda=0.175\mu\text{m}$) プロセスで BSIM3v3 モデルによる MOSFET パラメータ[2]と T-Spice を使って、3 段リング・オシレータの回路シミュレ

ーションを行う。その回路図を図4に示す。このリング・オシレータが安定となった発振状態では、各々のインバータの入出力波形がセルフ・コンシステントに解かれていることになり、波形の傾きが正確であり、遅延時間と消費電力の精度が上がる。

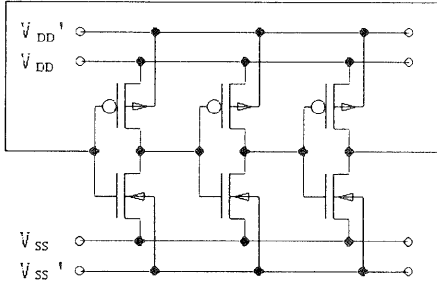


図4. 3段リング・オシレータの回路図

ここで、回路シミュレーションの標準バイアス電圧値として、 $V_{DD}=3.5V$, $V_{DD}'=7V$, $V_{SS}'=-3.5V$ に設定する。ドレイン電流に比例するトランジスタ幅 W を変えて、スーパーセルである SSDCMOS 方式インバータとスタティック方式インバータの遅延時間比較結果を図5に示す。

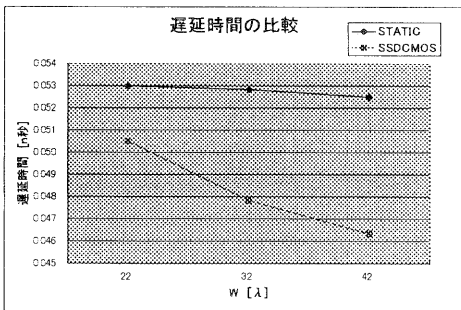


図5. 対 W の両方式インバータ遅延時間比較

この結果、 W の増加による遅延時間の減少が (Y

軸の1目盛が1p秒と僅かであるが) 相対的に大きく、SSDCMOS方式が優れている。次に、5n秒の期間における消費電力の比較結果を図6に示

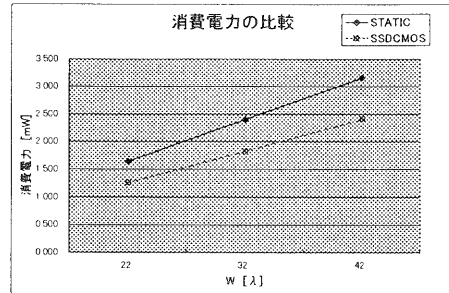


図6. 対 W の両方式インバータ消費電力比較

す。この SSDCMOS 方式では、ソースとドレイン拡散が非対称でそのドレイン出力の接合容量の増え方が小さく、 W が増加すると消費電力の差が開き、スタティック CMOS に比べて有利になる。

ここでスタティック CMOS 回路との比較を終えて、SSDCMOS 回路における対基板バイアスの遅延時間変化を考える。まず、標準基板バイアス以外に、次のような n' と p' ウェルの基板バイアスの条件を設定する。

(a) 共に高い閾値電圧: $V_{DD}'=10.5V$, $V_{SS}'=-7.0V$

(b) 共に低い閾値電圧: $V_{DD}'=3.5V$, $V_{SS}'=0.0V$

標準も含めてこれら V_{DD}' と V_{SS}' をペアで変化させて、それを V_{SS}' で代表させてそれらの変化を表すと、対 W と対 V_{SS}' における遅延時間の変化を図7に示した。両基板バイアスを変えると閾値電圧が変化し、そのドレイン電流が変動する。従って、 W 軸の値は直接ドレイン電流に比例し、また V_{SS}' 軸の値も大きくドレイン電流に影響を与え、充電と放電の時間が直接関わる遅延時間はこのドレイン電流に大きく依存する。 $W=22\lambda$ の時、(a) と (b) の条件で -12% と $+8\%$ の遅延時間変化となる。

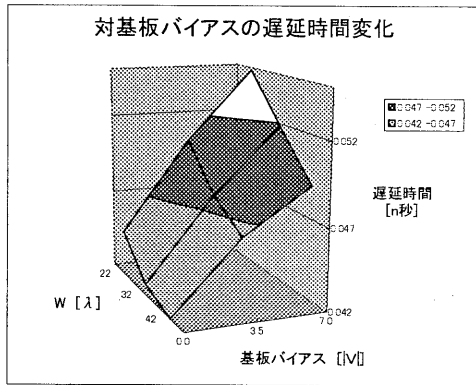


図7. 対Wと対基板バイアスのSSDCMOSインバータ遅延時間

次に、発振が安定した5n秒の期間でSSDCMOS回路の消費電力を考える。同じく $V_{DD}'=7V$, $V_{SS}'=-3.5V$ の標準基板バイアスに対して、(a)と(b)に条件を変える。 $W=22\lambda$ の時、(a)と(b)の条件で-14%と+22%の消費電力変化となり、遅延時間と比べて変化が大きい。その結果を図8に示す。

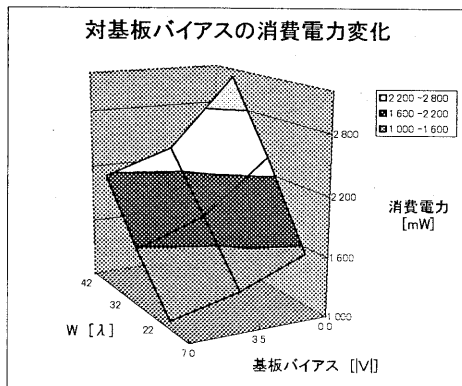


図8. 対Wと対基板バイアスのSSDCMOSインバータ消費電力 (5n秒の期間)

§ 3. SSDCMOS方式のスーパーセルAOI24

電源 V_{DD} を印加した n'ウエルを作成しないで、それ以外の三種類の p'ウエルと p'ウエル及び n'ウエル上に静的基板バイアスを印加して、低い閾値電圧 V_{TN} と高い閾値電圧 (V_{TN}' , V_{TP}) を持つようにした SSDCMOS 方式の AOI24 の回路図を図9に示す。この回路では、高い抵抗のキーパーがプ

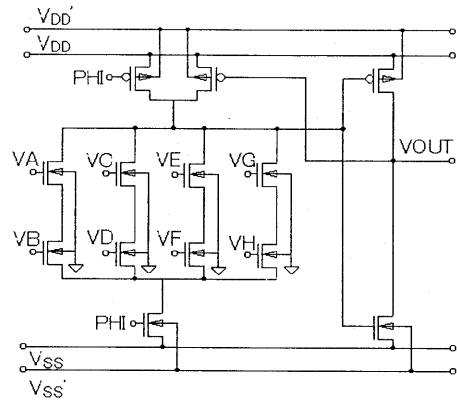


図9. SSDCMOS方式のAOI24回路図

ルアップ電圧を維持する (例えば最小幅 $W=22\lambda$ の時キーパーの寸法は $W_R/L_K=4\lambda/14\lambda$)。更に出力インバータは、§ 2のように $W_P/W_N=2$ の関係を保つ。また、低い閾値電圧の NMOS トランジスタにより 2 入力直列でそれが 4 並列となる AOI24 の論理を構成する。

次にこの SSDCMOS 方式の AOI24 回路をスーパーセル化することを考える。n'ウエル (PMOS: 高い閾値電圧) と p'ウエル (NMOS: 低い閾値電圧) 及び p'ウエル (NMOS: 高い閾値電圧) を電気的に分離して縦積みにし、横方向には各々が長方形として高さを合わせたレーン状に広げられるようにしている。即ち、横幅が可変であり、三つのウエルを積み重ねて高さが一定となる、従来の

スタンダード・セルに相当すると考えれば良い。
 このように横に広げて W を増加するスーパーセル
 化したレイアウト概念図を図 10 に示す。この

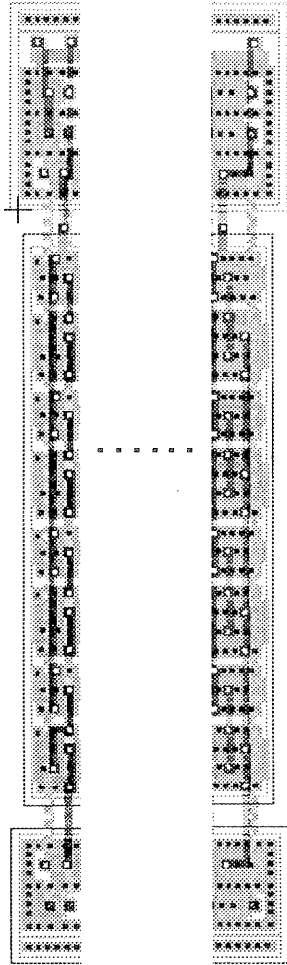


図 10. AOI24 のスーパーセル概念図

レイアウトは 4 層メタル配線の使用を前提にして
 おり、コンパクトな立体構造となっている。上か
 ら下へ縦方向にレイアウトを見ると、キーパーの
 トランジスタが最上段にあり、その下にインバー

タ用の 2 個の長方形 P'MOS が続き、また PHI が
 入力する論理機能用で長方形の P'MOS が 1 個下
 に来る。次に分離領域を挟んで、低い閾値電圧を
 持つ 2 入力 AND が 4 並列に並ぶ。W=22λの最小
 単位の時、各々の 2 入力 AND における上段のト
 ランジスタ幅は 2 つ折りで 29.5λに、下段のそれ
 は 3 つ折りで 46.5λと、長方形を保ちながら最大
 のトランジスタ幅になるように設計する。一番下
 は、p'ウエル上の長方形 N'MOS で、論理機能用
 とインバータ用に各々 1 個が使われている。

次に、上記のように長方形トランジスタを縦積
 みにして、トランジスタ幅 W を連続的に変化さ
 せることが出来る SSDCMOS 方式のスーパーセ
 ル AOI24 回路と、それに同等なスタティック
 CMOS 方式の AOI24 回路で面積を比較した。そ
 の結果を図 11 に示す。スタティック方式ではそ
 の目的とは異なる回路用に使えない空き部分の面
 積は加えている。結果として、長方形として W
 が広がれば面積差が増す。

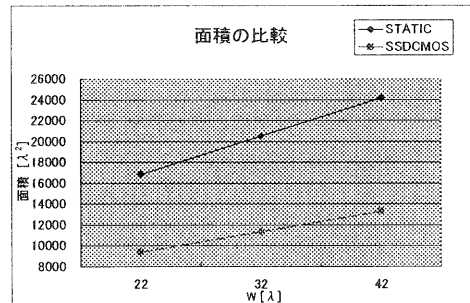


図 11. 対 W の両方式 AOI24 回路面積比較

更に、ドレイン電流に比例するトランジスタ幅
 W を変えてスーパーセルとなる SSDCMOS 方式
 と、従来のスタティック CMOS 方式における
 AOI24 回路で、T-Spice による回路シミュレーシ
 ョン使って遅延時間比較を行う。その結果を図 12

に示す。ここで、ドミノ CMOS 回路はプリチャージ後の評価サイクルにおける遅延時間がその性能を決めるため、それに対応するスタティック回路の遅延時間と比較する。更に § 2 で求めたリング・オシレータの波形を標準と見なして、入力パルスの 10%→90%への立ち上がり時間を 95p 秒とし、90%→10%の立ち下がり時間を 110p 秒とする。また、基板バイアスを印加しない低い NMOS の閾値電圧 V_{TN0} の標準を 0.22V とする。図 12 から、長方形を横に広げて W を増やすと、スタティック方式に比べて、ドレインの接合容量が小さい SSDCMOS 方式の方が遅延時間を早く減らす。

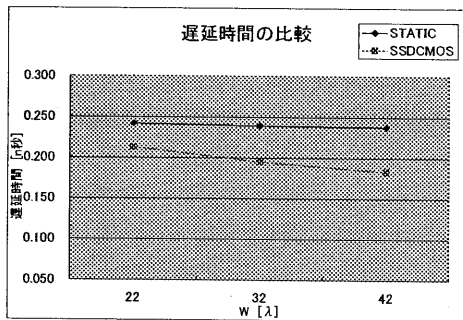


図 12. 対 W の両方式 AOI24 遅延時間比較

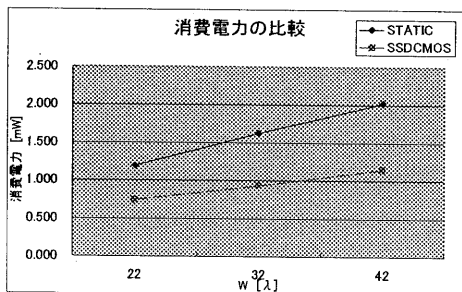


図 13. 対 W の両方式 AOI24 消費電力比較

最後に両方式で、入力パルスが 1 サイクルで 2n

秒の期間における消費電力を比較した結果を図 13 に示す。長方形を広げて W を増やすと、両者の消費電力差が広がるが判る。

§ 4. 結論

本稿では、 V_{SS} を印加した p ウエルと、別系統の静的な基板バイアス [$V_{DD}'(>V_{DD}), V_{SS}'(<V_{SS})$] を印加した n'ウエル及び p'ウエルの三種類のウエル上で、つまり V_{DD} を印加した n ウエルを作成せず、従ってその上に構成される低い閾値電圧の PMOS トランジスタを使用しない、ドミノ CMOS 回路方式[1,2]を前提とした。

本研究では、この SSDCMOS 方式に基づき、配線の RC 負荷に合わせて、セルを構成する駆動インバータ部分や論理機能部分のトランジスタ幅が連続的に可変となるスーパーセルのレイアウト・アーキテクチャを提案した。次に、SSDCMOS 方式のインバータと AOI24 の回路でレイアウトを設計し、スタティック CMOS 回路と面積を比較した。その結果、SSDCMOS 方式のインバータ回路では基板バイアス配線とコンタクト部分で面積が増えるが、AOI24 回路では PMOS トランジスタを使わない分大幅に面積を減らした。次に、0.35μm のプロセスにおける実測データに合わせた BSIM3v3 モデルを使って T-Spice による回路シミュレーションを行い、両者のスタティック CMOS 回路と遅延時間及び消費電力の比較評価を行い、SSDCMOS 方式の優位性を示した。

今後更に、インバータや AOI24 以外の基本セルに拡張して評価を行い、スタンダード・セルのライブラリを確立したい。

謝辞

本研究で使った Tanner EDA の T-Spice を評価用として貸与された (株) リアルビジョンの関係各位に感謝します。

文献

- [1] T. Akino, "Substrate-Biased CMOS Scaling Based on Minimum Energy-Delay Product," Proc. of SASIMI 2000, pp.130-137, April 6-7, 2000.
- [2] 堀芳信、秋濃俊郎、「基板バイアス印加ドミノ CMOS 回路設計 I : BSIM3v3 モデルに基づく回路シミュレーション」、信学技報、VLD99-126、pp.69-76、2000.
- [3] S.-M.K. Kang and Y. Leblebici, "CMOS Digital Integrated Circuits – Analysis and Design, 2nd Edition," WCB/McGraw-Hill, 1999.
- [4] S. Mutoh, et al., "1-V Power Supply High-speed Digital Circuit Technology with Multithreshold-voltage CMOS," IEEE J. Solid-State Circuits, Vol.30, No.8, pp.847-854, Aug. 1995.
- [5] T. Kuroda, et al., "A 0.9-V, 150-MHz, 10-mW, 4mm², 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage (VT) Scheme," IEEE J. Solid-State Circuits, Vol.31, No.11, pp.1770-1779, Nov. 1996.
- [6] J.A. Luisi, C.W. Padgett, D.C. Street, "High Speed - Low Cost, Clock Controlled CMOS Logic Implementation," Sept. 21 1976, United States Patent 3982138.
- [7] R.H. Krambeck, C.M. Lee, H.-F.S. Law, "High-Speed Compact Circuits with CMOS," IEEE J. Solid-State Circuits, vol.SC-17, no.3, pp.614-619, June 1982.