

スイッチ結合型マルチプロセッサSNAIL-2の データ転送用ネットワークPBSFの評価

白石 大介[†] 星野 智則[†] 緑川 隆[†] 金森 勇壮[†] 天野 英晴[†]

[†]慶應義塾大学 理工学部
〒223 横浜市港北区日吉3-14-1
(045)-560-1063

E-mail: {daisuke,hoshino,midori,yuso,hunga}@am.ics.keio.ac.jp

あらまし

中規模並列計算機のメモリ、プロセッサ間の結合方法としてPBSF (Piled Banyan Switching Fabrics)が提案された。PBSFは高通過率で低レイテンシを実現するために、Omega網を階層的に配置し、多重出力を可能にした結合網であり、VLSIへ実装が行われた。PBSFの実機による評価を行うために、並列計算機SNAIL-2が実装され、現在は4プロセッサ、4メモリモジュールで動作可能である。そこで、SNAIL-2上に並列アプリケーション集であるSPLASH-2を実装し、PBSFの評価を行った。その結果、PBSFネットワークは高いスループットを示し、4プロセッサ構成の場合、1プロセッサと比較して最大で約3.5倍という高い台数効果を得ることができた。

キーワード

並列計算機, MIN, 結合網, キャッシュ

Evaluation of a PBSF Multistage Interconnection Network with SNAIL-2

D. Shiraishi[†] T. Hoshino[†] T. Midorikawa[†] Y. Kanamori[†] H. Amano[†]

[†]Dept. of Information and Computer Science, Keio University

3-14-1, Hiyoshi, Kohoku-ku, Yokohama 223, Japan

(045)-560-1063

E-mail: {daisuke,hoshino,midori,yuso,hunga}@am.ics.keio.ac.jp

Abstract

For interconnection in middle scale multiprocessors, PBSF(Piled Banyan Switching Fabrics) was proposed. In order to enhance the bandwidth, it consists of 3-dimensionally connected Omega networks, and the first prototype chip was implemented using VDEC process. A multiprocessor system called SNAIL-2 is developed for evaluating the performance of the PBSF network. Now, a prototype with 4 processors and 4 memory modules is available, while the full scale system consists of 16 processors and 16 memory modules. The PBSF network performance of SNAIL-2 is evaluated with some programs from the benchmark application suit "SPLASH-2", and most programs can be executed 3.5 times faster than those with a single processor.

key words

multiprocessor, MIN, interconnection network, cache

1 はじめに

並列計算機は規模や用途によって適する結合方式が異なり、さまざまなアーキテクチャが発表されている。その中で、数10~数100プロセッサクラスの中規模の並列計算機における有効な結合網として、多段結合網(MIN:Multistage Interconnection Network)が提案されている。MINは、 2×2 から 8×8 程度の小さなクロスバスイッチを多段結合することにより構成され、規模拡張性に優れている。しかし、そのハードウェア量に見合った性能を得ることが難しいために、並列計算機への実装が遅れてきた。

そこで我々は、パケットを数ビット幅にシリアル化してフレームに同期させて転送することにより、高速かつ実装が容易なプロセッサ・メモリ間結合網、SSS(Simple Serial Synchronized)型MIN[1]を提案し、これを用いて並列計算機SNAIL[2]を実装して評価を行ってきた。これによって、SSS型MINが高い転送能力と実装効率を併せ持つことが実証された。

しかし、SNAILで用いられたSSS型MINは、近年のプロセッサの高速化に伴い、入力位置で優先度が静的に決まることによるスタベーションの発生、パケットの再送による転送能力の低下、ネットワーク通過時のレイテンシが大きいことなどが問題となることが明らかとなった。

そこで、ネットワークのレイテンシを小さくするために、SSS型MINのネットワークを多重出力可能にすることでネットワークの通過率を上げる試みがなされた。そして、多重出力可能なMINの中でも、バンヤン網を階層的に配置することにより通過率が高くレイテンシの小さなネットワークポロジであるPBSF(Piled Banyan Switching Fabrics)[3]を提案し、SSS型MINとして適応させたPBSFチップの実装を行なった。

一方、共有メモリアクセスの実効レイテンシを小さくするために、MINを用いた並列計算機にキャッシュを持たせる試みがなされた。しかしながら、従来の方式では、ディレクトリ管理に大量のメモリを必要とし、ハードウェア的に実現するのが困難であった。そこで、RHBD(Reduced Hierarchical Bit-map Directory)方式[5][6]と枝刈りバッファを組み合わせ、高速かつ効率のよいキャッシュ制御を行なうことのできるMINC(MIN with Cachecontrol mechanism)[4]を提案し、実装を行なった。

現在PBSFを用いたスイッチ結合型並列計算機SNAIL-2は、現在、4プロセッサで稼働しており、16プロセッサに拡張中である。本稿では、4プロセッサによる実システムを用いたSNAIL-2の性能評価について報告する。

2 PBSFとMINC

2.1 PBSF

PBSF(Piled Banyan Switching Fabrics)は、Banyan網を3次元的に接続して多重出力可能にすることで、ネットワークのレイテンシを小さくしたネットワークポロジである。図1に示すように、最上層と最下層を除く層のスイッチングエレメントは水平方向の入出力を2つずつ、垂直方向を2つずつ、計4入力4出力を持つ。

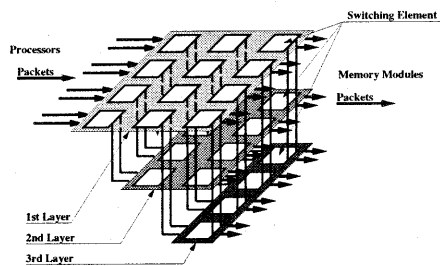


図1: PBSF(Piled Banyan Switching Fabrics)

パケットはまず最上層のネットワークに入力される。このとき、最上層のあるエレメントに入力された2つのパケットが同じ出力に向かう場合がある。このような場合、SNAILで用いたTBSF(Tandem Banyan Switching Fabrics)では、片方のパケットは希望の出力に送られ、もう一方のパケットは他のパケットのルーティングを妨げないようデッドパケットとして破棄される。破棄されたパケットは、次のフレームで再送しなければならない。

しかし、PBSFの場合は、競合に敗れたパケットは1つ下の層のエレメントに送られる。2層目以下では、水平方向に進んでくる2つのパケットに加えて、上層から送られて来たパケットの最大で3つのパケットが1つの出力リンクを競合する。この時も基本的には最上層のスイッチの動作と同様で、それらのパケットのうち1つは正しい出力へと送られ、もう1つはさらに下層へ、残りの1つはデッドパケットとなる。最下層で3つのパケットが競合した場合は下層へ送ることができないため、3つのパケットのうち1つだけが正しい出力へ送られ、もう1つはデッドパケットとなり、残りの1つはエレメント内で消滅する。

PBSFの各層からはパケットが出力されるが、出力されたパケットがデッドパケットだった場合やパケットがエレメント内で消滅してしまった場合は、次のフレームでパケットを再送しなければならない。その際には、優先度(4レベル)を1つ上げて再送が行われる。

PBSFにおいて下層の網は、従来型のMINがエレメント内に持つパケットバッファと同様の効果があり、通過率、通過時間両方の改善が期待できる。

2.2 MINC

MINCはプロセッサからメモリにパケットを送るData Transfer Networkと、メモリからプロセッサにパケットを送るCache Control Networkに分かれている。MINCと従来のキャッシュ制御機能付きMINとの相違は以下の点である。

- RHB(D(Reduced Hierarchical Bit-map Directory)方式の利用

ディレクトリは各スイッチングエレメント内には置かず、縮約されたビットマップの形で共有メモリに置く。これにより、従来のキャッシュ制御用MINのボトルネックとなっていた、各スイッチがチップ外部のディレクトリを参照するという遅延をなくすることができる。また、ビットマップを縮約することで、必要なディレクトリ量を減らし、さらに、スイッチの構造を単純にしている。

- 枝刈りキャッシュの付加

RHB方式でビットマップを縮約したことにより、無駄なマルチキャストパケットが発生する。このパケットによりネットワークが混雑し、マルチキャストパケットの通過率が下がってしまうことを防ぐために、Cache Control Network上に枝刈りキャッシュを設け、無駄パケットの数を減らす。

3 SNAIL-2

第2章で説明したPBSF、MINCのシミュレーションによる評価はすでに行われている。そこで本研究では、実機において実アプリケーションによる性能を評価するためにスイッチ結合型並列計算機SNAIL-2を設計、実装した[8]。

3.1 SNAIL-2の構成

図2にSNAIL-2の構成を示す。SNAIL-2は、16個のプロセッシングユニット(PU)と16個のメモリモジュール(MM)から構成され、データ転送用ネットワークに用いるPBSFチップと、キャッシュ制御用ネットワークに用いるMINCチップにそれぞれ接続されている。

PUには、ローカルメモリと共有メモリキャッシュが置かれ、MMには、共有メモリとディレクトリが配置される。

PUとMM間のデータ転送、キャッシュ制御は次のようにして行われる。

- データ転送

プロセッサから共有メモリに対するアクセスは、PU内のPUコントローラとMM内のメモリコントローラ

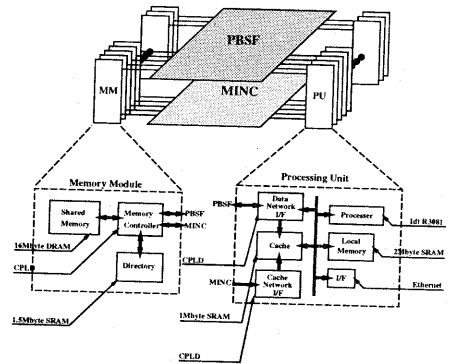


図2: SNAIL-2の構成

間で、PBSFのネットワークを通してパケットを転送することで行われる。PUには共有メモリのキャッシュが存在するので、共有メモリアクセスのレイテンシを小さくすることができる。

- キャッシュ制御

共有メモリへの書き込みが起こった際、PUコントローラは、PU内のキャッシュにそのデータが存在しているのならそのデータを無効にし、PBSFインタフェースを通してMMへパケットを転送する。MM内のメモリコントローラは、書き込みが行われたデータをキャッシュしているPUへ、コヒーレンス維持のためのパケットをMINCのネットワークを通して転送する。PUコントローラはこのパケットを受け取り、キャッシュにそのデータが存在しているのならそのデータを無効化、あるいは更新する。このようにすることでキャッシュのコヒーレンスを維持することができる。

3.2 ハードウェア構成

プロセッシングユニット、データ転送用ネットワーク、キャッシュ制御用ネットワーク、メモリモジュールの具体的なハードウェア構成について説明する。

3.2.1 プロセッシングユニット

図3にプロセッシングユニットのハードウェア構成を示す。

- プロセッサ (IDT社 R3081)

動作が高速かつ単純で、制御が容易なR3081を使用する。R3081は、最大50MHzで動作するRISCプロセッサであり、チップ内に16Kbyteのインストラクションキャッシュと4Kbyteのデータキャッシュを持っている。ただしデータキャッシュは、共有データにはコヒーレンスを維持することができないので用いることができない。

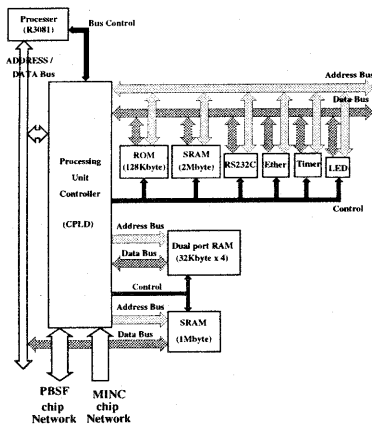


図 3: プロセッシングユニットのハードウェア構成

- ローカルメモリ (SRAM 2Mbyte)

ローカルメモリにはモニタ用のプログラムなどしか置かないので小容量で十分である。そこで、アクセススピード50nsの4Mbit SRAMを4個使って2Mbyte実装する。

- 外部インタフェース (RS232C, Ether)

構造が単純であり実装が容易であるRS232Cと、高速に大容量の通信が行なうことができるEtherインタフェースを実装し、ホストであるワークステーションとの通信を行う。

- プロセッシングユニットコントローラ (CPLD Altera 社 FLEX10K)

キャッシュの評価を行うために、回路を変更することによりキャッシュ構成を変えらることのできるCPLD(Complex Programmable Logic Device)を用いて実装を行った。プロセッシングユニットコントローラは、次の4つの機能を持つ。

- ローカルコントローラ

プロセッサとの通信、SRAM, ROM, RS232C, Ether, LEDの制御等を行う。

- PBSF ネットワークインタフェース

データ転送用のネットワークインタフェースである。タグメモリ、キャッシュをアクセスすることで、キャッシュの読み込み、書き込み、コヒーレンス維持を行なう。また、共有メモリをアクセスするために、パケットのエンコード・デコードを行い、PBSFチップと通信をする。

- MINC ネットワークインタフェース

キャッシュ制御用のネットワークインタフェースである。MINCチップから送られてくるキャッシュコヒーレンス維持のためのパケットをデコードし、タグメモリの変更を行なう。

- パフォーマンスモニタ

ネットワークインタフェースを監視し、各優先度ごとのパケット送出回数や、Fetch&DecやTest&Set命令及び、書き込み命令の発行回数などを測定することができる。

- タグメモリ (Dual port RAM 128Kbyte)

PBSF、MINCのインタフェースから同時にアクセスされるのでDual port RAMを用いる。SNAIL-2ではキャッシュのウェイ数を最大4ウェイとしているので、アクセススピード25nsの32Kbyte Dual port RAMを4個用いた。

- キャッシュ (SRAM 1Mbyte)

共有メモリのキャッシュには、高速に動作可能なアクセススピード15nsの4MbitSRAMを2個用いた。容量は1Mbyteあるが、常に全容量が使用されるわけではなく、様々な条件でキャッシュの評価を行うために大きめにしている。

3.2.2 データ転送用ネットワーク

PBSFチップの構造を図4に示す。シミュレーションの評価を踏まえ[7]、レイヤ数は2とし、最上層のレイヤでメッセージコンバイン機能、4レベルの優先度制御をサポートする。また、データ線としてForward MINに2bit、Backward MINに1bitを割り当てる。これでは転送容量が不足するので、PBSFチップを8個用いることにより、データ転送用ネットワーク全体としてForwardMINに16bit、BackwardMINに8bitを割り当て、十分な転送容量を確保する。チップの作成は電子情報通信学会VLSI設計教育高度化専門委員会のVLSI試作試行の一環として行われた。

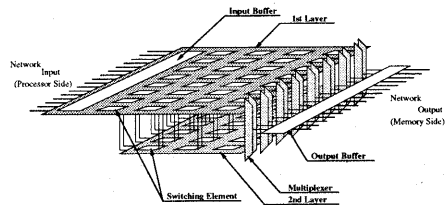


図 4: PBSFチップの構造

実装に用いたVLSIチップの使用を表1に、実装されたPBSFチップの仕様を表2に示す。

テクノロジー	0.5 μ m CMOS
パッケージ形状	176ピンPGA
電源電圧	5V
入出力特性	TTLインタフェース(出力 4mAバッファ)
使用可能ピン数	信号116ピン、電源52ピン
使用可能ゲート数	約16,000ゲート

表 1: PBSFチップの実装に用いたVLSIチップの仕様

最大動作周波数	100MHz
入出力数	16入出力
ビット幅	2bit(Forward MIN), 1bit(Backward MIN)
バンド幅	300Mbps \times 16
ゲート数	17,356ゲート
信号ピン数	116ピン

表 2: PBSFチップの仕様

3.2.3 キャッシュ制御用ネットワーク

MINCチップの構造を図5に示す。シミュレーションの評価により[4]、構成は2段の4 \times 4のクロスバスイッチとし、プロセッサに最も近いステージにのみ枝刈りバッファを持たせる。各枝刈りバッファは256個のエントリを持ち、連想度は2である。各スイッチングエレメントは、RHBD方式を用いてマルチキャストを行い、4レベルの優先度制御をサポートする。データ線としてCache Control Network、Acknowledge Network共に、4bitのデータ線を用いる。

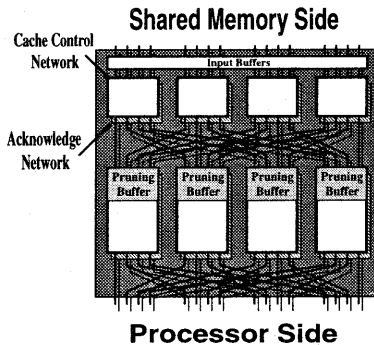


図 5: MINCチップの構造

3.2.4 メモリモジュール

図6にメモリモジュールのハードウェア構成を示す。

- 共有メモリ (DRAM 16Mbyte)

大容量で安価なDRAMを用いる。ここでは、アクセススピード60nsの16MbyteのSIMMを用いた。SNAIL-2では16個のメモリモジュールを設けるので、共有メモリの総量は256Mbyteである。

- ディレクトリ (SRAM 1.5Mbyte)

アクセススピード15nsの4MbitSRAMを用いる。容量は1.5Mbyteあるが、プロセッサ側のキャッシュと同様、様々な条件でキャッシュの評価を行うために大きめにしている。

- メモリコントローラ (CPLD Altera社 FLEX10K)

プロセッシングユニットコントローラと同様、回路を変更することによりキャッシュ構成を変えることのできるCPLDを用いる。メモリコントローラは、次の3つの機能を持つ。

- DRAMコントローラ

フレームに同期してDRAMをリフレッシュし、データの読み込みと書き込みをする。また、Test&SetとFetch&Decの同期機構を実装するための演算器を内蔵している。

- PBSFネットワークインタフェース

データ転送用のネットワークインタフェースであり、PBSFチップからのパケットをデコードして共有メモリにアクセスする。

- MINCネットワークインタフェース

キャッシュ制御用のネットワークインタフェースであり、MINCチップへ送るキャッシュコピーレンス維持のためのパケットをエンコードし、ディレクトリの変更を行なう。

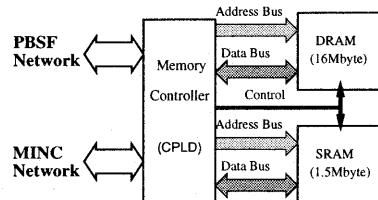


図 6: メモリモジュールのハードウェア構成

SNAIL-2では、プロセッシングユニット2つとメモリモジュール2つが1枚のボードに実装されている(図7)。ただし、実装面積の関係で、Etherは片方のプロセッシングユニットにのみ実装されている。

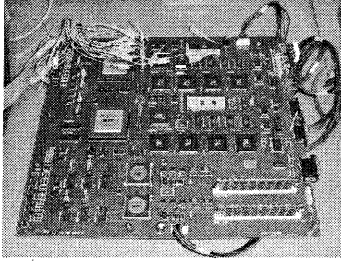


図 7: プロセッサボードの外観

また、PBSFチップとMINCチップは1枚のボードに実装されている(図8)。この2枚のボードは、フラットケーブルを用いて接続される。

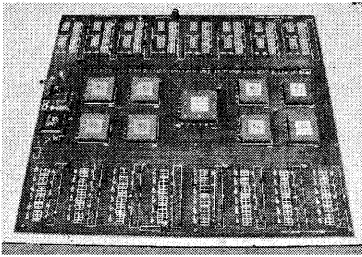


図 8: ネットワークボードの外観

4 SNAIL-2の評価

実装が完了している4プロセッシングユニットと4メモリモジュールを用いて、データ転送用ネットワークであるPBSFの性能評価を行った。現在、ハードウェアの調整が終了していないため、MINCを用いたキャッシュ制御は行われていない。

4.1 評価条件

● 動作周波数

プロセッサに用いているR3081は、外部周波数と最大25MHzで動作可能であるため、PU Controllerのコントローラ部はこの周波数で動作することが望ましい。また、PBSFチップも最終的には50MHzで動作させる予定であるため、各コントローラのネットワークインタフェースもこの周波数を満たす必要がある。しかし、現在はプロセッサ・メモリボードとネットワークボード間を接続するフラットケーブルの問題で、高い周波数で動作させることができず、表3に示す周波数で安定して動作させている。

Processor	(Internal) (External)	20MHz 10MHz
PU Controller	(Controller) (Network Interface)	10MHz 10MHz
MM Controller	(Controller) (Network Interface)	10MHz 10MHz
PBSF Network		10MHz

表 3: 各回路の動作周波数

● フレーム長

MINCを用いない場合は、PBSFチップの仕様ではフレーム長は18clockで動作させることが可能である。しかし、実際にはメモリモジュールコントローラでFetch&DecやTest&Setの処理を行なうため、それよりもフレーム長を長くとる必要がある。そこで、今回の評価では余裕を持たせて、40clock(4μsec)として評価を行った。

● メモリアクセス時間

今回の条件におけるメモリアクセス時間は表4の通りである。

メモリの位置	アクセスの種類	メモリアクセス時間(ns)
ローカル	シングルリード	600
	バーストリード	2100
	ライト	600
共有	シングルリード	5700~9600+(4000×n)
	バーストリード	6900~10800+(4000×n)
	ライト	5500~9400+(4000×n)

n: 再送回数

表 4: メモリアクセス時間

表4より、ローカルメモリアクセスに比べ共有メモリアクセスは、バーストリードの場合で約4倍、シングルリード・ライトの場合で約12倍もの時間がかかり、パケットの衝突による再送が発生すると、さらにその差が広がることがわかる。このため、インストラクション及びプロセッサ間で共有されないデータはローカルメモリに配置することでパフォーマンスを向上させることができるが、ローカルメモリの容量の制限から基本的に共有メモリに置かれている。アクセスレイテンシの問題は、キャッシュ制御機構MINCを実装することにより、大幅に改善される予定である。

● 測定項目

並列計算機の評価に用いるアプリケーションにはいくつかあるが、マシンのアーキテクチャに依存せず比較を行うことができる並列アプリケーション集SPLASH-2(Stanford Parallel Applications for SHared memory-2)を用いて評価を行った。今回は、以下の2つのアプリケーションを実装し評価に用いた。

- FFT

\sqrt{n} を基数とする6ステップのアルゴリズムを用いた1次元複素数の高速フーリエ変換で、プロセッサ間の通信が最小限になるように最適化されている。

データ数: 2^{14} 、 2^{16} 、 2^{18}

プロセッサ数: 1、2、4

- LU

密行列を下三角行列と上三角行列に分解する。

行列のサイズ: 64×64 、 128×128 、 256×256

プロセッサ数: 1、2、4

4.2 評価

インストラクションを共有メモリに配置し、共有メモリをインタリーブしない場合のFFTの台数効果を図9、LUの台数効果を図10に示す。

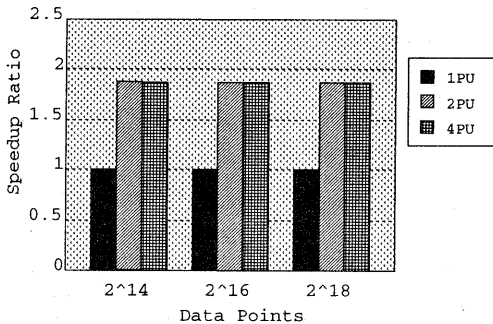


図 9: FFTの台数効果(インタリーブなし)

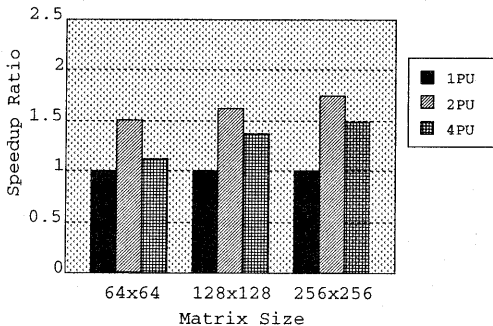


図 10: LUの台数効果(インタリーブなし)

また、共有メモリをインタリーブした場合のFFTにおける効果を図11、LUにおける効果を図12に示す。

また、FFTとLUのプロセッサ1つ当たりのパケットの各優先度の送出回数、及び、衝突回数を表5、表6に示す。インストラクションは、コヒーレンスを維持する必要がないため本来はプロセッサ内のインストラクションキャ

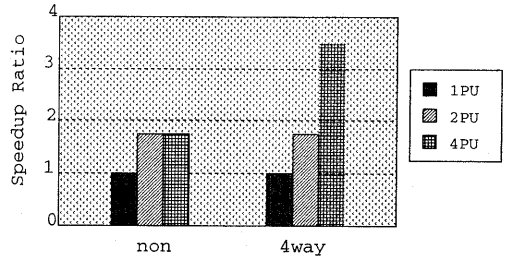


図 11: FFTにおけるインタリーブの効果 (データ数: 2^{14})

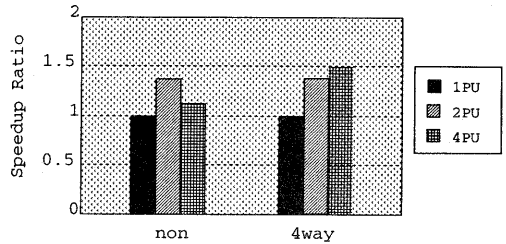


図 12: LUにおけるインタリーブの効果 (行列のサイズ: 64×64)

シュを用いることができる。しかし、今回は実装上の問題で、共有メモリにインストラクションを配置した場合は、プロセッサ内のキャッシュは使用しないようになっている。スタック領域はいずれの場合でも、ローカルメモリに配置され、キャッシュされるようになっている。

PU数	優先度0	優先度1	優先度2	優先度3	衝突回数
インストラクション:共有メモリ、インタリーブなし					
1	12,332,544	0	0	0	0
2	6,164,110	303	0	0	303
4	3,086,778	3,086,682	1,543,402	1,543,374	6,173,458
インストラクション:共有メモリ、インタリーブ:4way					
1	12,332,743	0	0	0	0
2	6,164,528	281	0	0	281
4	3,086,488	856,886	67,849	31,077	955,812

表 5: FFTのパケットの各優先度の送出回数と衝突回数 (データ数: 2^{14})

PU数	優先度0	優先度1	優先度2	優先度3	衝突回数
インストラクション:共有メモリ、インタリーブなし					
1	2,540,861	0	0	0	0
2	1,902,022	217	0	0	217
4	1,375,685	1,367,553	673,470	673,468	2,714,491
インストラクション:共有メモリ、インタリーブ:4way					
1	2,540,858	0	0	0	0
2	1,902,018	6	0	0	6
4	1,375,690	521,493	87,719	69,235	678,447

表 6: LUのパケットの各優先度の送出回数と衝突回数 (行列のサイズ: 64×64)

4.2.1 共有メモリをインタリーブしない場合

FFTでは、2PUで実行した場合は、1PUの場合に比べてほぼ2倍の台数効果が出ている。これは、FFTはPU間でのデータ依存性および同期を取る回数が少ないためであ

る。これに比べて、LUでは、2PUで実行した場合、1PUに比べて対象となるデータサイズが小さい場合では約1.5倍程度の台数効果しか出ていない。これは、LUはPU間でのデータ依存性が高く、同期の回数が多いため性能が伸びなかったと考えられる。しかしながら、データサイズが大きくなると、相対的に同期のオーバーヘッドが小さくなり、2PUでの性能が向上することがわかる。

次に、4PUで実行した場合は、FFT、LUのいずれの場合でも、対象となるデータサイズが大きい場合は、2PUとほぼ同等の性能で、データサイズが小さい場合は、逆に性能が低下している。現状のSNAIL-2では、共有メモリの特定のアドレスをFetch&Decし、そのアドレスをポーリングすることにより同期をとるため、同期の際には特定の共有メモリにアクセスが集中し、ポーリングの PACKET が同期点に達していないプロセッサのインストラクション及びデータの読み込みを妨げてしまう。そのため、PACKETの再送回数が増加し、性能が大幅に低下してしまうと考えられる。

4.2.2 共有メモリをインタリーブした場合

共有メモリでインタリーブを行わないと性能向上が2PUで頭打ちになってしまうのに対して、インタリーブを行うと4PUでも大きく性能を伸ばすことができる。これは、4wayでインタリーブを行った場合はインタリーブしない場合と比較して、PACKETの衝突回数を4分の1から6分の1に減少できるためである。特に、再送回数が3回以上の場合に生成される優先度3のPACKET送出回数が少なくなっていることから、ネットワークの透過率が非常に良くなっていることがわかる。このため、4PU以上で動作させる場合は、インタリーブ構成が必須であると考えられる。

5 まとめ

PBSFの転送能力とMINCによるキャッシュ制御機構の実機による評価を行うために、SNAIL-2を設計し、実装を行った。実装したSNAIL-2では、16プロセッシングユニット、16メモリモジュールまでの接続が可能である。現時点では4プロセッシングユニット、4メモリモジュールまでの実装を行い、アプリケーションを用いた評価を行った。その結果、FFTの場合は4プロセッサの構成で、1プロセッサの約3.5倍という高い台数効果を得ることができた。また、特定のプロセッサにアクセスが集中するとそこがボトルネックとなり性能の伸びが抑えられてしまう問題は、共有メモリをインタリーブすることで、その影響を大幅に減らすことができることが確認された。

今後、MINCを用いたキャッシュの調整を完了し、16PUでSPLASH2等のアプリケーションを用いてアクセス遅延の改善効果を評価する予定である。

謝辞

なお、本研究で使用したPCB設計ツールには、Mentor Graphics社のHigher Education Programの適用を、CPLD配置配線ツールには、ALTERA社のUniversity Program適用を受けた。関係各位に深く感謝する。

参考文献

- [1] 天野 英晴, 周 洛, 藤川 義文 : SSS(Simple Serial Synchronized)型マルチステージネットワーク, 情報処理学会論文誌, Vol.34, No.5, pp.1134-1143, 1993.
- [2] 笹原 正司, 寺田 純, 大和 純一, 埜 敏博, 天野 英晴 : SSS型MINに基づくマルチプロセッサSNAIL, 情報処理学会論文誌, 第36巻, 第7号, pp.1640-1651, 1995.
- [3] 埜 敏博, 天野 英晴 : 多重出力可能なMINの性能評価, 情報処理学会論文誌, 第36巻, 第7号, pp.1630-1639, 1995.
- [4] T.Hanawa, T.Kamei, H.Yasukawa, K.Nishimura, H.Amano : MINC: Multistage Interconnection Network with Cache control mechanism, IEICE Transactions on Information and Systems, Vol.E80-D, No.9, pp.863-870, 1997.
- [5] H.Matsumoto, T.Hiraki : The shared memory architecture on the massively parallel processor, Technical report of IEICE, CPSY 92-36, pp.47-55, 1992.
- [6] 西村 克信, 工藤 知宏, 天野 英晴 : Pruning Cacheを用いた分散共有メモリのディレクトリ構成法, 情報処理学会論文誌, 第39巻, 第6号, pp.1644-1654, 1998.
- [7] Takayuki Kamei, Masashi Sasahara, Hideharu Amano : An LSI implementation of the Simple Serial Synchronized Multistage Interconnection Network, ASP-DAC'97, pp.673-674, 1997.
- [8] 星野 智則, 緑川 隆, 天野 英晴 : キャッシュ制御機構を持つスイッチ結合型マルチプロセッサSNAIL-2の実装, 電子情報通信学会コンピュータシステム研究会, CPSY99-70, pp.63-70, 1999.