

様々な準同期式回路合成法の比較

内海哲章, 石島誠一郎, 高橋篤司

東京工業大学 大学院 理工学研究科 集積システム専攻

〒152-8552 目黒区大岡山 2-12-1

TEL : 03-5734-3572 FAX : 03-5734-2902

E-mail:{utsumi, ishijima, atushi}@lab.ss.titech.ac.jp

あらまし

一般の同期式回路は、各レジスタに入力されるクロックのタイミングが同時であることが原則であり、完全同期式設計ではそれを前提として回路を設計する。これに対して、準同期式設計では、各レジスタに入力するクロックのタイミングを意図的にずらすことによって、最高クロック周波数をさらに高速化する。本研究では、準同期式回路について、完全同期設計で遅延最適化をせずに準同期化により高速化を図る、完全同期設計で遅延最適化後に準同期化を図る、など様々な合成法の得失について MIPS 命令互換プロセッサを例に議論する。

キーワード 準同期, 論理回路, プロセッサ, 遅延

Comparison among various synthesis methods on semi-synchronous framework

Tetsuaki Utsumi, Seiichiro Ishijima and Atsushi Takahashi

Department of Communications and Integrated Systems,

Tokyo Institute of Technology

Ookayama, Meguro, Tokyo, 152-8552

TEL : +81-3-5734-3572 FAX : +81-3-5734-2902

E-mail:{utsumi, ishijima, atushi}@lab.ss.titech.ac.jp

Abstract

The clock period of a synchronous circuit can become shorter if the clock input timing is properly scheduled, such a circuit is called a semi-synchronous circuit. In this paper, we synthesized a MIPS compatible microprocessor in several ways, such as only applying a semi-synchronous optimization, applying a semi-synchronous optimization after applying complete-synchronous optimization, and so on. Then we make a comparison among circuits obtained by those methods, and give considerations of semi-synchronous synthesis.

key words semi-synchronous design, logic circuit, processor, delay

1 序論

一般の同期式回路においては、各レジスタに入力されるクロックのタイミングは同時であることが原則であり、完全同期式設計ではそれを前提として回路を設計する。この場合、最高クロック周波数は、レジスタ間遅延の最大値によって決定されるため、要求されるクロック周波数が向上するにしがたって、それを満たす設計は困難になる。

一方、準同期式設計では、その制約を取り払い、データがレジスタに到着するタイミングと、クロックが到着するタイミングの相対的な関係のみを制約として回路を設計する [1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12]。よって、準同期式設計は、完全同期式設計に比べて設計の自由度が大きいと、完全同期式設計より高い性能を実現できると考えられる。

しかし、完全同期式設計によって作成した回路を、準同期化することによって得られる性能の向上の度合は、元の回路の性質に依存しているため、準同期式設計を活用するためには、その傾向を知る必要がある。

そのため、本研究では、準同期式回路について、完全同期設計で遅延最適化をせずに準同期化により高速化を図る、完全同期設計で遅延最適化後に準同期化を図る、など様々な合成法の得失について MIPS 命令互換プロセッサを例に議論する。

2 同期式回路

同期式回路は、クロック信号と呼ばれる同期信号を用いて、回路内の各レジスタを同期して動作させることにより、求める機能を実現する。

2.1 完全同期式設計による同期式回路

完全同期式設計によるクロック信号分配木は、回路内の全てのレジスタに対して等しい遅延時間でクロック信号を分配する。この方法では、レジスタ間遅延の最大値が最小クロック周期を決定する。

完全同期式設計における最高クロック周波数を向上させるための手法のひとつとして、リタイミングが挙げられる。リタイミングは、レジスタの挿入位置を変更することによって、レジスタ間遅延の平均化を図り、レジスタ間遅延の最大値を減少させる手法である。

2.2 準同期式設計による同期式回路

準同期式設計では、クロック信号を回路内の各レジスタに供給するタイミングは、必ずしも等しくない。あるクロックエッジで、あるレジスタから出力された信号が、組み合わせ回路によって処理され、その結果が一周期後

のクロックエッジで正しく次段のレジスタに取り込まれる、ということを制約として回路を作成する。

ここで、レジスタ u から出力されたデータを処理した結果が、レジスタ v に正しく入力されるための制約を考える。

$s(u)$: クロックソースから u のクロック入力端子までの遅延

$t_{ck \rightarrow d}$: レジスタのクロック入力端子からデータ出力端子までの遅延

$d_{\max}(u, v)$: u のデータ出力端子から v のデータ入力端子までの最大遅延

$d_{\min}(u, v)$: u のデータ出力端子から v のデータ入力端子までの最小遅延

T : クロック周期

とおくと、クロックソースにおいて時刻 0 に発生したクロック信号によってレジスタ u から出力されたデータを処理した結果が、レジスタ v のデータ入力端子において保持されるのは、時刻 $s(u) + t_{ck \rightarrow d} + d_{\max}(u, v)$ から時刻 $T + s(u) + t_{ck \rightarrow d} + d_{\min}(u, v)$ までである。また、クロックソースにおいて時刻 T に発生したクロック信号によって、レジスタ v が正しく入力データを取り込むためには、

t_{ds} : レジスタのセットアップ時間

t_{dh} : レジスタのホールド時間

とおくと、 $T + s(v) - t_{ds}$ から $T + s(v) + t_{dh}$ までの間は、レジスタ v の入力端子に有効なデータが保持されていなくてはならない。この制約条件を式に表すと、以下のようになる。

$$s(u) + t_{ck \rightarrow d} + d_{\max}(u, v) \leq T + s(v) - t_{ds}$$

$$s(u) + t_{ck \rightarrow d} + d_{\min}(u, v) \geq s(v) + t_{dh}$$

完全同期式設計では、回路内のどのようなレジスタの組 (u, v) に対しても $s(u) = s(v)$ と仮定するため、最小クロック周期は $t_{ck \rightarrow d} + d_{\max}(u, v) + t_{ds}$ の最大値となる。一方、準同期式設計では、この制約を満たしながら T を小さく出来るような $s(u)$ と $s(v)$ を与えることによって、完全同期式設計よりも高速なクロック周波数で動作させることが出来るようになる。

2.3 完全同期式回路の準同期化による高速化

準同期式設計では、完全同期式設計によって作成した回路を後から準同期化するという方法もとれるため、従来の設計フローや環境を流用して手軽に性能を改善できる。しかし、このような場合には、元の回路の特徴や構成によって、準同期化による性能の改善量は変化する。

3 回路の合成と分析

本研究では、MIPS R3000 のユーザモード命令セットについてバイナリ互換性のあるマイクロプロセッサを題

材として、準同期式回路の合成法の得失について比較した。作成したマイクロプロセッサは、四段パイプライン構造となっていて、約 1,500 個のレジスタを含んでいる。[11, 12]

題材とした回路は、準同期式設計と完全同期式設計を比較する目的で、一つのチップ上に、同じマイクロプロセッサを、準同期式設計と完全同期式設計の各方式でコアの部分だけ二種類実装できるように設計されたものである。今回は、コアの部分について、完全同期式設計によって最適化したものと、それをさらに準同期式設計によって最適化したものについて、面積や速度を比較した。

3.1 使用したライブラリとツール

本研究では、実プロセスのセルライブラリのデータを使用した。その概要を以下に示す。

- VDEC 用 EXD 社セルライブラリ (東大版)
- プロセス: CMOS 0.35 μ m (ローム株式会社)
 - PolySi: 2 層
 - メタル配線: 3 層
 - 電源電圧: 3.3[V]

また、回路の合成や分析には以下のツールを用いた。

- Synopsys DesignCompiler 2000.05
 - セル・ネット遅延の計算
 - 遅延情報ファイルの作成
 - セル総面積の計算
- 内製準同期化プログラム
 - レジスタ間遅延の計算
 - 完全同期時および準同期化時の最高クロック周波数の計算

3.2 回路の合成

回路は Verilog-HDL による RTL レベル記述となっていて、これを Synopsys DesignCompiler によって合成した。コアの部分の合成にあたってはクロック周期の制約を四通りに変化させ、その結果、コアを周辺回路と組み合わせた際に、それぞれ 21.21 ナノ秒、18.34 ナノ秒、14.21 ナノ秒、12.70 ナノ秒の最小クロック周期を得た。

3.3 回路の準同期化

完全同期式設計によって作成した四通りのコアについて、周辺回路と組み合わせた場合の遅延情報ファイルを Synopsys DesignCompiler によって作成し、これらのデータから、内製準同期化プログラムによって、レジスタ間遅延の分布、準同期化時の最小クロック周期と、その際にクロックスケジュールを調整する必要のあるレジスタ数を計算する。

4 実験

完全同期式設計時における最小クロック周期と、準同期化したときの最小クロック周期などとの関係を表 1 に、各回路のレジスタ間遅延の分布を表 2 に示す。

これによると、完全同期式設計時における最適化の度合いに関わらず、準同期化によってある程度の高速度が達成できていることがわかる。この回路については、完全同期式設計時における最適化による面積の拡大はそれほど大きくない。

回路の高速度のためには、実際にスケジュールを実現するクロック信号分配木を作成しなくてはならないが、今回はそれを行っていない。クロック信号分配木の合成法については、[3, 4, 11] などで議論されている。

5 今後の課題

今回の比較では、CAD ツールのライセンスの都合により、レイアウト後のデータを取得することができなかったために、ゲートレベルでのデータを使用して性能を評価した。しかし、より実際的な結果を得るためには、クロック分配木を含めたレイアウト後のデータで準同期式設計と完全同期式設計を比較する必要がある。

謝辞

本研究を進めるにあたり、貴重なご助言をいただいた東京工業大学高橋 (篤) 研究室の皆様へ深く感謝する。また、本研究において用いた CAD ツールおよびセルライブラリは、東京大学大規模集積システム設計教育研究センターから提供を受けたものである。なお、この研究は CAD21 プロジェクトの一部である。

参考文献

- [1] R. B. Deokar and S. S. Sapatnekar. A graph-theoretic approach to clock skew optimization. In *Proc. ISCAS '94*, Vol. 1, pp. 407–410, 1994.
- [2] J. P. Fishburn. Clock skew optimization. *IEEE Trans. on Computers*, Vol. 39, No. 7, pp. 945–951, 1990.

	完全同期時 最高クロック	準同期時 最高クロック	向上率	面積
(1)	21.21nsec. 47.1MHz	18.89nsec. 52.9MHz	12.3%	1.511mm ²
(2)	18.34nsec. 54.5MHz	15.32nsec. 65.3MHz	19.7%	1.516mm ²
(3)	14.21nsec. 70.4MHz	11.71nsec. 85.5MHz	21.3%	1.525mm ²
(4)	12.70nsec. 78.7MHz	10.83nsec. 92.33MHz	17.2%	1.538mm ²

表 1: 回路の性能比較

	0~2 nsec.	2~4 nsec.	4~6 nsec.	6~8 nsec.	8~10 nsec.	10~12 nsec.	12~14 nsec.	14~16 nsec.	16~18 nsec.	18~20 nsec.	20~22 nsec.	22~24 nsec.
(1)	5491	19443	25346	32059	53862	19873	13453	2004	298	32	103	1
(2)	6474	19417	31955	54238	44736	12723	2066	225	88	33	0	0
(3)	6526	19786	33701	56969	45448	9221	265	39	0	0	0	0
(4)	6630	20278	33552	73892	37212	137	254	0	0	0	0	0

表 2: レジスタ間遅延の分布

- [3] K. Inoue, W. Takahashi, A. Takahashi, and Y. Kajitani. Schedule-clock-tree routing for semi-synchronous circuits. *IEICE Transactions on Fundamentals*, Vol. E82-A, No. 11, pp. 2431-2439, 1999.
- [4] M. Saitoh, M. Azuma, and A. Takahashi. Clustering based fast clock scheduling for light clock-tree. In *Proc. Design Automation and Test in Europe Conference and Exhibition*, pp. 240-244, 2001.
- [5] A. Takahashi, K. Inoue, and Y. Kajitani. Clock-tree routing realizing a clock-schedule for semi-synchronous circuits. In *Proc. 1997 ICCAD*, pp. 260-265, 1997.
- [6] A. Takahashi and Y. Kajitani. Performance and reliability driven clock scheduling of sequential logic circuits. In *Proc. ASP-DAC '97*, pp. 37-42, 1997.
- [7] A. Takahashi, W. Takahashi, and Y. Kajitani. Clock-routing driven layout methodology for semi-synchronous circuit design. In *Proc. TAU '97*, pp. 63-66, 1997.
- [8] M. Toyonaga, K. Kurokawa, T. Yasui, and A. Takahashi. A practical clock tree synthesis for semi-synchronous circuits. In *Proc. ACM International Symposium on Physical Design*, pp. 159-164, 2000.
- [9] T. Yoda and A. Takahashi. Clock period minimization of semi-synchronous circuits by gate-level delay insertion. *IEICE Transactions on Fundamentals*, Vol. E82-A, No. 11, pp. 2383-2389, 1999.
- [10] T. Yoda and A. Takahashi. Clock schedule design for minimum realization cost. *IEICE Transactions on Fundamentals*, Vol. E83-A, No. 12, pp. 2552-2557, 2000.
- [11] 石島誠一郎, 高橋篤司. 準同期回路設計環境を用いた準同期クロック木構成手法. SLDM 2001-SLDM-99 (2001-2), 情報処理学会研究報告, 2001.
- [12] 大戸友博, 石島誠一郎, 内海哲章, 畔上謙吾, 高橋篤司. 準同期式設計法を用いたプロセッサ設計. VLD 2000-101 (100-437), 電子情報通信学会技術研究報告, 2000.