

## 非同期式 VLSI 設計用 CAD システムの提案

宮沢義幸\* 中越優佳\* [miyazawa,yuka]@ats.nis.nec.co.jp  
今井 雅† Rafael Morizawa† [miyabi,rafael]@rcast.u-tokyo.ac.jp  
Metehan Ozcan† 中村宏† 南谷崇† [metehan,nakamua,nanya]@rcast.u-tokyo.ac.jp  
高橋渡‡ 若林一敏‡ [wataru,wakaba]@ccm.cl.nec.co.jp

\* NEC 情報システムズ 〒 213-0012 川崎市高津区坂戸 3-2-1 Tel:044-812-8411  
† 東京大学 先端科学技術研究センター 〒 153-9804 東京都目黒区 駒場 4-6-1 Tel:03-5452-5164  
‡ NEC マルチメディア研究所 〒 216-8555 川崎市宮前区宮崎 4-1-1 Tel:044-856-2134

あらまし

本論文では、既存の同期式の CAD システムと新規に開発した非同期式 VLSI 設計用ツールを融合して非同期式 VLSI の RTL 記述からレイアウトまでを対象とした総合的な合成フローを提案する。非同期式回路の設計方法論は、要求応答ハンドシェイクモデルに基づいているが、同期式回路の設計者には馴染のないものである。我々は、同期式回路の設計者にも分かりやすい、フォーク、セレクトなどコントロールを含んだ7つのモジュールとレジスタを使う設計モデル定義した。本 CAD システムは、従来の1線モジュールからの2線化、及び、細粒度パイプライン化を経て、このモデルをベースとした RTL 記述を2線2相式のハンドシェイクプロトコルに基づいた非同期式回路に変換するものである。

キーワード 非同期式回路, VLSI, 論理合成

## CAD System for Asynchronous VLSI Circuit.

Yoshiyuki MITAZAWA\* Yuka NAKAGOSHI\* [miyazawa,yuka]@ats.nis.nec.co.jp  
Masashi IMAI† Rafael MORIZAWA† [miyabi,rafael]@rcast.u-tokyo.ac.jp  
Metehan OZCAN† Hiroshi NAKAMURA† [metehan,nakamua]@rcast.u-tokyo.ac.jp  
Takashi NANYA† [nanya]@rcast.u-tokyo.ac.jp  
Wataru TAKAHASHI‡ Kazutoshi WAKABAYASHI‡ [wataru,wakaba]@ccm.cl.nec.co.jp

\* NEC Informatec Systems,Ltd.  
2-1-3,Sakado,Takatsu-ku,Kawasaki,213-0012,Japan Tel:+81-44-812-8411  
† Reserch Center for Advanced Science and Technology, Tokyo University.  
4-6-1 Komaba,Meguro-ku,Tokyo,153-8904,Japan Tel:+81-3-5452-5164  
‡ Multi Media Resach Lab, NEC Corporation.  
4-1-1 Miyazaki Miyamae-ku Kawasaki 216-8555,Japan Tel:+81-44-856-2134

### abstract

This paper proposes an entire CAD flow from RTL to layout for asynchronous VLSI circuits, which consists of existing synchronous CAD tools and newly developed asynchronous tools. Though conventional asynchronous design methodology has been based on the request-acknowledge handshaking model, this model is not familiar to synchronous circuit designers. Therefore, we proposed a new asynchronous circuit model, which consists of a FSM controller and a datapath including seven control modules such as fork, select, merge, and registers, which is similar to synchronous circuit model and easily acceptable by synchronous circuit designers. The RTL description based on the model is translated into asynchronous circuits based on two-rail two phase model by the proposed CAD system, which adds request-acknowledge signals to function modules and translates the conventional single-rail function modules into two-rail ones and then into fine grain pipelined ones.

key words Asynchronous Circuit, VLSI, Logic Synthesis

## 1 はじめに

近年の半導体・集積回路技術の進歩に伴うプロセス微細化とチップ面積大規模化により配線遅延が増加し、ゲート回路の遅延よりも支配的要因になりつつある。

従来の「同期式」デジタル設計スタイルでは、クロックをシステム全域に分配するため、今後の素子技術の進歩の恩恵を十分受けられず、プロセッサ性能が飽和点に近づくことが予想される。これに対して、システム全体に分配されるクロックを使用せず、局所的な事象生起の因果関係だけを駆動原理とする「非同期式」設計スタイル [1] では、動作性能が平均的な信号伝播遅延のみで定まるため、計算と通信の局所性をフルに活用したアーキテクチャの採用によって素子の速度向上をそのまま直線的にシステムの性能向上に反映することが可能となる。

既に、商用 RISC マイクロプロセッサ MIPS-2000 と互換の完全非同期式マイクロプロセッサ (TITAC-2[2]、[3]) は実現されており、非同期式 VLSI スタイルの有効性が実証されているが、現状では、非同期式設計スタイルを支援する十分な CAD 環境がないため、その設計技術の普及、実用化を妨げている。

本論文では、局所的に同期式に基づいて動作する機能モジュールの結合から成る非同期式システムのモデル [4] を使った非同期式 VLSI 設計用 CAD システムについて述べる。本 CAD システムは、その設計モデルの特徴から、現行の同期式設計用 CAD システムと融合しており、同期式システムの設計者でも非同期システムの設計が可能であることが特徴である。

## 2 非同期式設計モデル

非同期式回路 (制御回路とデータパス回路) の合成には、基本的に 2 つのアプローチがある。一つは、制御回路とデータパス回路の両方を合成するために、CSP[5] に基づく高レベルな仕様記述言語を使う手法であり、もう一つは、制御回路合成のために、信号遷移グラフ (STG: signal Transition Graph)[6][7] または、有限状態機械 (FSM: finite state machine)[10][11] を使う手法である。本稿で提案する CAD システムにおける各合成対象モジュールは、状態機械とデータパスで構成される。状態機械は次状態を生成するための組み合わせ回路 (next state function) と、データパス内のデータの流れを制御す

る信号 (datapath control) と制御出力 (control outputs) を生成する組み合わせ回路 (output function)、及び状態を記憶する状態レジスタ (state register) と制御出力用レジスタ (control output register) から構成されている。次状態は状態レジスタの内容と制御入力 (control inputs)、及びデータパスからのステータス信号 (status) から生成され、データパス制御信号と制御出力は状態レジスタの内容と制御入力から生成される。また、データパスは外部からの入力、データレジスタの内容、FSM からの制御信号 (datapath control) を入力とした組み合わせ回路により構成され、演算結果をデータレジスタ、あるいは FSM にステータス信号 (status) として出力する。

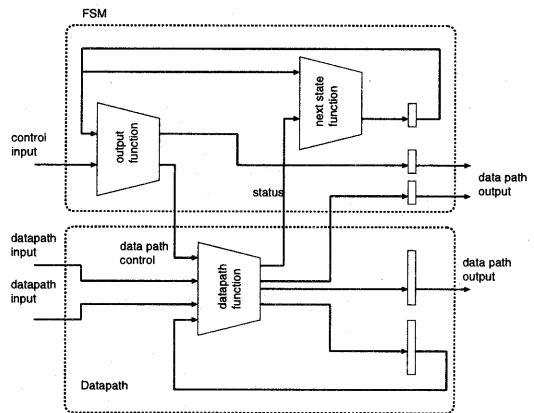


図 1: 状態機械とデータパス

## 3 データパス及び、制御回路のモジュール構成

図 1 に示すように、非同期式回路を演算モジュール、分岐モジュール、合流モジュール、レジスタ等あらかじめ機能が限定された 8 種類のモジュールによって記述することで、要求応答信号の自動生成が可能になる。機能モジュール及び、トップモジュールは verilog の構造記述として階層設計されたものを対象とする。機能モジュールは、レジスタを介して相互接続され、機能モジュール同士は要求-応答プロトコルに基づいて動作することで回路全体を構成する。

- (1) function 演算器回路。次状態計算回路、データパス制御回路もこれに含まれる。

- (2) fork 入力ポートが有効な場合、n 出力全てにデータを送る。(分岐)
- (3) セレクト (1-out-of-n) n 出力データ中、1 入力  
のデータだけを転送するセクタ
- (4) セレクト (一般系) n 出力データ中、任意の複  
数個の入力のデータを転送するセクタ
- (5) レジスタ n ビットレジスタ
- (6) マージ (OR) n 入力データ中、1 入力だけが有  
効である場合においても、データは1 入力  
ポートにしか入力されないセクタ
- (7) マージ (ALL) n 入力データ中、全ての入力ポ  
ートに有効データが入力されるセクタ
- (8) マージ (一般系) n 入力データ中、少なくとも 1  
入力が有効である場合、有効データが入力され  
る入力ポート数が次状態に依存するセクタ

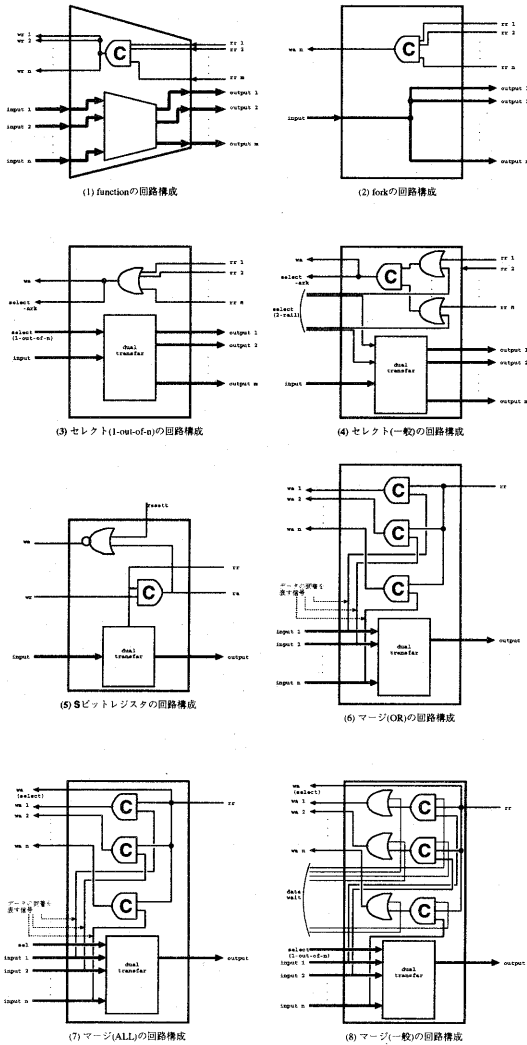


図 2: 機能モジュールの回路構成

## 4 非同期式 VLSI 設計用 CAD システム構成

本システムの入力は、図 3 のように高レベルの記述から変換あるいは、直接記述された verilog の構造記述を対象とし、機能モジュールの 2 線化、細粒度パイプライン化、SDI (Scalable-Delay-Insensitive) モデル [3] に基づく遅延検証を自動で行う。

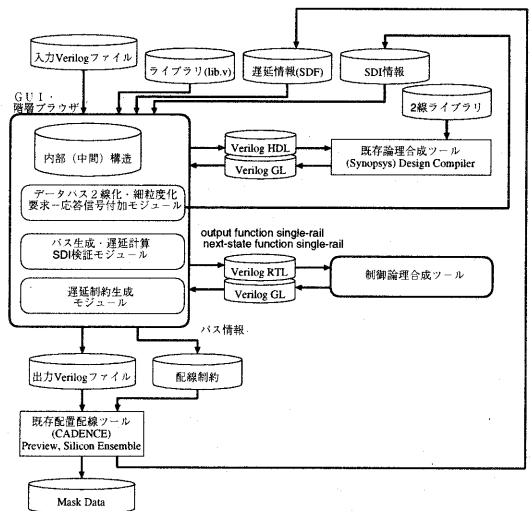


図 3: 非同期式 VLSI 設計用 CAD システム構成

#### 4.1 1線モジュールの2線化

図2に示す8種のモジュールによって定義された下位階層モジュールと上位モジュールに対して、2線2相式に基づいた2線式符号(1,0),(0,1)に相当するポートの追加と、機能モジュールの2線化を行う。2線化のフェーズでは、図4に示すように、元モジュールの入出力データ線に否定線を追加し、各インスタンスに対応するDDL(Differential-Domino-Logic)セルを付加した後に肯定線/否定線の結線を行う。制御用ポートの結線方法は細粒度化処理に依存するため、結線は、細粒度化処理後に行う。

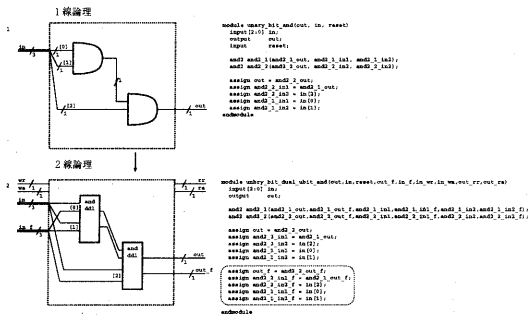


図4: 単項ビットアンドの2線化

#### 4.2 細粒度パイプライン化

2線化を行なったモジュールに対しては、図5に示すように、要求、応答に伴うオーバーヘッドを隠蔽するために、DDL(Differential-Domino-Logic)回路を用いた細粒度パイプライン [8] の構造を生成する。

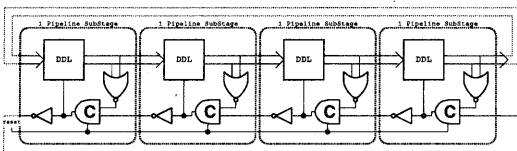


図5: DDL回路による細粒度パイプライン構成

細粒度パイプラインでは、初期データを持たないラッチの挿入を行なうことで、1ステージを複数のサブステージに分割する。この結果、各サブステージ内の演算実行と、それに先行する要求応答制御が並行して動作する。細粒度パイプライン化は、各サブステージ内のDDLセルインスタンスの段数マージンが2以上のパスに対し、DDLのバッファを挿入する処理(図6,7)と、制御回路を付加する処理に

分れる。制御回路はC素子、遅延素子、NORゲートで構成する。C素子は、全ての入力が1の場合に出力が1、全ての入力が0の場合に出力が0、入力が0、1が混在した場合、直前の値を保持する記憶素子である。

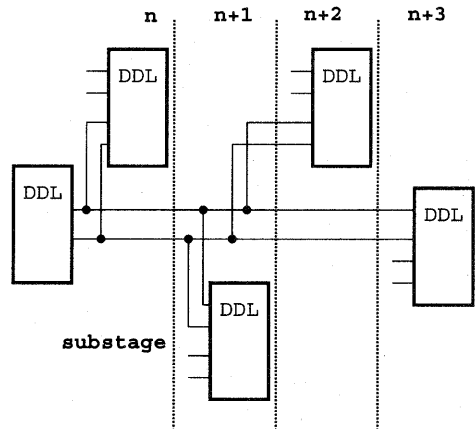


図6: サブステージへのバッファ挿入前

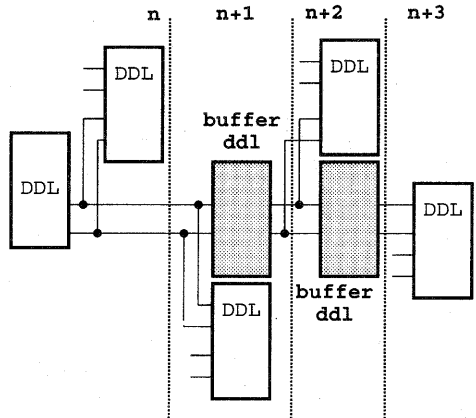


図7: サブステージへのバッファ挿入後

##### 4.2.1 サブステージの細粒度制御回路

各サブステージに制御回路を付加する。各サブステージの制御回路はc素子、遅延素子、norゲートから構成される。(図9)

c素子には

- 前段サブステージの遅延素子の出力
- 後段サブステージのnorゲート出力

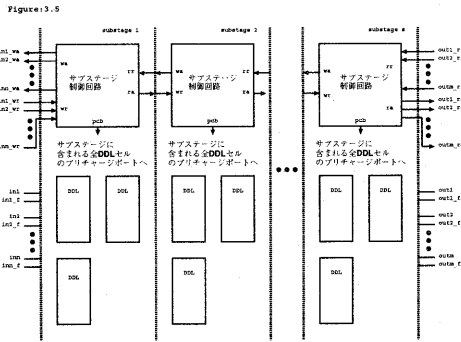


図 8: DDL 回路のマクロパイプライン構成

が入力される。最初のサブステージにおいては function モジュールの全ての wr 信号が入力される。また最後のサブステージにおいては function モジュールの全ての rr 信号が入力される。

遅延素子の出力は後段の c 素子に入力にされるが、最後のサブステージにおいては function モジュール全ての ra ポートに接続される。

nor ゲートの出力は前段の c 素子に入力にされるが、最初のサブステージにおいては function モジュール全ての wa ポートに接続される。

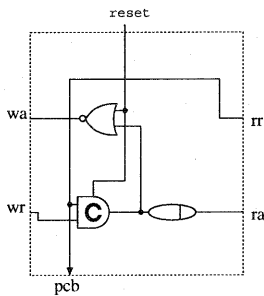


図 9: サブステージの制御回路

遅延素子の立ち上がり遅延は

$$\text{遅延素子の立ち上がり遅延} \geq D_{eval}^{max} - D_{Crisis}^{min}$$

を満たしている必要がある。ここで  $D_{eval}^{max}$  はサブステージの稼働相時の遅延の最大値を表す。これはサブステージのデータ入力からデータ出力に至る全てのバスの立ち上がり遅延の最大値に等しい。また  $D_{Crisis}^{min}$  は c 素子の立ち上がり遅延の最小値を表す。

また立ち下がり遅延は

$$\text{遅延素子の立ち下がり遅延} \geq D_{precharge}^{max} - D_{Cfall}^{min}$$

サブステージに含まれる DDL バッファのプリチャージの遅延を満たしている必要がある。ここで  $D_{precharge}^{max}$  はサブステージの休止相時の遅延の最大値を表す。これはサブステージに含まれる DDL セルのうちプリチャージに掛る遅延が最も大きいセルのプリチャージ遅延に等しい。  $D_{Cfall}^{min}$  は c 素子の立ち下がり遅延の最小値を表す。

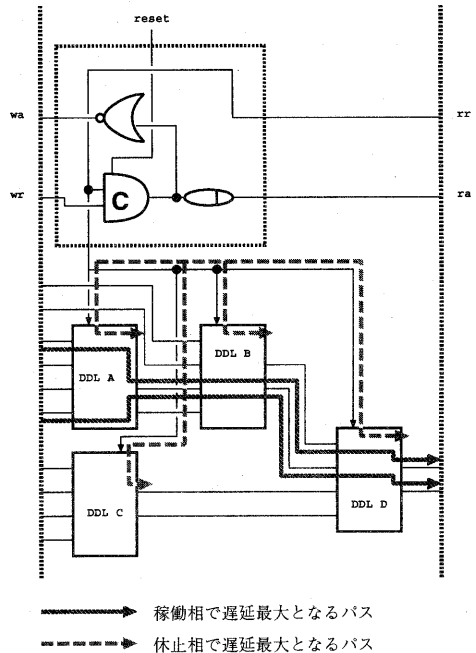


図 10: 遅延素子の遅延決定に関わるサブステージの遅延計算

例えば図 10 のようなサブステージの場合を考える。各 DDL セルの稼働相時の遅延が全て  $DDL_{eval}$  であるとする。データ入力からデータ出力に至る全てのパスのうち立ち上がり遅延が最大になるパスは図中太線で示したパスである。従って遅延素子の立ち上がり遅延は

$$\text{遅延素子の立ち上がり遅延} \geq DDL_{eval} * 3 - D_{Crisis}^{min}$$

を満たしていればよい。

また各 DDL セルのプリチャージ遅延が全て  $DDL_{precharge}$  であるとする。遅延素子の立ち上がり遅延は

$$\text{遅延素子の立ち下がり遅延} \geq DDL_{precharge} - D_{Cfall}^{min}$$

を満たしていればよい。本システムでは、上記の遅延条件を満たすようにサブステージに制御回路を付加する。

### 4.3 SDI モデルに基づいたレイアウト合成

制御回路およびデータパスの設計では、SDI モデルに基づいた論理合成を行う。SDI モデルに基づいた設計では、正しく動作するためにパスの遅延に関して速いパスの遅延と遅いパスの遅延が  $k$  倍となるような制約が与えられる。この遅延関係を満たすため、フロアプランおよび配置配線の際に与える制約を自動生成する。フロアプラン、配置配線ツールとしては既存の配置配線ツールである Silicon Ensemble を使用する。この Silicon Ensemble を用いる際に適用する制約を自動生成する。

## 5 まとめ

同期式設計と融合した非同期式設計スタイルに基づいた、非同期式 VLSI の設計用 CAD システムを提案した。今後、本システムを用いて、実際に細粒度化によるオーバーヘッド隠蔽効果の評価、遅延性能の評価等を行ない、ここで使用した非同期式設計モデルの有効性を確認し、実用化することが今後の課題である。

### 参考文献

- [1] 南谷崇. 非同期式マイクロプロセッサの動向. 情報処理, Vol. 39, No. 3, pp. 181–186, March 1998.
- [2] 高村明裕, 桑子雅史, 南谷崇. 非同期式プロセッサ TITAC-2 の論理設計における高速化手法. 信学論 (D-I), Vol. J80-D-I, No. 3, pp. 189–196, March 1997.
- [3] Takashi Nanya, Akihiro Takamura, Masashi Kuwako, Masashi Imai, Taro Fujii, Motokazu Ozawa, Izumi Fukasaku, Yoichiro Ueno, Fuyuki Okamoto, Hiroki Fujimoto, Osamu Fujita, Masakazu Yamashina, and Masao Fukuma. TITAC-2: A 32-bit Scalable-Delay-Insensitive Microprocessor. In *HOT CHIPS IX*, pp. 19–32, Stanford, August 1997.
- [4] 今井雅, 南谷崇. 遅延情報を利用した非同期式 RTL 設計モデルの提案. 電子情報通信学会 VLSI 設計技術研究会, Nov 2000.
- [5] Kees van Berkel. *Handshake Circuits: an Asynchronous Architecture for VLSI Programming*, Vol. 5 of *International Series on Parallel Computation*. Cambridge University Press, 1993.
- [6] Tam-Anh Chu. *Synthesis of Self-Timed VLSI Circuits from Graph-Theoretic Specifications*. PhD thesis, MIT Laboratory for Computer Science, June 1987.
- [7] Sung Bum Park and T. Nanya. Synthesis of asynchronous circuits from signal transition graph specifications. *IEICE Transactions on Information and Systems*, Vol. E80-D, No. 3, pp. 326–335, March 1997.
- [8] Alain J. Martin, Andrew Lines, Rajit Manohar, Mika Nystroem, Paul Penzes, Robert Southworth, and Uri Cummings. The design of an asynchronous MIPS R3000 microprocessor. In *Advanced Research in VLSI*, pp. 164–181, September 1997.
- [9] Takashi Nanya, Akihiro Takamura, Masashi Kuwako, Masashi Imai, Motokazu Ozawa, Metehan Ozcan, Rafael Morizawa, and Hiroshi Nakamura. Scalable-delay-insensitive design: A high-performance approach to dependable asynchronous systems. In *International Symposium on Future of Intellectual Integrated Electronics*, pp. 531–540, Sendai, Japan, March 1999.
- [10] Steven M. Nowick. *Automatic Synthesis of Burst-Mode Asynchronous Controllers*. PhD thesis, Stanford University, Department of Computer Science, 1993.
- [11] Kenneth Yi Yun. *Synthesis of Asynchronous Controllers for Heterogeneous Systems*. PhD thesis, Stanford University, August 1994.
- [12] M.Ozcan, K.Motoyama, T.Nanya. Verification of timing constraints for fine-grain pipelined asynchronous data-path circuits. 電子情報通信学会 VLSI 設計技術研究会, Nov 2000, VLD2000-93