

## ポストレイアウトトランジスタ寸法最適化による クロストークノイズ削減手法

橋本 昌宜<sup>†</sup> 高橋 正郎<sup>†</sup> 小野寺秀俊<sup>†</sup>

<sup>†</sup> 京都大学情報学研究科通信情報システム専攻  
〒606-8501 京都市左京区吉田本町

E-mail: †{hasimoto,takahasi,onodera}@vlsi.kuee.kyoto-u.ac.jp

あらまし 詳細配線後にセル内トランジスタ寸法を調節し、クロストークノイズを削減する手法を提案する。提案手法は、詳細配線後のレイアウトから抽出した正確な配線情報をもとに、攻撃配線のドライバーの駆動力を下げることによりクロストークノイズを低減する。提案手法は、配線の変更を全く伴わずにトランジスタ寸法の調節が可能な設計手法を利用する。したがって、回路修正による新たなノイズの問題を引き起こすことがなく、効率的な最適化が可能である。提案手法を二つの回路に適用し、有効性を実験的に評価した。遅延を増加させることなく、最大ノイズ電圧を50%程度削減することが可能であった。提案手法は詳細配線後にクロストークノイズの問題の危険性を大幅に低減することができる。

キーワード クロストークノイズ、容量性結合ノイズ、ノイズ最適化、トランジスタ寸法最適化、ポストレイアウト最適化

## Crosstalk Noise Optimization by Post-Layout Transistor Sizing

Masanori HASHIMOTO<sup>†</sup>, Masao TAKAHASHI<sup>†</sup>, and Hidetoshi ONODERA<sup>†</sup>

<sup>†</sup> Dept. Communications and Computer Engineering, Kyoto University  
Yoshida-Honmachi, Sakyo-ku, Kyoto, 606-8501 Japan

E-mail: †{hasimoto,takahasi,onodera}@vlsi.kuee.kyoto-u.ac.jp

**Abstract** This paper proposes a post-layout transistor sizing method for crosstalk noise reduction. The proposed method downsizes the drivers of the aggressive wires for noise reduction, utilizing the precise interconnect information extracted from the detail-routed layouts. Our method exploits a transistor sizing framework that can vary the transistor widths inside cells without any interconnect modifications. Our optimization method therefore never cause a new crosstalk noise problem, and does not need iterative layout optimization. The effectiveness of the proposed method is experimentally examined using 2 circuits. The maximum noise voltage is reduced by more than 50% without delay increase. These results show that the risk of crosstalk noise problems can be considerably reduced after detail-routing.

**Key words** crosstalk noise, capacitive coupling noise, noise optimization, transistor sizing, post-layout optimization

## 1. はじめに

クロストークノイズの問題は配線構造つまり結合長、配線間隔、隣接位置などに強く依存しており、配線最適化によるクロストークノイズ低減手法が多く提案されている [1-3]。バッファの挿入もノイズの削減に有効で、いくつかの手法が提案されている [4,5]。文献 [6-8] では、トランジスタ寸法最適化によるクロストークノイズ削減手法の有効性が議論されている。しかし、具体的な実装結果は示されていない。近年、文献 [9] でトランジスタ寸法最適化によるクロストークノイズ削減手法が提案されている。この手法は、文献 [8] で提案されているクロストークノイズ見積もり手法を用いており、遅延とクロストークノイズの制約下で回路面積を最小化している。文献 [9] のトランジスタ寸法最適化手法は、最適化後のレイアウトの変更を考慮していない。最適化結果をレイアウトに適用すると、配線の変更が必要となり、最適化結果を損なう、もしくは新たなクロストークノイズの問題を生じる恐れがある。実験では、ランダムに作成した非常に小さな回路を最適化対象としており、文献 [9] の手法の有効性は明らかではない。

本稿では、ポストレイアウトトランジスタ寸法最適化によるクロストークノイズ削減手法を提案する。提案手法は配線を一切変更することなく、詳細配線後の回路を最適化する。詳細配線後に最適化を行うため、クロストークノイズの見積もりに必要な配線の情報を正確に得ることができる。提案手法は配線を保存した状態でセル内のトランジスタ寸法を縮小することができるトランジスタ寸法最適化の枠組みを用いている [10,11]。これにより、最適化の結果を完全にレイアウトへ反映させることができる。この枠組みでは、最適化結果にしたがってさまざまな駆動力を持つセルを即座に生成する。したがって、セルベース設計環境の中でトランジスタレベルの最適化を行うことができる。このトランジスタ寸法最適化の枠組みを利用することにより、提案手法は詳細配線後に効率的にクロストークノイズを削減することができる。クロストークノイズの見積もりは、 $2\pi$  クロストークノイズモデル [12] を用いて行う。このモデルでは、結合位置、分布 RC 配線、入力信号のなまりを考慮することができる。文献 [12] では、LSI 内のあらゆる RC 配線を  $2\pi$  ノイズモデルに適用する手法も示しており、実際の回路に対するノイズの見積もりが可能である。遅延制約下で効果的に解空間を探索することができるクロストークノイズ最適

化アルゴリズムを開発した。トランジスタ寸法最適化の枠組み [10,11]、クロストークノイズ見積もり手法 [12]、そして提案最適化アルゴリズムによって、提案手法は配線と回路遅延を保存した状態で、クロストークノイズの最適化が可能である。

本稿の章構成は次の通りである。第 2 章では、クロストークノイズ見積もり手法を説明する。第 3 章では、クロストークノイズを低減する最適化アルゴリズムを示す。第 4 章で実験結果を示し、第 5 章でまとめを述べる。

## 2. クロストークノイズの見積もり

本章では、クロストークノイズの見積もりについて議論する。提案手法は、クロストークノイズの見積もりに  $2\pi$  ノイズモデル [12] を用いており、簡単に説明する。続いて、複数の攻撃配線を持つ配線においてタイミングウィンドウを考慮した重ね合わせによりノイズを見積もる手法について議論する。

### 2.1 クロストークノイズ見積もりの概要

実際の回路中では、多くの配線が複数の配線と隣接している、つまり複数の攻撃配線を持つ。提案手法では、各攻撃配線によって生じるピークノイズ電圧を個別に求め、重ね合わせによって最大ノイズ電圧を計算する。ノイズ電圧の重ね合わせについては 2.2 節で議論する。

一本の攻撃配線を持つ被害配線は二本の部分隣接配線で表される (図 1)。図 1 の部分隣接配線は、図 2 の等価回路にモデル化できる。 $R_{v1}$  は被害配線のドライバーの等価保持抵抗、 $R_{a1}$  は攻撃配線のドライバーの等価駆動抵抗である。ノード  $n_{v2}$  は結合配線の中点に対応する。 $R_{v2}$  は始端から  $n_{v2}$  までの抵抗、 $R_{v3}$  は  $n_{v2}$  から終端までの抵抗である。 $C_c$  は被害配線と攻撃配線の間の結合容量である。容量  $C_{v1}$ 、 $C_{v2}$ 、 $C_{v3}$  は  $C_1/2$ 、 $(C_1 + C_2)/2$ 、 $C_2/2 + C_l$  で表される。ここで、 $C_1$  は始端から  $n_{v2}$  までの配線容量、 $C_2$  は  $n_{v2}$  から終端までの配線容量、 $C_l$  はレシーバの容量である。攻撃配線のパラメータ  $R_{a2}$ 、 $R_{a3}$ 、 $C_{a1}$ 、 $C_{a2}$ 、 $C_{a3}$  も同様に定める。文献 [12] では、分岐を持つ配線を図 2 のモデル回路に変換する手法についても提案している。ここでは、変換手法についての説明は省略する。

図 2 の回路において、ピークノイズ電圧  $V_{peak}$  は次のように表される [12]。

$$V_{peak} = \frac{(R_{v1} + R_{v2})C_c V_{dd}}{\tau_v} \left( \frac{\tau_v}{\tau_a} \right)^{-\frac{\tau_v}{\tau_v - \tau_a}}, \quad (1)$$

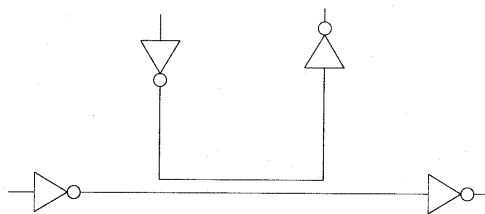


図1 二部分隣接配線

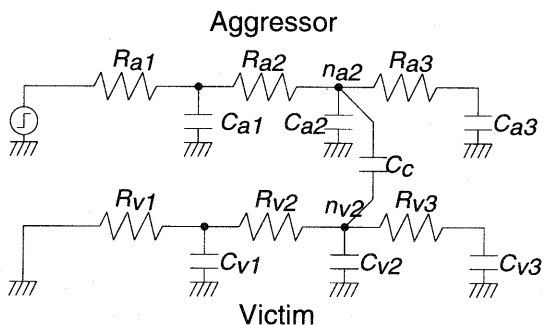


図2 クロストークノイズ見積もり用二部分隣接配線の等価回路

$$\tau_v = R_{v1}(C_{v1} + C_{v2} + C_c + C_{v3}) \quad (2)$$

$$+ R_{v2}(C_{v2} + C_c + C_{v3}) + R_{v3}C_{v3},$$

$$\tau_a = R_{a1}(C_{a1} + C_{a2} + C_c + C_{a3eff}) \quad (3)$$

$$+ R_{a2}(C_{a2} + C_c + C_{a3eff}),$$

$$C_{a3eff} = C_{a3} \left(1 - e^{-T/R_{a3}C_{a3}}\right), \quad (4)$$

$$T = R_{a1}(C_{a1} + C_{a2} + C_c + C_{a3}) \quad (5)$$

$$+ R_{a2}(C_{a2} + C_c + C_{a3}).$$

## 2.2 タイミングウィンドウに基づくノイズの重ね合わせ

提案手法は、各攻撃配線によって生じるピークノイズ電圧を個別に求め、終端での最大ノイズ電圧を重ね合わせによって求める。線形回路では、重ね合わせの法則が成り立つ。ノイズの振幅がそれほど大きくない場合、つまりCMOSゲートを線形抵抗として取り扱うことができる範囲においては、被害配線の終端でのノイズ波形は各攻撃配線によって引き起こされるノイズ波形の重ねあわせで求めることができる。文献[12]では、現実的な配線においてノイズの重ねあわせの法則が成り立つことが示されている。

ノイズの重ねあわせでは、攻撃配線の相対的な遷移のタイミングが重要である。同時に絶対に起こらないノイズを重ね合わせてしまうと、クロストークノイズを過大評価することになり、見積もられたノ

イズは非常に悲観的なものになる。過大評価を避けるため、遷移が起こる可能性があるタイミングウィンドウを計算する。タイミングウィンドウは遷移が起こる可能性がある時間範囲で、 $EAT_l$ と $LAT_l$ の間の時間範囲で定義する。 $EAT_l$ はセル $l$ の終端に信号が最も早く到着する時刻で、 $LAT_l$ は最終信号到着時刻である。 $EAT_l, LAT_l$ は以下のように計算する。

$$EAT_l = \min_{m \in FI(l)} \{EAT_m + d_{m,l}^{min}\}, \quad (6)$$

$$LAT_l = \max_{m \in FI(l)} \{LAT_m + d_{m,l}^{max}\}, \quad (7)$$

$FI(l)$ はセル $l$ の入力につながっているセルの集合である。 $d_{m,l}^{min}$ は、全ての攻撃配線と被害配線が同一方向に同時に動く場合のセル $m$ の出力からセル $l$ の出力までの最小遅延時間である。同様に $d_{m,l}^{max}$ は、被害配線の遷移方向がすべての攻撃配線の遷移方向と逆である場合の最大遅延時間である。文献[13]では、 $d_{m,l}^{max}$ の上限は次のようにして求めることができることが示されている。全ての結合容量を3倍の対地容量に変換し、セル遅延と配線遅延を計算する。 $d_{m,l}^{min}$ に関しては、結合容量を-1倍の対地容量に置き換える。今回の手法では、これらの $d_{m,l}^{max}, d_{m,l}^{min}$ の上限値をタイミングウィンドウ計算に用いる。

被害配線の $i$ 番目の終端における時刻 $t$ の最大ノイズ電圧 $V_{max,i}(t)$ は次のように表される。

$$V_{max,i}(t) = \sum_j^n k(t) \cdot V_{peak,j \rightarrow i}, \quad (8)$$

$$k(t) = \begin{cases} 1 & EAT_i \leq t \leq LAT_i \\ 0 & otherwise \end{cases} \quad (9)$$

$n$ は攻撃配線数、 $V_{peak,j \rightarrow i}$ は $j$ 番目の攻撃配線によって $i$ 番目の終端に生じるノイズ電圧である。時刻 $t$ をスweepし、各被害配線における最大ノイズ電圧を求める。

## 3. 最適化アルゴリズム

本章では、クロストークノイズを削減する最適化アルゴリズムについて議論する。提案アルゴリズムは遅延時間、遷移時間の制約のもとでクロストークノイズを削減する。まず、一本の被害配線とその隣接配線からなる局所問題の最適化アルゴリズムを説明する。その後、遅延制約のもとで回路全体の最適性を考慮しながら、局所最適化問題を生成する全体のアルゴリズムを示す。

### 3.1 各被害配線における最適化アルゴリズム

各被害配線に対するノイズ削減アルゴリズムを説明する。提案手法は被害配線におけるノイズ量を削減するために、隣接する攻撃配線のドライバー寸法を縮小する。攻撃配線のドライバー駆動力が弱くなった場合、つまりドライバー抵抗  $R_{a1}$  が大きくなった場合、攻撃電圧源の時定数  $\tau_a$  が大きくなる (式 (4))。その結果、被害配線における最大ノイズ電圧  $V_{peak}$  (式 (1)) が小さくなる。この関係は  $V_{peak}$  を  $R_{a1}$  で偏微分すると明らかである。

$$\frac{\partial V_{peak}}{\partial R_{a1}} = \frac{\tau_v(C_a + C_c)}{(\tau_v - \tau_a)^2} \left( \log \frac{\tau_a}{\tau_v} - \frac{\tau_a}{\tau_v} + 1 \right) \cdot V_{peak} \leq 0. \quad (10)$$

効果的にサイズを小さくする攻撃配線のドライバーを選択するために、*priority* という指標を考える。

$$priority_i = slack_i \cdot \sum_j^n V_{peak,i \rightarrow j}, \quad (11)$$

$V_{peak,i \rightarrow j}$  は  $i$  番目の攻撃配線によって  $j$  番目の終端に発生するノイズ電圧である。  $n$  は終端数である。  $slack_i$  は  $i$  番目の攻撃配線におけるタイミング余裕であり、信号の必要到着時刻と最終到着時刻の時間差で定義される [14]。  $priority_i$  の指標は、  $i$  番目の攻撃配線によって大きなノイズが発生し、かつ  $i$  番目の攻撃配線の遅延制約が厳しくないときに大きな値をとる。指標 *priority* を用いることにより、提案アルゴリズムは被害配線に強い影響を持ち、かつ回路遅延にほとんど影響を与えない攻撃配線を効率的に選択することができる。

クロストークノイズ問題の取り扱いが困難な点として、各被害配線は別の視点から見ると攻撃配線でもあるという事があげられる。被害配線のノイズを削減するために攻撃配線のドライバー寸法を小さくした場合、攻撃配線に発生するノイズが大きく増加する危険性がある。提案手法では被害配線、攻撃配線の両方におけるピークノイズを計算し、適切な攻撃配線のドライバー寸法を決定する。

**ステップ1:** 各隣接攻撃配線に対して *priority* (式 (11)) を計算し、全ての攻撃配線をリスト  $L_l$  に入れる。

**ステップ2:** リスト  $L_l$  から最大の *priority* を持つ攻撃配線を選択する。

**ステップ3:** 遅延制約、遷移時間制約を満たす範囲内で、選択した攻撃配線のドライバー寸法を縮小する。最適なドライバー寸法は  $V_v^2 + V_a^2$  の値が最小となる寸法とする。  $V_v$  は被害配線におけるノイズ電圧、

$V_a$  は攻撃配線におけるノイズ電圧である。現在の攻撃配線をリスト  $L_l$  から除く。

**ステップ4:** ノイズ電圧が目標値  $V_{target}$  よりも小さくなった場合、もしくはリスト  $L_l$  が空になった場合、最適化を終了する。それ以外の場合には、ステップ2に戻る。目標値  $V_{target}$  については次節で説明する。

### 3.2 全体の最適化アルゴリズム

3.1 節では、一本の被害配線とその隣接攻撃配線からなる局所問題の最適化アルゴリズムについて議論した。次に、回路全体の最適化アルゴリズムについて説明する。このアルゴリズムは、回路の最大ノイズ電圧および大きなノイズ電圧をもつ配線数の両方を削減することを目的とする。

最適化アルゴリズムは、以下のステージ1からステージ4の手順を *threshold* の値を徐々に小さくしながら数回繰り返す。パラメータ *threshold* は最適化する配線を選択するために用い、0から1の間の値をとる。回路中の最大ノイズ電圧  $V_{max}$  と *threshold* の積よりも大きなノイズ電圧をもつ配線を、最適化候補として選択する。最適化の初期の段階では、*threshold* を1近くに設定して、最大ノイズ電圧を重点的に削減する。最終段階では、*threshold* を0近くに設定し、回路中の多くの配線を最適化する。

**ステージ1:** 各配線におけるクロストークノイズ電圧を計算する。

**ステージ2:** 回路中のノイズ最大電圧  $V_{max}$  を求め、ノイズ電圧が  $V_{max} \times threshold$  よりも大きな配線を最適化候補リスト  $L_o$  に入れる。

**ステージ3:** リスト  $L_o$  から最大のノイズ電圧をもつ配線を選択し、3.1 節の最適化アルゴリズムを適用する。  $V_{max} \times threshold$  の値を最適化の目標値として与える。現在の配線をリスト  $L_o$  から除き、タイミングウィンドウの情報を更新する。

**ステージ4:** リスト  $L_o$  が空になった場合、最適化を終了する。それ以外の場合にはステージ3に戻る。

遅延制約が与えられた場合、各配線でのタイミング余裕をノイズの削減に効果的に用いる必要がある。最適化する配線の順序は良い回路を得る上で非常に重要である。最大ノイズ電圧を削減するために、提案アルゴリズムは大きなノイズ電圧を持つ配線を優先的に最適化する。ステージ2では、  $V_{max} \times threshold$  よりも小さなノイズ電圧値の配線を最適化対象から除いている。ステージ3では、ノイズ電圧の大きい

順で配線を最適化する。

ステージ 3 では、目標ノイズ電圧値  $V_{max} \times threshold$  を局所最適化問題に与えている。全体の最適性の観点から、局所最適化を制御するためである。局所最適化問題でノイズ電圧を最小化した場合、回路全体から見ると悪い局所解に陥る場合がある。他の配線のノイズを削減するために利用できるタイミング余裕を浪費するためである。提案アルゴリズムでは、ノイズ電圧が目標値よりも小さくなった場合、局所最適化を止める。最適化する配線の選択順と目標ノイズ値の設定により、提案アルゴリズムは遅延制約下で良い解に到達することができる。

#### 4. 実験結果

本章では、クロストークノイズ電圧の最適化結果を示す。実験に用いた回路は動画画像圧縮用プロセッサの ALU 部分 [15] (dsp\_alu) と LGSynth93 ベンチマークセットに含まれる回路 (des) である。dsp\_alu の回路規模は 12547 セル、des は 3414 セルである。dsp\_alu のレイアウト面積は  $5.3(2.3 \times 2.3) \text{mm}^2$ 、des は  $0.64(0.8 \times 0.8) \text{mm}^2$  である。配線の RC ツリーの抽出は疑似 3 次元 RC 抽出ツール [17] を用いてレイアウトより抽出した。10fF 以下の結合容量は対地容量として抽出した。10fF の結合容量は  $230 \mu\text{m}$  の結合長に対応する。電源電圧は 3.3V である。

実験には 3 層配線  $0.35 \mu\text{m}$  プロセスを用い、セルレイアウトはセルレイアウト生成システム VARDS [18] で生成した。VARDS は端子位置を固定した状態でセル内のトランジスタ寸法を変更することができる。この特徴を利用することにより、提案手法は詳細配線後の回路を配線の変更なく最適化することができる [10, 11]。生成したセルの高さは 13 配線ピッチである。トランジスタ寸法最適化では、VARDS がセルレイアウトを生成できる範囲内でトランジスタ寸法を縮小した。標準駆動能力セル (x1) の最大トランジスタ幅は  $6.2 \mu\text{m}$  で、 $0.9 \mu\text{m}$  まで縮小可能である。CMOS ゲートの出力抵抗は 4 つの値で特性評価した。 $R_{Dp}$ ,  $R_{Dn}$  はプルアップする PMOS, プルダウンする NMOS の駆動抵抗、 $R_{Hp}$ ,  $R_{Hn}$  は保持抵抗である。 $R_{Dp}$ ,  $R_{Dn}$  は回路シミュレーション結果と伝搬遅延が等しくなるように定める [19]。 $R_{Hp}$ ,  $R_{Hn}$  は回路シミュレーションの動作点解析より求める。

実験に用いた初期回路は通常のセルベース設計フローで回路遅延が最小となるように設計した回路である。初期回路の遅延時間を遅延制約とし、遅延時間が増えない範囲でクロストークノイズの最適化を

表 1 ノイズの最適化結果

回路	最大ノイズ電圧 (V)		CPU 時間 (s)	セル数
	初期回路	最適化回路		
des	0.40	0.19	41	3414
dsp_alu	1.00	0.50	1926	12547

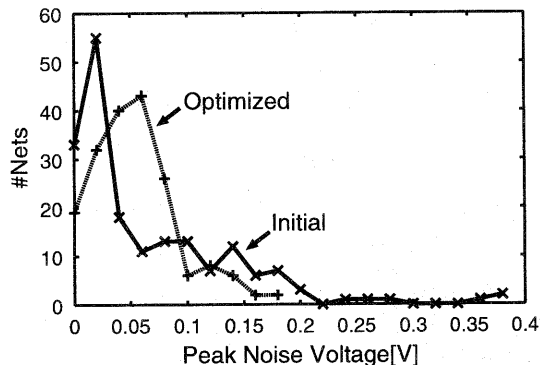


図 3 クロストークノイズの最適化結果 (des 回路)。

行った。与えた遷移時間の制約は 1.0ns で、初期回路の設計に与えた制約と同じである。表 1 はクロストークノイズの最適化結果を示している。図 3, 4 は最適化の前後の最大ノイズ電圧の分布を表している。des 回路では、最大ノイズ電圧が 0.40V から 0.19V と 53%削減されている。dsp\_alu 回路では、最大ノイズ電圧が 1.00V から 0.50V と 50%削減されている。ノイズ電圧の分布もノイズが減少する方向に移動している。0.5V 以上のノイズ電圧をもつ配線数は 59 から 2 まで減少している。最適化に要した CPU 時間は 3.4k セルの des 回路で 41 秒、13k セルの dsp\_alu 回路で 1926 秒であった。評価に用いた計算機は Alpha Station である。詳細配線終了後に、セル内部のトランジスタ寸法を縮小することにより、配線および回路遅延を保存した状態でクロストークノイズを大幅に削減することができる。提案手法は詳細配線後の最終設計段階において、クロストークノイズ問題の危険度を低減することができる。

最後にクロストークノイズ電圧の見積もり精度を示す。実際の回路、つまり CMOS ゲートで駆動された分岐のある配線を回路シミュレーションした結果と、解析的に見積もったノイズ電圧を比較した。図 5 にピークノイズ電圧の見積もり精度を示す。各点は一本の攻撃配線をもつ各被害配線に対応する。つまり、ノイズの重ねあわせを行う前の評価である。平均見積もり誤差は 10mV であった。

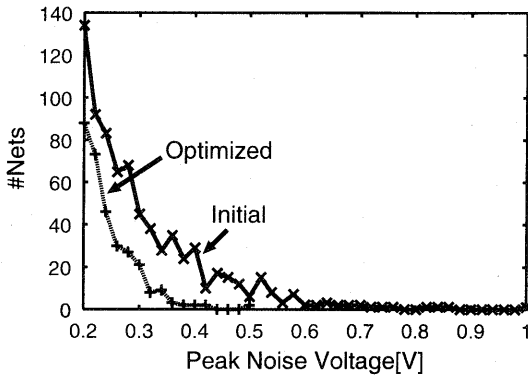


図4 クロストークノイズの最適化結果 (dsp\_alu 回路).

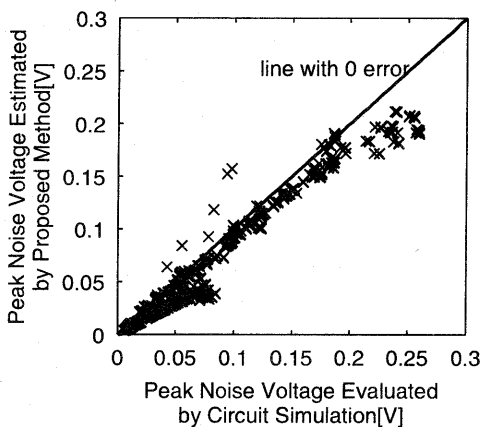


図5 ピークノイズ電圧の見積もり精度 (des 回路)

## 5. 結 論

本稿ではトランジスタ寸法最適化によるクロストークノイズ低減手法を提案した。提案手法は配線を変更することなくセル内のトランジスタ寸法を縮小することにより、詳細配線後の回路を最適化する。提案手法の有効性を2つの回路を用いて実験的に確認した。詳細配線後に遅延を増加させることなく50%以上最大ノイズ電圧を削減することができた。提案手法はクロストークノイズの問題の危険度を減少させることができ、信頼性の高いLSI設計に有効である。

## 文 献

[1] H. Zhou, and D. F. Wong, "Global Routing with Crosstalk Constraints," In *Proc. DAC*, pp.374-377, 1998.  
 [2] P. Saxena, and C. L. Liu, "Crosstalk Minimization using Wire Perturbations," In *Proc. DAC*, pp.100-103, 1999.  
 [3] T. Xue, E. S. Kuh, and D. Wang, "Post Global Rout-

ing Crosstalk Risk Estimation and Reduction," In *Proc. ICCAD*, pp.302-309, 1996.  
 [4] C.-P. Chen and N. Menezes, "Noise-aware Repeater Insertion and Wire Sizing for On-chip Interconnect Using Hierarchical Moment-Matching," In *Proc. DAC*, pp. 502-506, 1999.  
 [5] C. J. Alpert, A. Devgan, and S. T. Quay, "Buffer Insertion for Noise and Delay Optimization," In *Proc. DAC*, pp.362-367, 1998.  
 [6] A. Vittal, L. H. Chen, M. Marek-Sadowska, K.-P. Wang, and S. Yang, "Modeling Crosstalk in Resistive VLSI Interconnections," In *Proc. Int'l Conf. on VLSI Design*, pp.470-475, 1999.  
 [7] J. Cong, D. Z. Pan, and P. V. Srinivas, "Improved Crosstalk Modeling for Noise Constrained Interconnect Optimization?" In *Proc. ASP-DAC*, pp.373-378, 2001.  
 [8] A. Vittal and M. Marek-Sadowska, "Crosstalk Reduction for VLSI," *IEEE Trans. CAD*, Vol. 16, No. 3, pp.290-298, March 1997.  
 [9] T. Xiao and M. Marek-Sadowska, "Crosstalk Reduction by Transistor Sizing," In *Proc. ASP-DAC*, pp.137-140, 1999.  
 [10] M. Hashimoto and H. Onodera, "Post-Layout Transistor Sizing for Power Reduction in Cell-Based Design," In *Proc. ASP-DAC*, pp.359-365, 2001.  
 [11] H. Onodera, M. Hashimoto and T. Hashimoto, "ASIC Design Methodology with On-Demand Library Generation," In *Proc. Symposium on VLSI Circuits*, pp.57-60, 2001.  
 [12] M. Takahashi, M. Hashimoto, and H. Onodera, "Crosstalk Noise Estimation for Generic RC Trees," In *Proc. ICCD*, pp.110-116, 2001.  
 [13] P. Chen, D. A. Kirkpatrick and K. Keutzer, "Miller Factor for Gate-Level Coupling Delay Calculation," *Proc. ICCAD*, pp.68-74, 2000.  
 [14] R. B. Hitchcock, G. L. Smith and D. D. Cheng, "Timing Analysis of Computer Hardware," *IBM Journal of Research and Development*, Vol. 26, No. 1, pp.100-105, January 1982.  
 [15] T. Iwahashi, T. Shibayama, M. Hashimoto, K. Kobayashi and H. Onodera, "Vector Quantization Processor for Mobile Video Communication," In *Proc. ASIC/SOC Conf.*, pp.75-79, 2000.  
 [16] Synopsys Inc., *Design Compiler Reference Manual*, 1998.  
 [17] Arcadia Reference Manual. Synopsys, Inc., CA, 1999.  
 [18] T. Hashimoto and H. Onodera, "Layout Generation of Primitive Cells with Variable Driving Strength," In *Proc. SASIMI*, pp.122-129, 2000.  
 [19] M. J. S. Smith, "Application-Specific Integrated Circuits," Addison Wesley Longman, Inc., 1997.