

[招待論文] VDEC IP プロジェクトの現状と今後の展望

浅田邦博

東京大学

大規模集積システム設計教育研究センター

〒113-8656 東京都文京区本郷 7-3-1

E-mail: asada@silicon.u-tokyo.ac.jp

あらまし 発足後6年目を迎えるVDECの最初の4年間の活動を“LSI設計のためのインフラ整備”として総括し、それに引き続く2000-2003年度の4年間の取り組みの現状を紹介する。このプロジェクトは具体的には“IPプロジェクト”と“MCOREプロジェクト”の2つのサブプロジェクトからなっている。前者はIPを継続的に設計試作評価し洗練するもので、最終的にはVDEC IPデータベースに登録し全国のVDECユーザと産業界の利用に供する。後者は10の研究グループをモデルユーザとして商用のIPコアを用いたSoC設計技術を習得するためのケーススタディを実施するもので、将来的にIPベースSoC設計フローを確立することを目的とする。本稿ではさらに諸外国の活動の現状とVDECの将来計画についても述べる

キーワード VDEC, LSI, CAD, IP, MCORE, SoC

Current status of VDEC IP project  
and future plan

Kunihiro ASADA

VLSI Design and Education Center, University of Tokyo

7-3-1 Hongo, Bunkyo-ku, Tokyo, 113-8656 Japan

E-mail: asada@silicon.u-tokyo.ac.jp

**Abstract** This paper describes the current 4-years project running from 2000 to 2003, after summarizing the first 4-years VDEC activities as preparation of fundamentals for LSI design. The project consists of two sub-projects: “IP project” and “MCORE project.” The former is a project to provide refined IPs to universities as well as industry by means of VDEC IP-database, through continuing efforts of re-design and evaluation. The latter is a project where 10 model research groups try to use commercial IPs for SoC designs as case studies in order to establish an IP-based SoC design flow. This paper also describes outline of oversea activities along with a future plan of VDEC.

Key words VDEC, LSI, CAD, IP, MCORE, SoC

## 1. はじめに

東京大学大規模集積システム設計教育研究センター (VDEC) は発足後6年目を迎える。VDEC の使命は全国の国公立大学および高専の LSI 設計研究・教育を高度化し、産業界に対しても優秀な LSI 設計技術者を数多く送り出すことである。そのため VDEC では 1996-1999 年度の最初の4年間を“LSI 設計のためのインフラ整備”と位置づけ、必要なハードウェアとソフトウェアの整備に重点をおいて活動してきた。現在、振り返ってみてほぼその目的を達成したと考えている。

VDEC ではさらにそれに引き続く 2000-2003 年度の4年間を“学術的に価値の高い LSI 設計資産の創出・蓄積”と位置づけ、現在取り組んでいる。この目標に沿ったプロジェクトの中心に据えているものが本稿で紹介する“VDEC IP プロジェクト”である。このプロジェクトは具体的には“IP プロジェクト”と“MCORE プロジェクト”の2つのサブプロジェクトからなっている。

前者は全国の LSI 設計研究の先端に位置する研究グループの協力の下にそれぞれの得意とする IP を継続的に設計試作評価し洗練することで、最終的には VDEC IP データベースに登録し全国の VDEC ユーザと産業界の利用に供しようとするものである。後者は 10 の研究グループをモデルユーザに選定し商用の IP コアを用いた SoC 設計技術を習得するためのケーススタディを実施し、将来的には IP ベース SoC 設計フローを確立することを目的としている。副産物として大学における SoC 設計研究・教育向けの“標準プラットフォーム”が得られることも期待している。

以下、本稿ではまず LSI 設計のためのインフラ整備の成果を総括した後、現在行っている IP プロジェクトと MCORE プロジェクトの状況を紹介し、最後に諸外国の活動の現状と VDEC の将来計画について述べる。

## 2. LSI 設計のためのインフラ整備

1996 年の発足以来、VDEC では(1)チップ試作サービスの仕組み、(2)CAD ソフトウェアと技術ファイル整備、および(3)設計技術指導の仕組み、の3項目について重点的に取り組んできた。また LSI を設計試作できた後に直面する問題がテスト・評価の問題であり、設計試作の仕組みづくりと同時にテスト・評価システムの整備を行ってきた。

### 2. 1 チップ試作サービスの仕組み

この仕組みづくりに関しては米国 MOSIS やフランス CMP 等、すでに諸外国に手本があったが、我が国の半導体製造会社の特質を考慮していくつかの独自の方法を採用した。大学で必要な極少量多品種チップ試作でコストの大部分を占めるのはマスク製作費用であり、“相乗り試作”によるコストダウンはほぼ必須の手法である。そのため MOSIS や CMP 等では 1980 年代初頭よりマルチプロジェクトチップやマルチプロジェクトウェーハをベースとした相乗りチップ試作を行ってきた。

マルチプロジェクトチップとは一つのチップの中に複数の設計(プロジェクト)を取り込み、個別の設計をワイヤーボンディング段階で選択する方式である。組み立てられたチップの中にはすべての設計が入っており、ユーザ相互の設計機密保持の点では問題が多い。一方、マルチプロジェクトウェーハは一つのウェーハの中に異なるチップを取り込む方法であり、ダイシング段階で個別の設計が切り分けられる。この方法は当初コンタクト型露光装置を前提にしたもので、VDEC 設立の時点ですでに主流であった縮小露光装置ではそのままは実現できない方法であった。

そこで VDEC では縮小露光装置の露光単位での相乗り方式、“マルチプロジェクトレチクル”方式を採用した。この場合問題となったのが各ユーザのチップサイズであった。MOSIS や CMP ではこのチップサイズには上限と下限以外特定の制約をおかずユーザの自由に任せられている。またチップ試作価格もほぼ面積比例となっている。この方式はユーザの利便性が高いが、これを実現するには組立段階で個別のチップ仕様に対する“手作業”が必要である。残念ながらこのような細かい組立を組織的に受注してくれる会社を見いだすことは、大企業中心の当時の日本では大変困難であったため、VDEC では“標準チップ寸法”を定めることとした。さらに組立を自動化するため“標準パッド配列”を指定し、ユーザには必要の有無にかかわらずその規格を厳守していただく方針をとった(図 1)。これによりユーザは、場合によっては必要以上のチップ面積を購入することになるが、自動化によるコスト削減効果で面積単価では諸外国の半額以下に抑えることができた。

チップ試作サービスの頻度はもう一つの問題点であったが、我が国の潜在需要を考えるとときあまり高いサービス頻度は困難であった。相乗りに必要な最

低チップ数を確保するためである。そこでチップ設計・試作・評価の最小周期を6ヶ月と想定し、各試作技術毎に年2回のサービスを基本とすることとした。現在では比較の人気が高くチップ申し込みの多いものから年3回に増加している(表1)。

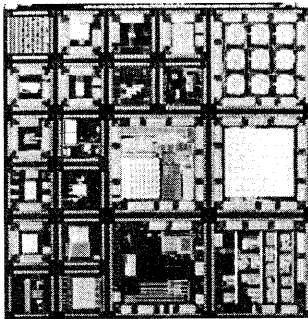


図1 VDECの標準チップフレームによる相乗りレチクル例(NEL0.5umCMOS)

表1 VDECチップ試作サービスメニュー(2000年)

試作技術	試作会社	導入時期	サービス頻度
0.5um	NEL 日立北海	1995	2回/年
1.2um	モトローラ オンセミ	1996	2回/年
0.6um	ローム	1997	3回/年
0.35um	日立製作所	1998	1回/年
0.35um	ローム	1999	2回/年

チップ試作技術の点では半導体製造技術はたゆまない進歩を続けている。いわゆるムーア曲線であるが、この原動力は微細化・大口径ウェーハ化によるLSIの性能価格比の向上であるとされている。残念ながらこれが成立するのは一定規模の量産品だけで、VDECの対象とする極少量多品種では成立しない。そのためVDECユーザにとっては微細化の進展とともに高いコストを支払う必要がでてくる。VDECではこの問題を注意深く検討してチップ標準寸法を決定し、チップ試作価格が過度に上昇することを押さえる努力をしてきた。併せてこれにはVDECに協力しているマスクメーカーおよび半導体製造メーカーの利益を度外視した協力の負うところも大きい。これらの結果、VDECをとおしたチップ試作品種数は毎年順調に伸びてきている(図2)。

VDECによるチップ試作サービスの仕組みにおける“アキレス腱”はチップ試作費用の支払いの仕組

みであった。MOSISやCMPはユーザからのチップ試作費を徴収しマスクメーカーや半導体製造メーカー、組立メーカー等にまとめて支払っている。また、“年度予算”主義をとっておらず、MOSISやCMP自体が“バッファ”として機能している。それに対しVDECは国立大学の施設であるため、チップ試作費用を徴収する機能を持ち得ない。そのためチップ試作契約はユーザ大学とチップ試作会社/代理店との直接契約の形態をとっている。このため大学によっては契約方法の違いにより少々混乱が生ずることがある。これはVDECシステムの欠点である。反面、VDECにとっては仕組みずして実施した“アウトソーシング”であり、最小の人的資源により最大の効果を得る結果ともなっている。

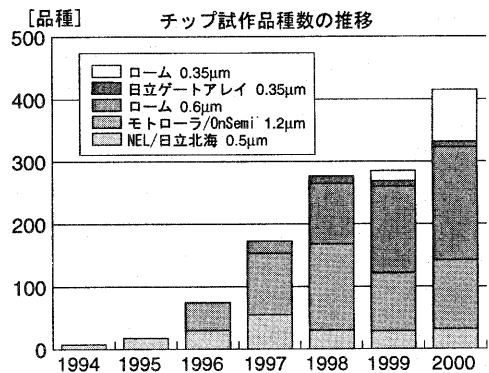


図2 試作チップ品種の増加

## 2.2 CADソフトウェアと技術ファイル整備

CADソフトウェアの整備に関してVDECは独自の的方法をとった。MOSISは大学ユーザに対し直接的CADソフトウェアの提供サービスを行っていない。CMPでは最小限の設計キットをチップ試作申込者に限定して提供している。それに対しVDECでは当初よりCADソフトウェアの提供をチップ試作申し込みとは切り離す方針をとった。大学によっては実チップ試作を伴わない設計演習に用いることを重視したためである。また、VDEC提供のCADソフトウェアをFPGA設計演習や、VDEC以外の試作サービスに利用するユーザにも便宜を与えることを目的としたためである。

CADソフトウェア自体の価格は高価なものであり、大学の通常の費用で導入することは困難であった。そのため米国のCADベンダーを中心に実施している、大学に対して安価にCADソフトウェアをレン

タルする“大学プログラム”が一つの解であった。しかし、大学プログラムは“1マイルライセンス”と呼ばれるように、個々のキャンパス毎に契約するのが原則であり、全国規模での導入には不向きであった。そこでVDECではCADベンダーと交渉を重ね、“1マイルを日本全国に拡張する”契約を結んだ。また実質的ユーザ大学数を最大100校程度と想定し、大学プログラムの費用の100倍程度を上限として提供を受けることで、協力を取り付けることができた。

ライセンスの供与の形態についてはユーザ数かなりの数に上ることから、“ノードロック”タイプではなく“フローティング”タイプを採用することとし、ネットワークを介してライセンス認証を行う方式とした。そのためネットワークの部分停止やライセンスサーバの保守停止をカバーする方式として、2階層のライセンスサービス方式をとることとした。つまり、全国を北海道、東北、関東、中部、北陸、近畿（2区）、中国・四国、九州・沖縄の9つの地域に分け、そこに地域センターをおきライセンスサーバを設置し、併せてVDECにライセンスサーバを設置した（図3）。ユーザは地元とVDECのライセンスサーバを適宜選択して利用する。CADソフトウェア・コード自体は各ユーザの手元にあり、ライセンス認証のトラフィック負荷は小さなものであるため、ユーザにとってはネットワークがダウンしない限り利便性の高いシステムとなっている。

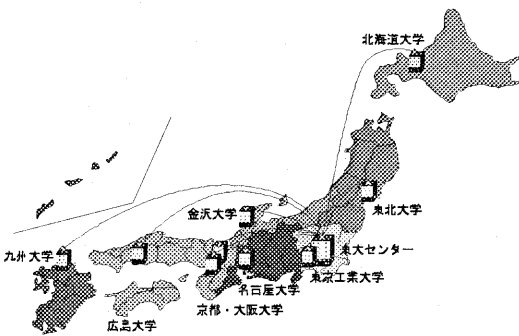


図3 VDEC/CADライセンスサービスネット

CADソフトウェアライセンスは“教育・研究目的”に限定したものである。そのためユーザは大学内に設置したワークステーションのIPアドレスとともに利用申請を行う。VDECではIPアドレスよりそのワークステーションが大学のものであることを確認した上でライセンスサービス対象に組み入れている。

CAD利用料は無料である。ただし、CADソフトウェアCDROMを業者から郵送することを希望する場合には若干の手数料と郵送料を負担する必要がある。VDECとCADベンダーのライセンス契約は現在、1年ごとの更新となっており、VDEC・ユーザ間のCAD利用申請も1年ごとの更新を必要としている。

表2 VDECのCADソフトウェア

社名	ライセンス内容
ケーデンス	論理設計・自動配置配線・図形編集
シノプシス	論理設計
アバンティ	自動配置配線・HSPICE・TCAD

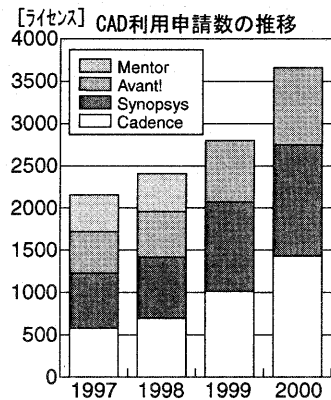


図4 CADライセンス申込数の増加

2001年4月現在、VDECではケーデンス社、シノプシス社、アバンティ社と契約をしており、一部の例外を除いて、各社のほとんどすべてのソフトウェアを利用できるようになっている（表2）。CADライセンス申し込み数も順調に伸びている（図4）。

LSIを設計するにはCADソフトウェアに加えて各種の技術ファイルが必要とする。代表的には、論理合成、シミュレーション、配置配線用のライブラリファイル、マスク図形エディタ・ビューアや最終マスク図形出力用のマスク層定義ファイル、各種設計規則検査用の定義ファイル等である。これらは各チップ試作技術対応、CADツール対応で用意する必要がある。これには多大の労力を必要とするためVDECでは各拠点校やチップ試作会社の協力を仰ぎつつ、これらを整備してきた。中でもライブラリ整備ではVDEC主導で作成のライブラリとメーカ提供のライブラリの2種類を適宜提供している。メーカ提供ライブラリには“パスポートライブラリ”やメ

モリーマクロがある。

### 2. 3 設計技術指導の仕組み

VDEC 発足当初、我が国の大学には CAD ソフトウェア利用技術教育や実用的 LSI 設計フロー教育のカリキュラムはほとんど存在していなかった。そこで VDEC にとってはこれらの整備が急務であった。

CAD ソフトウェアの利用技術に関しては CAD ベンダーが独自のものを有しておりこれを導入することとした。大学院学生、若手教官を対象として CAD ベンダーから講師を招き、それぞれの CAD ソフトウェア毎に年 2 回のセミナーを開催することとし、CAD ベンダーと契約を結んだ。これまで年 2 回の内 1 回は VDEC で、残り一回は地方拠点校で実施している。参加定員は設備の関係でそれぞれ 20~50 名程度であり必ずしも十分とはいえないが、VDEC としては各ユーザ研究室で“技術伝承”され、VDEC 主催のセミナーがトリガーとなって CAD 利用技術が全国的に広がることを期待している (図 5)。

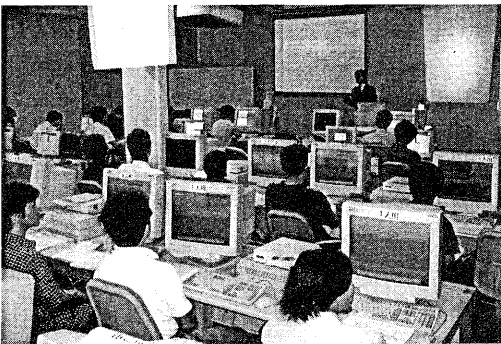


図 5 CAD セミナー風景 (VDEC)

LSI 設計フローセミナーは LSI 設計の基本概念教育と複数の CAD ツールを連携する実用的設計例の体験教育である。この目的で VDEC では社会人のリフレッシュ教育プログラムと兼ねて LSI 設計教育セミナーを年 1 回 (12 月~1 月) 開催している。このコースは“デジタル設計コース”、“アナログ設計コース”、“最先端設計事例コース”の 3 コースからなっている。前 2 者は演習を伴う体験教育コースであり、主要大学の経験豊かな教官を講師に招いて実施している。最先端設計事例コースは講義主体のコースであるが、大学および企業から第一線の講師を招き、設計経験をもとにした講演を行っている。これらセミナーに加えて VDEC では年 1 回、若手

教官と学生を中心とした VDEC デザイナー・フォーラムを開催している (図 6)。これはワークショップ形式の会合であり、企業・大学からの招待講演に交えて、参加者が設計事例を持ち寄ってその成功談、失敗談を交換する。これから設計を始めたいと考えている学生・教官もここでさまざまなノウハウを得ることができる。このフォーラムの成果はプロシーディングとして印刷物、CDROM の形で入手できる。

このようなセミナー、フォーラムを通じた教育システムにより LSI 設計の基本的項目を学習できるようになっているが、それでも実際の LSI 設計の場面では、さまざまな困難に直面することが多い。初心者にとっては CAD ソフトウェアのセットアップは最大の問題である。セットアップの後も CAD ソフトウェアが発する“難解なエラーメッセージ”でとまどうことも多い。このような場合に力を発揮するのが VDEC メールグループである。VDEC ユーザは VDEC のホームページから CAD メールグループや試作技術対応のユーザグループに登録することができ、そこに直面する疑問点を投稿し、助けを求めることができる。メールグループの登録ユーザはそれに回答する義務を負っているわけではないが、ほとんどの場合、数時間から数日以内に経験豊かなユーザからの支援を得ることができる。VDEC ではこの支援活動に参加していただいているユーザに感謝の意を込めて、VDEC デザイナー・フォーラムにて“最多回答ユーザ賞”をさしあげている。

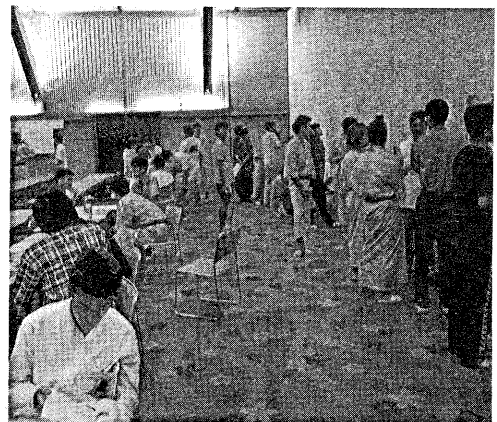


図 6 VDEC デザイナーフォーラム  
ポスターセッション風景

### 2. 4 テスト・評価システムの整備

首尾良く LSI を設計試作した後に直面する問題が

チップのテスト・評価である。チップのテスト・評価は基本的にユーザの責任であり、MOSIS や CMP でも直接の支援を行ってはいない。しかしテスト装置の面で必ずしもユーザ独自では容易でない場合も多く、カナダの CMC のようにテスト装置の定期貸し出しを行っている組織もある。VDEC では当初よりこの問題に対処するため当時の文部省に働きかけ、LSI テスト装置を全国の拠点校に整備することをお願いしてきた。整備してきた主たる装置は、LSI テスター、チップ内信号観測用電子ビーム(EB)プローブおよび回路修復用フォーカスイオンビーム(FIB)装置である。

VDEC で試作するチップは“VDEC 標準パッド配列”をもっているため、各テスト装置には VDEC 標準ソケットを整備している。少なくともデジタル LSI に関してユーザは最寄りの拠点校で LSI テスターを用いて試験することができ、詳細な動作解析・不良解析を必要とする場合には、蓋の開いたセラミックパッケージ・サンプルを用いてチップ内信号の観測ができるようになってきている。また、FIB を用いて簡単な“配線修理”を行うこともできる。

テスターを用いるにもトレーニングが必要である。VDEC では年 1 回の割合でテスター利用セミナーを実施しているが、CAD や LSI 設計セミナーに比較して短時間で利用技術を習得できる。現在 VDEC ではホームページを介して VDEC 所有の試験評価システムの利用申請ができるようになってきている。

## 2. 5 VDEC ユーザ数

インフラ整備の結果、ユーザ大学数およびユーザ研究室数の点で、日本の主要な LSI 設計研究者の多くが VDEC を利用するようになってきている。

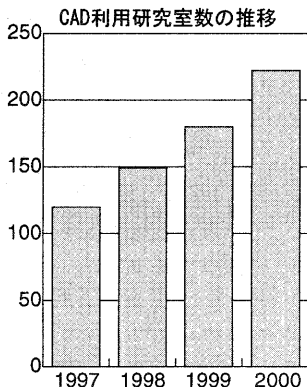


図 7 VDEC の CAD ユーザ研究室の増加

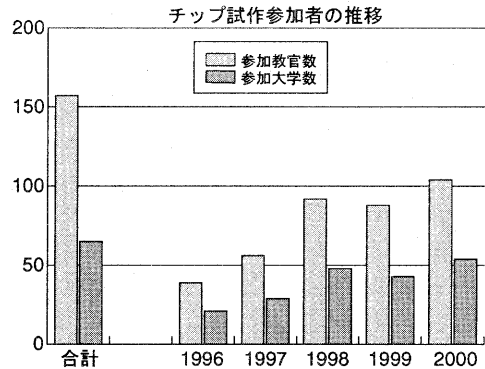


図 8 VDEC チップ研究室数の増加

図 7 と図 8 はそれぞれ CAD 利用申し込み研究室数の増加とチップ試作研究室数の増加を示すグラフである。

## 3. IP プロジェクト

VDEC の当初 4 年間の活動を通じて、大学における LSI 設計・試作・評価のためのインフラを整備することができ、大学においても相当数のチップ試作が日常的に実施されるようになってきた。しかし、各ユーザの設計した回路を設計資産として蓄積しユーザ間で利用する体制にはまだ至っていない。LSI 設計研究において回路規模が大きくなるにつれて、独自回路のシステムレベルの動作検証を行う場合、メモリーや周辺回路を含め一からすべてを設計することは大きな負担となっている。そのため既存の設計資産の有効利用は産業界だけでなく大学の研究の場においても急務となっている。VDEC ではこのため再利用可能設計資産 (IP) の整備を推進する必要があると考えている。これにより大学における LSI 研究においてもいわゆるネットワーク効果(N<sup>2</sup>効果)を得ることができ、我が国の LSI 技術の高度化に大きく貢献できると考えている。このためには設計経験の豊かな大学教官を中心に IP 開発体制を整えると同時に IP データベースを VDEC に整備する必要があると考えている。

### 3. 1 IP プロジェクト体制

IP プロジェクトではプロジェクトの開発テーマを 5 つに分類しそれぞれプロジェクトリーダーをointしている。リーダーのもとに平均 5 研究室前後が参加し IP の開発試作を分担する体制をとっている。表 3 にその構成を示す。

表 3 IP プロジェクト体制

グループ名	
代表者	参加者
デジタルプロセッサコア	
安浦寛人 (九州)	柳沢 (早稲田), 越智/弘中 (広島市立), 末吉/久我 (熊本)
デジタル演算ユニット	
高木直史 (名古屋)	天野 (慶応), 今井/武内 (大阪), 木村 (奈良), 村上 (九州), 南谷 (東京)
アナログ高速 AD/PLL/OP-Amp	
谷口研二 (大阪)	小野寺(京都), 高木(東工業大)
アナログ PWM/ΔΣ AD IP	
岩田教授 (広島)	佐々木 (熊本), 川人 (静岡), 雨宮/浅井 (北海道), 八木 (九工大), 杉本 (中央), 相澤助教 (東大)
機能メモリー	
池田助教 (VDEC)	小林 (京都), 柴田 (東京), マタウシュ(広島)

3. 2 デジタル関係プロジェクトの 2000 年度成果

現在、このプロジェクトは2年次を迎えているが、昨年度の成果の概要を述べる。まずデジタルプロセッサグループとデジタル演算ユニットグループでは下記のものを実装した。

- 測定、検証を目的とした乗算器チップの試作設計  
九州大学 安浦寛人
- 32ビットパイプラインプロセッサ IP の設計  
九州大学 ビクトル M.G.フェヘイラ, 安浦 寛人
- 特定用途向けデジタル信号処理プロセッサ  
早稲田大学 柳澤政生
- IP 向けプロセッサの設計試作 (R3000)  
広島市立大学 弘中 哲夫
- IP 向けプロセッサの設計試作 (SuperH)  
広島市立大学 弘中哲夫
- ビヘイビア記述からの LSI 設計教育向き IP 開発  
熊本大学 末吉敏則, 久我守弘
- 算術演算回路 IP の開発  
名古屋大学 高木直史, 高木一義
- デジタル演算器 IP の設計  
大阪大学/今井正治, 武内良典, 豊田高専/木村 勉
- 単精度浮動小数点演算器 IP ライブラリ開発  
広島市立大学 越智裕之

現在、これらは試作・評価中であり今年度中には第一回試作の結果がでる予定である。

3. 3 アナログ関係プロジェクトの 2000 年度成果

一方、アナログ関係では谷口教授グループがパイ

プライン型 AD コンバータ、フラッシュ型 AD コンバータ、PLL、倍電圧発生回路、LNA、ミキサー等を開発中である。図 9、図 10、図 11にそのいくつかのチップレイアウト図を示す。また岩田教授グループでは下記の各項目について設計・試作を進めている。

- 岩田穆/gm-C フィルタ, ダブルバランスミキサー
- 佐々木守/アナログフィルタ
- 杉本泰博/14 ビット DA コンバータ回路
- 雨宮好仁/アナログ反応拡散チップ, AD 混載型動き検出イメージセンサ, ハフ変換チップ
- 相澤清晴/イメージセンサ
- 川人祥二/パイプライン A/D 変換器
- 八木哲也/ゼロ交差検出回路

また、VDEC ではこれら先端的 IP 開発と平行して“基本的アナログ IP”として凸版印刷の協力を得て、DA 変換器 (図 12)、AD 変換器 (図 13)、オペアンプ、コンパレータの整備を行っている。これらは試作評価を行った上、次年度中にも VDEC 一般ユーザーに公開していく予定である。

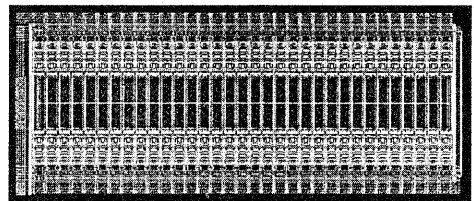


図 9 フラッシュ A/D

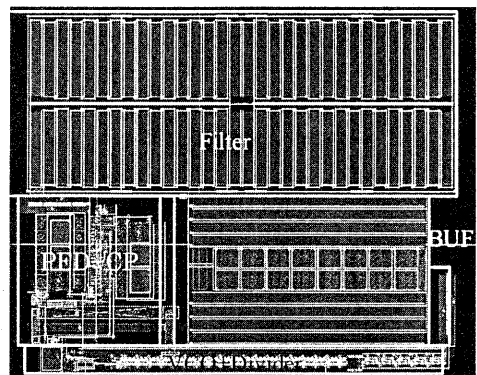


図 10 ダイナミックチャージポンプ PLL

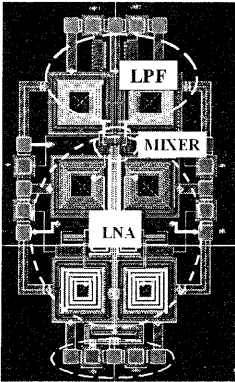


図 11 LNA・ミキサー・LPF

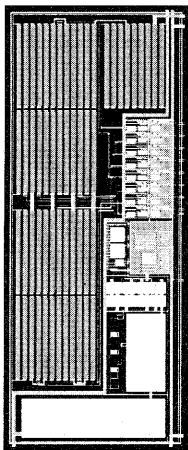


図 12 電圧加算方式 8 ビット DA 変換器、1.25MHz、  
ローム 0.35umCMOS 用、動作電圧 3.0V

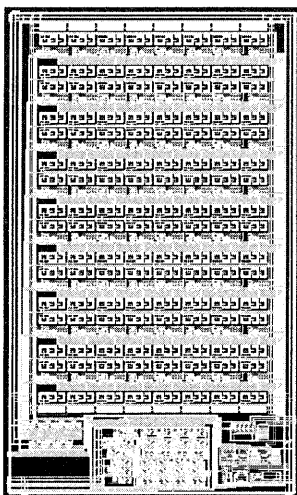


図 13 逐次比較型 8 ビット AD 変換器、クロック  
12MHz、ローム 0.35umCMOS 用、動作電圧 3.0V

#### 4. MCORE プロジェクト

MCORE はモトローラ社の低消費電力向け 32 ビットマイクロプロセッサコアの登録商標である。MCORE プロジェクトはこの CPU コアを中心とした商用 IP と参加者独自の回路モジュールとを組み合わせて SoC を設計試作するプロジェクトである。CPU コアを含むことから組み込みソフトウェアとハードウェアの協調設計を必要とし、設計検証においても VDEC がこれまで提供してきた範囲以上の設計フローを開拓することを目的としている。

##### 4. 1 モトローラとの協定

協定に基づきモトローラ社から提供されたものは以下のものである。

###### (a) MCore

32 ビット CPU コアであり、論理合成可能な HDL ソース記述とシミュレーション専用モデルの 2 種類があり、プロジェクト参加者には後者が提供される。前者は VDEC に対し提供され、VDEC でプロセス対応ハードコアにまで変換して、ユーザに提供する契約となっている。また記述内容については追加変更を行わない約束である。

###### (b) 周辺回路 IP

下記の周辺回路については論理合成可能な HDL ソース記述がユーザに対し提供されている。

- External Interface Module
- Interrupt Controller
- Peripheral Interface Gasket
- Edge I/O Port
- Asynchronous Serial Port
- Synchronous Serial Port
- Keypad port

ユーザは適宜その目的に添って修正することが許されている。ただし修正した場合はその内容をモトローラに報告することとなっている。

###### (c) MCore プログラム開発用コンパイラシステム

CPU のプログラミングのための C コンパイラシステムである。

###### (d) MCore システム LSI 開発評価用 FPGA ボード

MCore を中心とした SoC 設計検証用の FPGA ボードであり、計 10 セットの提供を受けている。MCore ブロック用に 1 個、ユーザ設計ブロック用に 1 個の計 2 個の大型 FPGA を内蔵している。



#### 4. 2 MCORE プロジェクト体制

このプロジェクトには全国の実績のある研究グループの参加を募集した。提供された評価用 FPGA ボードの数量の関係で下記 10 研究グループが現在参加している。各研究テーマは昨年 11 月の中間発表会での報告テーマである。

- ① リアルタイム OS の IP コアを実装した組み込み用システム LSI の設計、仲野研 (豊田高専)
- ② ハードウェア・モーフィング技術とそのプロトタイピング、村上研 (九州大学)
- ③ M.CORE を用いたプロトタイピングシステムの開発、小出研 (広島大学)
- ④ 電子透かしによる音声信号とデジタル情報の重畳とその 1 チップシステム化、山本研 (北海道大学)
- ⑤ 低電力 SoC 設計を目的としたコデザイン技術の開発、石原 (VDEC)
- ⑥ RC システム用 IP 試作に向けた予備調査、久我・末吉研 (熊本大学)
- ⑦ MCORE を用いた話者認識システムの研究、柴田研 (東京大学)
- ⑧ MCORE によるリアルタイムビデオタイトル作成システムの開発、山内研 (立命館大学)
- ⑨ Multimedia Vehicular LAN System using IEEE1394、国枝研 (東京工業大学)
- ⑩ MCORE を使用した i 端末向けシステム LSI の研究開発、吉本・深山研 (金沢大学)

#### 4. 3 実施スケジュール

このプロジェクトも 2000 年度から複数年にわたって実施し、各設計を洗練したものに仕上げている。当初予定した 2 年間のスケジュールは、以下のとおりであった。

- 2000/4 月 MCORE セミナー (VDEC) を開催し MCORE の利用技術を取得
  - 2000/6 月 FPGA 評価ボード、コンパイラを参加者に配布。FPGA プロトタイピング開始
  - 2000/11 月 中間報告会
  - 2001/1 月 0.35um 用 MCORE/セルベースの合成ユーザへの提供
  - 2001/6 月 先行設計グループのセルベース設計終了・テープアウト開始
  - 2001/11 月 先行グループの試作終了・評価開始
- … 以下順次設計試作評価を繰り返す…

実際には上記中間報告会まではスケジュール通りに進行したが、本年に入り試作プロセスの選定で若干の方針変更があり、スケジュールを修正している。この主な理由は、当初に予定していたモトローラ関連の試作プロセスを諸般の理由から中止・変更したためである。

#### 5. IP/MCORE プロジェクトの合同試作

IP プロジェクトは上述のように 2000 年度から通常の VDEC 試作サービスを利用して試作評価の段階に進んでいる。しかし MCORE プロジェクトで目的としている SoC では、VDEC が従来提供してきた試作サービスでは回路規模・動作速度の点では必ずしも十分とはいえ、当初から新規の試作技術を利用する計画であった。2001 年度には入り VDEC ではこの目的の新たな試作技術の可能性を各方面に打診し交渉を進めていたが、最終的には STARC が仲介する 0.13um CMOS 技術と日立製作所デバイス開発センターの 0.18um CMOS 技術を利用することとなった。またこれらのプロセスでの試作は MCORE プロジェクトだけでなく将来の両プロジェクトの有機連携を見越して IP/MCORE の合同試作として実施することとした。

#### 5. 1 試作スケジュール

0.13um と 0.18um CMOS プロセスはともに金属配線 5 層のプロセスであるが、およそ図 14 の計画で実施している。図のように 0.13um 試作を先行して実施しており、本年 7 月に入って技術情報の開示を受け具体的設計作業に入り、9 月に VDEC からユーザに対し MCORE のハードマクロの  $\beta$  版をリリースした。その後、各ユーザの設計の進行にあわせて MCORE ハードマクロを更新しつつ、最終的には 10 月末までにテープアウトを終了した。

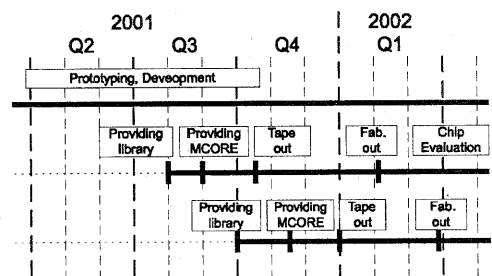


図 14 IP/MCORE 合同試作スケジュール、上：0.13um CMOS 試作、下：0.18um CMOS 試作

0.18 $\mu$ m では9月までに日立製作所より技術情報等の開示を受け、ライブラリ等の準備を行い、10月よりユーザに対するライブラリ・技術情報の開示を行っている。

## 5. 2 MCore ハードマクロ

すでに述べたようにVDECにたいしては論理合成可能なMCoreのHDLソース記述が供与されており、VDECは使用する試作プロセスにあわせてハードマクロを作成しユーザに提供することになっている。

表4はVDECで合成したハードマクロのおおよその仕様(11月現在)を示したものである。本試作では0.13 $\mu$ mと0.18 $\mu$ mを用いるが、VDECで一般にサービスしている0.35 $\mu$ mのライブラリを用いて合成した例を参考までに示している。動作速度はライブラリスペックから求めた概数である。このなかで0.18 $\mu$ mの面積が相対的に大きくなっているが、これはVDECで用いているライブラリのトランジスタサイズ調整がまだ不十分なことによる。最終的には半分程度になることを期待している。また0.13 $\mu$ mのトランジスタ素子数が相対的に大きくなっているが、これはライブラリの種類が不十分であったことによる。いずれにせよこれらはこのプロジェクトにとって最初の版であり今後の継続的洗練作業により性能・面積ともに向上することを期待している。

図15は検証用パッドつきのMCoreレイアウトイメージであり、コア部分は白線長方形部分である。

表4 MCore ハードマクロの概要

Tech	#of Tr.	Area (mm)	Max. MHz
0.35 $\mu$ m	21,000	2.3 x 2.3	30M-40M
0.18 $\mu$ m	36,000	2.1 x 2.1	50M-60M
0.13 $\mu$ m	50,000	0.36 x 2.3	80M-100M

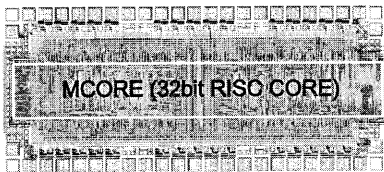


図15 MCore ハードマクロのレイアウトイメージ  
コア寸法 0.36x2.3mm/0.13 $\mu$ m CMOS

## 5. 3 0.13 $\mu$ m 試作参加者

この試作にはMCoreとして参加したのは2グループであり、残りはIPプロジェクトからの参加であった。

### 【MCore】

- VDEC 石原亨, 小松聡, MCore 評価用 TEG の実装と評価 (1.05mm × 2.35mm)
- 金沢大学 吉本雅彦, 深山正幸, 高解像度, 低消費電力実時間画像圧縮符号化処理 L S I (3.65mm × 4.80mm)

### 【デジタル IP】

- 広島市立大学 弘中 哲夫, 動的再構成型コンピュータである PARS アーキテクチャ (2.35mm × 3.65mm)
- 広島市立大 越智裕之, IEEE-754 準拠単精度浮動小数点演算器 IP (1.05mm × 2.35mm)
- 九州大学 安浦寛人, パイプライン段数可変超低消費電力マイクロプロセッサ (2.35mm × 2.35mm)
- 東京大学 南谷崇, 今井雅, 出力部を二重化ダイナミックゲート非同期式パイプライン回路の設計 (2.35mm × 2.35mm)
- 大阪大学 谷口研二, 高速拡散符号生成器およびその評価回路 (1.05mm × 2.35mm)

### 【アナログ IP】

- 京都大学 小野寺秀俊, 6種類の TEG の設計と評価 (1.05mm × 2.35mm)
- 東京大学 藤島実, ミリ波帯高周波基本モジュールの設計 (2.35mm × 2.35mm)

### 【メモリ IP】

- 広島大学 小出哲士, マタウシュハンス ユルゲン, 面積効率の高い階層型多ポートメモリの設計と評価 (2.65mm × 3.65mm)
- VDEC 石原亨, 浅田邦博, 閾値論理による高速連想メモリの実装と評価, および, 時間領域を用いたハミング距離探索連想メモリの実装と評価 (1.05mm × 2.35mm, 1.05mm × 2.35mm)

これらの設計は3つのサブチップに相乗りして試作中である(図16)。スケジュールに従って来年2月以降にチップ組み立てを行い評価に入る予定である。

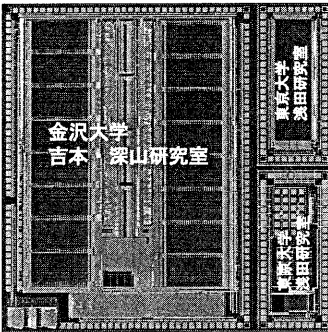
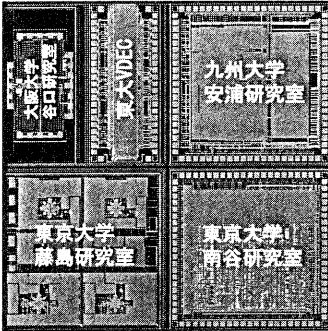
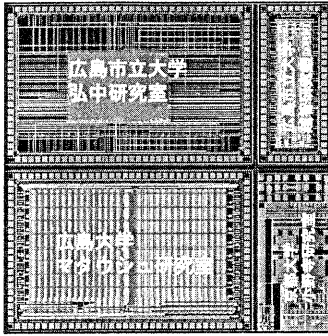


図 16 0.13umCMOS/STARC 相乗りチップレイアウトイメージ

5. 4 0.18um 試作予定者

日立製作所 0.18umCMOS での試作は年末のテープアウトに向け現在設計進行中である。この試作では VDEC の従来のチップサイズ割の方針に従い、2種類の VDEC 標準チップフレーム (5.98mm 角、2.8mm 角) を用いている。参加者は以下の通りある。詳細については今後変更の可能性があるが、次の機会に紹介したい。

【MCORE】

- 深山(金沢大) : 5.98mm 角
- 柴田(東京大) : 5.98mm 角
- 村上(九州大) : 5.98mm 角

【IP 開発プロジェクト】

- 柳澤(早稲田大) : 2.8mm 角
- 越智(広島市立大) : 2.8mm 角
- 小野寺(京都大) : 2.8mm 角
- 木村(奈良先端大) : 2.8mm 角
- 安浦(九州大) : 5.98mm 角
- 弘中(広島市立大) : 5.98mm 角
- 柴田(東京大) : 5.98mm 角、2.8mm 角
- 谷口(大阪大) : 5.98mm 角
- 藤島(東京大) : 2.8mm 角
- 高木(名古屋大) : 2.8mm 角
- 大塚(明星大) : 2.8mm 角

6. 諸外国の状況と VDEC の将来計画

大学における LSI 設計教育を支援する仕組みとしては古くから MOSIS や CMP があることは知られている。

- '80 MOSIS (米国) -----
- '81 CMP (フランス) -----
- '83 EIS (ドイツ) ----●
- '84 CMC (カナダ) -----
- '89 EuroChip/Practice -----
- '92 CIC (台湾) -----
- '96 IDEC (韓国) -----
- '96 VDEC (日本) -----

図 17 諸外国のチップ試作サービス組織

図 17 は主なチップ試作支援組織を発足時期とともに示したものである。初期のものはすでに 20 年以上の歴史をもっているが、半導体産業の変遷に伴ってその役割や運営方針に変化がみられる。

6. 1 MOSIS

もっとも古い MOSIS は当初より南カリフォルニア大学キャンパス内に拠点を持っているが、90 年代に入って完全な独立採算組織となっており、当初の米国内の大学だけでなく、広く海外の大学・企業のチップ試作を手がけている。その収入の大部分は企業の試作からの収入で賄われており、大学に対しては比較的安価な価格を設定している。

また米国大学の教育用試作費用を企業からの金銭寄付およびファウンドリ寄付で賄っている。米国の大学は MOSIS に“教育枠利用申し込み”を行い、認められれば無料で利用できる。ただし、しっかり

した測定評価を伴ったレポートが要求される。

また、CMC 等の他の組織との連携も進めておりチップ試作ブローカーの中のブローカー的役割を担いつつある。

## 6. 2 CMP

CMP はグルノーブル大学内に拠点を持つ非営利組織であるが、欧州ではもっとも古くから活動している。一時期、EuroChip 活動の 1 拠点としての連携をとった時期もあったが、現在は独立した組織として活動を続けており、早くから全世界のユーザを対象にサービスの始めており、アジア地区にもユーザが多い。

最近では従来の CMOS 試作技術だけでなく、SOI、SiGe、化合物、MEMS 等の試作技術の多様化をはかっている。微細加工技術への移行にも熱心であり、1999 にはいち早く 0.18 $\mu\text{m}$  CMOS 技術、2001 年には 0.13 $\mu\text{m}$  CMOS 技術でのチップ試作サービスをアナウンスしている。これら先端試作技術面では台湾のファウンドリとともに近くの ST-Micro との密な連携をはかっている。

## 6. 3 CMC

CMC はカナダ政府の支援を受けた組織でキングストンにあるクイーンズユニバーシティキャンパス内に拠点をもっている。米国の影響を受けやすい地域であることや、カナダにおける教育と研究における行政区分が連邦と州に分かれていることなどで運営に苦労している部分もあるが、これまで何回かの時限プロジェクト継続して今日までの活動を続けている。

この組織ではユーザに的確な設計フローを開発・提供することを主眼にこれまで活動してきており、単なるチップ試作ではなく、設計指導面での貢献が大きい。現在進めている重点事項はカナダの広大な国土にマッチしたネットワークを用いた「広域テストシステム」の構築である。チップ試作面では MOSIS に依存する部分が多い。

## 6. 4 EuroPractice

この組織はベルギーのルーベン大学に近い IMEC に根拠を持つ組織であり、欧州共同体に支援されている。当初は、大学向けに無料のチップ試作支援を行っていた時期 (EuroChip) もあるが、現在では活動の主眼をベンチャー企業向けサービスにおいてい

る。そのため、一定量の商業用サンプルの試作サービスも行っており、テスト、パッケージングに対しても必要なサービスを行っている。少量生産時のマスクコスト低減の工夫としてマルチレイヤーマスク (MLM) を用いており、一枚のマスクに 4 レイヤ分のマスクを相乗りさせることでマスク枚数を低減する方法をとっている。

## 6. 5 アジアの状況

アジア地区では、ソウル大学でのチップ試作ラボ活動等の例を除くと、台湾の CIC がもっとも古くから活動しているチップ試作支援組織である。この組織は政府支援でスタートし、センター側の委員会が選択した応募者のチップ試作を無料でやっている。教育用と研究用を明確に分離し、研究用に重点をおいて試作を行っており、台湾の設計力向上に大きく貢献していると考えられる。

韓国では大田にある KAIST 内に拠点をもち IDEC が VDEC とほぼ同時期に活動を開始している。IDEC は時限組織であるが現在その第 2 期目にある。チップ試作費用の点では企業からのファウンドリ寄付で賄われ、CAD やワークステーションその他の活動費は政府からの支援で活動している。チップ試作では毎年 IDEC の運営委員会で選定された研究グループのものが採用される。大学での教育活動に熱心であり、これまで多数の教科書を発行している。現在、重点をおいて活動を開始したものは IP ビジネスモデル開発であり、新たにそのための組織 SIPAC を発足させている。

## 6. 6 VDEC の将来計画

VDEC ではすでに述べたように 2000 年度から大学発の LSI 設計資産の効果的蓄積・活用のための試みを始めているが、下記の展望を持っている。

- (1) 微細加工技術のサポート (ムーア 2 乗則)  
1.2 $\mu\text{m}$   $\rightarrow$  0.6 $\mu\text{m}$   $\rightarrow$  0.35 $\mu\text{m}$   $\rightarrow$  0.18 $\mu\text{m}$   $\rightarrow$  0.10 $\mu\text{m}$
- (2) SoC 設計教育イニシアティブ  
MCORE プロジェクト
- (3) IP 設計教育イニシアティブ  
IP プロジェクト + IP アワード
- (4) 教育カリキュラム支援

上記(1)は半導体技術の親展にあわせた先端試作サービスを維持する努力目標であり、具体的には 2002

年度より日立製作所 0.18umCMOS 試作サービスを一般ユーザ向けに開始する予定である。また VDEC では現在のサービス項目に載っていない BiCMOS、SiGe 等については、CMC 等と同様の MOSIS との連携を検討している。

(2)と(3)の IP プロジェクトに関しては本稿に述べた。(3)の IP オアードは半導体各社と日経 BP 社の支援でスタートした IP 開発支援のしくみであり、すでに4回目の募集を始めている。前回は約60の応募にたいしその上位約1/4の優秀IPに対して100万円～200万円の賞金を授与している(図18)。

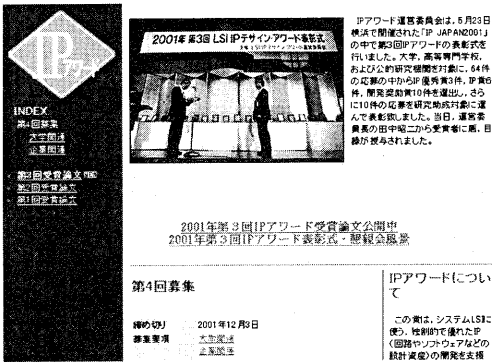


図18 LSI IP賞

(4)の教育カリキュラム支援に関しては、これまでの教材整備を進める一方で、MOSISが実施している大学教育向け無料チップ試作支援の仕組みを考えていきたい。これには米国同様、産業界の支援が不可欠である。今般の困難な経済状況から実現が必ずしも容易とは考えていないが、我が国の設計力強化には教育システムの充実と、設計人口のすそ野拡大は必須の条件と考えている。

先般、山梨大学において開催された電気教官協議会での議論でも、“CAD デバイド”が問題となった。VDECの5年余の活動でLSI設計文化が根付いた研究室や大学ではすでに活発な設計研究・教育がスタートしている。一方、LSI設計に興味があっても人材や費用等の点でスタートしあぐねている研究室・大学も多く、両社間の溝が広がっている現象(CAD デバイド)がある。LSI設計教育のすそ野を今以上に広げるにはMOSISのような無料チップ試作の機会を提供し、同時に的確な教材・カリキュラムを整備する必要がある。

## 7. おわりに

本稿では、VDECの最初の4年間の活動を総括し、現在、注力しているIPプロジェクトとMCOREプロジェクトの目的と現状を紹介した。併せて諸外国の状況を背景としてVDECの考えている将来プランについて述べた。VDECでは今後も我が国のLSI設計力を向上するために活動を鋭意継続する所存である。関係各位のいっそうのご支援をお願いしたい。

## 【謝辞】

本VDEC活動には多数の会社の協力をいただいている。CADソフトウェアではAVANTI, CADENCE, SYNOPSYS, SII, チップ試作では日立北海、オンセミ、ローム、日立製作所マスク製作では大日本印刷、凸版印刷、ホヤ、組立では京セラ、日立北海、業務委託ではアライズ社・サイベック、そしてIPプロジェクトとMCOREプロジェクトではSTARC/半導体産業研究所、モトローラから多大の協力をいただいている。またアバンティ社からは2001-2003年度の3カ年の間、CADの無償提供の申し出をいただいている。

VDECは1996年に発足し、計算機やCAD、テスト装置等の維持費は基本的に文部科学省のサポートに依存している。しかし、建物面積については残念ながら現在まで固有のものをもっておらず、東京大学工学系研究科に間借りして活動している。このような状況の中、今般、幸いにも武田計測先端知財団より建物の寄贈をいただき、2003年3月竣工を目標に建設が開始されている。ここの改めて各方面のご協力に感謝する次第である。

## 【参考文献】

- [1] 鳳紘一郎, 浅田邦博, 池田誠, 大規模集積システム設計教育研究センターによるVLSI設計教育・研究の支援, 電気学会論文誌C, Vol.121-C, No.3, pp.488-491, Mar. 2001
- [2] 池田誠, 浅田邦博, VDECにおけるチップ試作テストランを通したライブラリ作成および設計フローの確立, Proceedings of '99 DA Symposium, pp. 149-152, 1999年7月
- [4] 浅田邦博, VDEC: 東京大学大規模集積システム設計教育研究センター, MRS-J NEWS, Vol.10, No.2, pp.4-5, 1998年5月
- [5] 鳳紘一郎, 浅田邦博, 大学におけるVLSIチップ試作, 応用物理, Vol.66, No.8, pp.858-861, 1997