

## ディープサブミクロンにおける 配線遅延を考慮した RTL およびレイアウト設計手法

高島 敏<sup>1)</sup> 木村 浩三<sup>2)</sup> 清原 督三<sup>1)</sup> 落合 利之<sup>3)</sup>

松下電器産業株式会社

1) マルチメディア開発センター 2) 3) 半導体社 開発本部

1) 〒571-8501 大阪府門真市大字門真 1006 2) 〒671-8520 京都府長岡京市神足焼町 1 番地

3) 〒570-8501 大阪府守口市八雲中町 3 丁目 1 番 1 号

E-mail: 1) takasima@isl.mei.co.jp

あらまし 近年の微細化された半導体プロセスでは、セル固有のゲート遅延よりも配線に起因する遅延が支配的であるため、レイアウト時の配線が、動作速度に大きく影響する。このため、論理合成において仮想配線遅延を用いたタイミング検証で満足したとしても、レイアウト後の実配線を用いたタイミング検証で収束させることが困難となってきた。本稿では、まず、論理合成におけるタイミング検証とレイアウト設計後のタイミング検証が大きく乖離した原因を解析し、続いて、RTL 設計からレイアウト設計までの改善内容を示す。最後に、改善前と改善後のタイミング収束性の相違を示す。

キーワード RTL 設計, レイアウト設計, 配線遅延, サブミクロンプロセス

## RTL Optimization and Physical Implementation Methodology in Deep Sub-Micron Design

Satoshi TAKASHIMA<sup>1)</sup>, Kozo KIMURA<sup>2)</sup>, Tokuzo KIYOHARA<sup>1)</sup> and Toshiyuki OCHIAI<sup>3)</sup>

1) Multimedia Development Center, 2) 3) Development Division, Semiconductor Company

Matsushita Electric Industrial Co., Ltd.

1) 1006, Kadoma, Kadoma City, Osaka, 571-8501, Japan 2) Kotari-Yakemachi, Nagaokakyo, Kyoto, 671-8520, Japan

3) 3-1-1, Yakumo-Nakamachi, Moriguchi City, Osaka, 570-8501, Japan

E-mail: 1) takasima@isl.mei.co.jp

**Abstract** In deep sub-micron process, interconnect delay has become the significant factor of timing analysis, that not only layout design but also register-transfer level (RTL) design should consider. In this paper, a new approach is proposed to optimize RTL design and layout design for delay in deep sub-micron process. First, we analyzed the factors of critical timing paths from both layout design and RTL design. Then, the physical implementation methodology and RTL optimization techniques are addressed. Finally, by the experimental results the effectiveness of our approach is shown.

**Key words** RTL design, Layout design, Interconnect delay, Sub-micron process

## 1. はじめに

我々は、BS デジタル放送受信機に搭載されている 1080i 対応 AV デコーダ LSI（動作周波数：133MHz）を開発した。本 LSI は、約 1500 万トランジスタ（メモリを含む）におよぶ回路規模のため、 $0.18\mu\text{m}$  半導体プロセスを用いて実現している。一方、このような微細化プロセスでは、セル固有のゲート遅延よりも配線に起因する遅延（本稿では配線遅延と略す）が支配的となるため、レイアウトの実配線による遅延が動作タイミングに大きく影響する。このため、論理合成時のタイミング検証で満足したとしても、レイアウト後の実配線を用いたタイミング検証で収束させることが困難となってきた。

本稿では、第 2 章で、大規模 LSI 設計フローと半導体プロセスの微細化による配線遅延に関する問題について説明し、第 3 章で、レイアウト設計後の配線遅延を考慮したタイミング検証において、タイミング・パイオレーション発生 の状況を示す。第 4 章で、原因の解析と、RTL 設計レベルからレイアウト設計までの対策、第 5 章において、対策結果とその効果について述べる。

## 2. LSI 設計概要

### 2.1 LSI 設計フロー

本 LSI の設計開発においては、大規模 LSI であることと開発期間を短縮するため、階層化レイアウト設計手法（ブロック単位でのレイアウト設計を行い、その後ブロックをチップ全体に組み上げるレイアウト設計）を導入し、ブロック・レイアウト設計においては、工数削減のためスタンダード・セルを用いた ASIC 設計手法を採用した。なお、階層化レイアウト設計では、フロア・プランニングの際、各ブロック間の入出力遅延の制約条件を作成し、論理合成時の仮想配線遅延によるタイミング検証に用いる。

LSI 設計フローの一部を以下で簡単に説明する（図 1 参照）。

1. RTL (Register Transfer Level) による回路設計
2. 論理合成および仮想タイミング検証
3. 仮想配線遅延によるタイミング・パイオレーションがなければ、ブロック・レイアウト設計を開始し、レイアウトデータから抽出された実遅延データ（以下、BA データ）を用いた実タイミング検証を実施

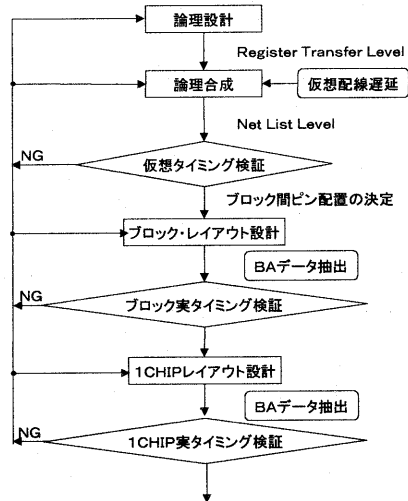


図 1. LSI 設計フロー

4. 最後に、1CHIP におけるレイアウト設計および実タイミング検証

なお、各タイミング検証においてタイミング・パイオレーションが発生した場合は前処理に戻る。

### 2.2 遅延時間

近年、半導体プロセスの微細化に伴い、セル固有のゲート遅延よりも配線に起因する遅延（配線遅延）が支配的となってきた。配線長の増大は、配線固有の遅延（RC 遅延）だけでなく、配線寄生容量によりドライブ負荷も大きくするためセル遅延も増大する。このため、配線長の増大を抑制することは大規模 LSI では必要不可欠な技術である。

タイミング・パスの遅延時間は、配線長に比例して増加するのではなく、ほぼ自乗に比例して増加する。このため、配線長が大きいパスの遅延低減は、バッファとしてリピータセルを配置し、単一配線長を小さくすることにより、配線に起因する遅延を削減して総遅延時間を低減する必要がある。特にタイミングが厳しいパスについては、配線間の倍ピッチ化により配線間容量を低減させる対策が有効である。

## 3. 課題

本 LSI の目標動作周波数は 133MHz (7.5nsec) であるため、ブロック・レイアウト設計においては、タイミング制約条件を優先してセルの配置を行うタイミングドリブン・レイアウト手法を用いた。その後、

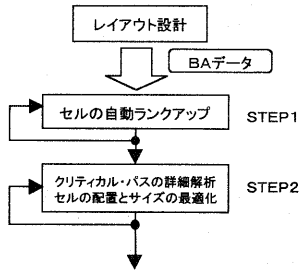


図2. タイミング・バイオレーション改善フロー

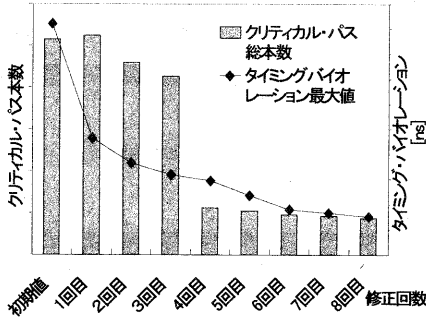


図3. タイミング収束性

タイミング制約条件を満足しないパスについては、図2に示すフローによりタイミング改善を図った。

セルのドライブ能力不足が原因で、タイミング・バイオレーションが発生する場合には、ツールを用いてドライブ能力の高いセルに自動でランクアップさせた (STEP1)。このセルの自動変換では、ターンアラウンド・タイムの短縮のため、配線レイアウトの変更を必要としないセルのランクアップだけに限定した。STEP1で収束しなかったバイオレーションについては、クリティカル・パスの詳細解析に基づき、セルのランクアップ・ランクダウンを行い、さらにセルを最適な位置へ再配置することにより、配線遅延を低減させ、クリティカル・パスの改善を図った。(STEP2)。

図3は、従来フローにより発生したバイオレーション対策の過程 (レジスタ間のタイミング収束性が最も悪かったブロック) を示したものである。棒グラフがタイミング・バイオレーションの総本数、折れ線グラフがタイミング・バイオレーションの最大値を示す。

3回目までのタイミング・バイオレーションの対策では、クリティカル・パス削減に大幅な改善が見ら

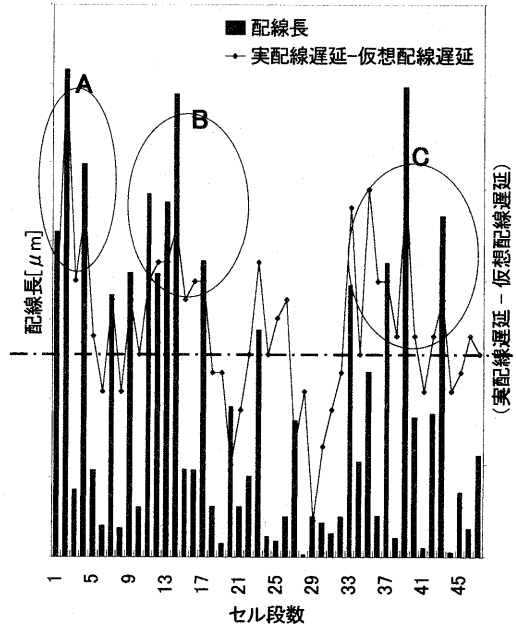


図4. "実配線遅延と仮想配線遅延の差分"と配線長の関係

れるが、それ以降は、STEP1の対策では改善はみられず、STEP2では、個々にクリティカル・パスの解析・判断を行い改善を図るため、効率が低下し十分な改善効果を得られなかった。

#### 4. 対策

第4章では、従来フローにおいてタイミング収束が困難であった原因の解析と対応策について述べる。

まず、従来フローでタイミング収束が困難であったクリティカル・パス (論理規模にあわせた仮想配線モデルを用いた仮想タイミング制約条件は満足していたにもかかわらず、レイアウト設計後の実タイミング検証時に、大きなバイオレーションを発生しタイミング収束に問題となったパス) の解析結果を示す。続いて、クリティカル・パスが発生した原因、すなわち想定以上の長さの配線が発生した原因について述べる。さらに配線長の低減やバラツキを抑制する対策について説明する。

##### 4.1 クリティカル・パスの解析

図4に大きなタイミング・バイオレーションを発生し問題となったパスの解析結果を示す。棒グラフ

がレイアウト設計後のセル一段あたりの実配線長、折れ線グラフがセル一段あたりの実遅延値と仮想遅延値の差を表す。実遅延は、“レイアウト後の BA データを用いた実配線遅延”であり、仮想遅延は、“論理合成時の Wire Load Model (配線長とファンアウト数に応じて統計処理された平均配線長モデル)を用いた仮想配線遅延”のことである。

仮想遅延と実遅延の遅延時間が大きく異なるところは実配線長が大きい相関があり、特に、仮想遅延と実遅延の遅延時間が顕著に異なることを楕円で囲んだ。このように、実配線長が想定以上に増大したことが、Wire Load Model を用いた仮想タイミング検証と実配線遅延を用いた実タイミング検証とを大きく乖離させたと考えられる。

さらに、これらのクリティカル・パスを解析したところ、パス上のセルのドライブ能力は最大であったことが判明した。このため、セルのドライブ能力を上げ、遅延時間を低減することはできない。遅延時間を低減するには、セルを最適に配置することにより配線長を削減し、配線遅延の低減を図る対策が必要となる。

次節以降では、図 4 に示す配線長が長いタイミング・パスに対して、配線長を増大させた原因とその対策についてレイアウトの形状・レイアウト設計ツール・RTL 設計に分類して述べる。

## 4.2 タイミング・バイオレーションの原因

### レイアウトの形状：

1. ブロック面積抑制のため、ロジック部の形状は凹型となるがメモリなどのマクロセルを含めてレイアウト設計を実施した。しかしながら、想定以上にメモリ領域の角で配線が密集したため、大きく迂回する配線が発生した。
2. ブロック間配線のための領域確保によるレイアウト面積増加を抑制するため、ブロック間配線をブロック内部に貫通させ配線した。しかしながら、配線が貫通したブロック内において、配線が混雑し、ブロック間配線・ブロック内配線ともに、配線長の増大が発生した。

### レイアウト設計ツール：

従来の設計フローのバイオレーション対策においては、セルの自動ランクアップ (STEP1) のみに限定

していた。このため、効率的なセル配置と配線が困難となった領域が発生した。

### RTL 設計：

タイミングドリブン・レイアウト手法においても、セル配置が最適化されず配線長が長くなり、クリティカル・パスを残したブロックが存在した。本 LSI のような大規模 LSI においては、セル段数が少ない場合においてもレイアウト設計後のセル配置により配線長が増大しタイミング・バイオレーションが発生した。

## 4.3 レイアウト設計における対策

前述したクリティカル・パスに対して、セルの敷占めの効率化と配線密度の緩和を図ることにより配線長を削減する以下の対策を実施した。

### レイアウトの形状：

1. メモリとロジックは領域を明確に分離してレイアウト設計を実施した。
2. ブロック間配線の領域を設けることで、ブロック間配線をブロック内部に貫通させない方針をとった。さらにタイミングが問題となったブロック間配線については、倍ピッチ化及び、倍幅化を図り配線遅延の低減を図った。

### レイアウトツール：

タイミングドリブン・レイアウト後の配置情報に基づいて LBO (Location-Based Optimization) 機能を用い、タイミングに余裕のあるセルに対してはセルサイズのランクアップだけでなく、ランクダウンを行いセル敷占めの効率化を図った。この対策により、レイアウト面積に余裕ができ、「セルのランクアップ時にセル配置を維持したランクアップができず、一部セルが離れた位置に移動し、これに伴って、予想外の部分の配線長が増大する振る舞い」を抑止できた。

以上のレイアウト設計対策により、セルの敷占めの効率化と配線密度の緩和が図れ、大幅な配線長の削減が可能と考えられる。特に、セルの敷占めの効率化により、タイミング・バイオレーション対策でのセルの自動ランクアップ (バイオレーション対策：STEP1) が有効に機能したと考えられる。

#### 4.4 RTL 設計での対策

図 4 のクリティカル・パスの楕円で示したところのように、配線長が特に長い部分に関しては、全体の開発期間を短縮するためレイアウト設計後のセル配置情報をもとに RTL 設計から対策を実施した。例として、図 4 の楕円で囲った部分の回路に着目し、対応する回路のブロック図を示しつつ、レイアウト設計後に発生した問題点と、RTL 変更によるタイミング改善のための対策を示す。

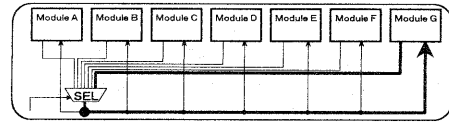


図5-1. 修正前のクリティカル・パス<sup>ア</sup>ブロック図

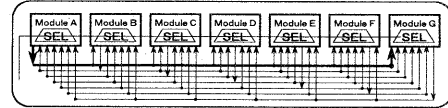


図5-2. 修正後のクリティカル・パス<sup>ア</sup>ブロック図

#### RTL 設計対策 1

図 4 の 1 段目の楕円 A での回路を図 5-1 に示す。この回路部では、A~G それぞれが出力する信号をモジュールの上位階層の回路 (SEL) に入力し、回路 (SEL) の出力信号を、元の各モジュールに返している。回路 (SEL) を 7 モジュールが共有化しているため、面積は小さくなるが、レイアウト設計において、図 5-1 に示すように、回路 (SEL) がレイアウト設計で最適な位置に配置されずに、パスの配線長が、A~G で大幅にばらついた。太線で示すバスが、他のパスの配線長より長くクリティカル・パスとなった。

上記の対策を、図 5-2 を用いて説明する。図 5-2 の回路 (SEL) は、レイアウト位置により、配線長が長いパスが発生する。図 5-2 に示すように、回路 SEL を 7 つのモジュール全てに配置した。これにより回路面積は増加するが、図 5-1 で示したクリティカル・パスは、図 5-2 の太線のパスとなり配線長は短縮する。他の 6 つの回路 (A~F) についても、レイアウト設計に依存することなく G とほぼ等長で配線されタイミングのパラツキも抑制することが可能となる。

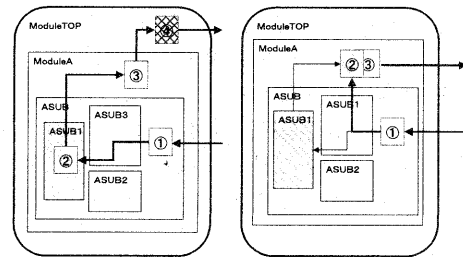


図6-1. 修正前のクリティカル・パス<sup>ブ</sup>ブロック図 図6-2. 修正後のクリティカル・パス<sup>ブ</sup>ブロック図

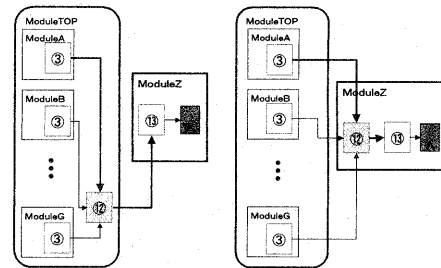


図7-1. 修正前のクリティカル・パス<sup>シ</sup>ブロック図 図7-2. 修正後のクリティカル・パス<sup>シ</sup>ブロック図

#### RTL 設計対策 2

図 4 の 2 段目の楕円 B における回路部を図 6-1 に示す。問題のパスは、さまざまなモジュール間をまたがって配線された。このため、斜線部のモジュール ASUB 1 と回路③がレイアウト上で離れた場所に配置され、回路①~④までのタイミングパスの配線長は長くなった。

自動配置配線レイアウトツールでは、同インスタンス名をもつセルは近くに配置される傾向があったため、クリティカル・パスの回路をできる限り同じモジュール内に移動させる変更を RTL に加えた。

①から④までの信号線の配線長を最適にするセル配置をレイアウトツールが実施しなかったため、図 6-2 に示すように、モジュール ASUB 1 中の回路②の機

能を回路③に持たせ、レイアウト設計依存をなくした。回路③から回路④へのパスについても (以下の対策 3: で説明) パスがさまざまなモジュール間をまたがないように、回路④を次段のモジュールに移動させた。

#### RTL 設計対策 3

図 4 の 3 段目の楕円 C で示す部分の回路部を図 7-1 に示す。モジュール A~G のそれぞれの出力信号 (Signal [6:0]) を、各モジュールの上位モジュールの回路④に入力し、回路④の出力信号を最終モジュールの回路⑤に入力する。このため、RTL 設計対策 1 で説明した問題が発生した。回路④がモジュール A~G と等長の位置に配置されなかったため、離れたモ

ジュールが出力する信号 (Signal[6:0]) のパスがクリティカルとなった。

このパスを改善するため、RT レベルから一部回路のモジュール間での移動を行った。図 7-2 に示すように、回路④をパスの最終モジュール Z に移動させるとともに、信号 Signal[6:0] すべてをモジュール Z に入力することにより、信号 Signal[6:0] のタイミングパスは、回路④の配置位置に依存しない構成となる。

本 LSI のように大規模 LSI において、実配線遅延を制御するには、RTL 設計および論理合成段階から、できるかぎり正確な配線遅延の情報を必要とする。さらに、レイアウト設計においても、RTL における回路構成を把握した配線レイアウト手法が求められる。このことより、論理回路設計者およびレイアウト設計者が、密に連携をとり RTL 設計からレイアウト設計までの設計フローを構築する必要がある。

## 5. 結果

4.4 節で対策をしたブロックのレイアウト結果について述べる。レイアウト設計フローは “タイミングドリブン・レイアウト” → “LBO” → “セルの自動ランクアップ” である。バイオレーション対策において、クリティカル・パスの解析・判断を行い改善を図る工数のかかる対策なしに実タイミング制約条件を満足した。

表 1 に、今回のレイアウト設計フローにおけるタイミング・バイオレーション本数とワースト値の推移を示す。レイアウト設計の改善と、数箇所の RTL 設計変更により、実タイミング検証におけるタイミング収束性が大きく改善したことがわかる。

4.4 節で対策したパスの配線長の結果を図 8 に示す。従来のレイアウト設計フローでは、セルそれぞれに対して、大きな配線長が付加していたが、レイアウト設計フロー改善により、全セルに対して配線長が抑制され、大半の配線は  $50\mu\text{m}$  以下となった。さらに総配線長も 1/2 以下に改善した。また、本レイアウトでは LBO によりセルのランクダウンを実施したことにより、セルの敷占めの効率化が図れ、セルの自動ランクアップが有効に機能した。このため、クリティカル・パスの詳細解析に基づいたセルの再配置およびサイズの最適化を行うような多くの工数を必要とする対策なしに実タイミング制約条件を早期に収束させることができた。

表 1. バイオレーション推移

	number	worst [ns]
タイミングドリブン・レイアウト	4687	-3.90
Location-Based Optimization	2309	-0.62
セル自動ランクアップ	0	0

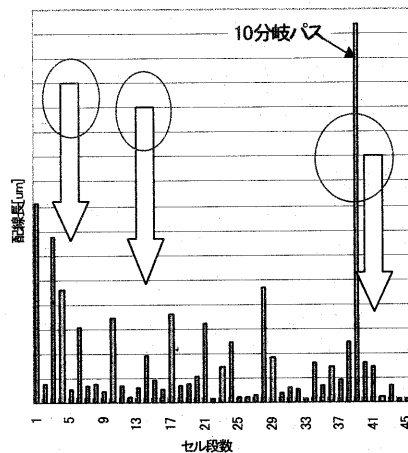


図 8. 対策後の各セルに負荷する配線長

次に、4.4 節で対策したパスにおける RTL に変更を加えた回路については、他の部分よりも配線長が激減した (図 4 の楕円により囲った部分)。これより、レイアウト情報に基づいた RTL 設計が効果的であったといえる。ここで、39 段目の配線長が非常に長いのは、10 分岐しているパスであるためで、1 分岐あたりの配線長は小さい。今回、実タイミング制約条件を満足しているため、分岐数削減 (ドライブ負荷軽減) の対策は不必要と判断した。

## 6. 最後に

近年の微細化された半導体プロセスでは、セル固有のゲート遅延よりも配線に起因する遅延が支配的であるため、レイアウト設計後の配線が、動作速度に大きく影響する。このため、論理合成後の仮想タイミング検証と、レイアウト設計後の実タイミング検証とが大きく乖離してきた。

本報告では、論理合成時には、Wire Load Model による仮想タイミング検証において制約条件を満足していたにもかかわらず、レイアウト設計後の実配線遅延をもちいた実タイミング検証では制約条件を満足させることが困難であったクリティカル・パスの解析をおこない、仮想タイミング検証と実タイミ

ング検証との乖離が発生する原因を明らかにした。  
対策として、配線に起因する遅延を考慮した RTL 設  
計並びに、セルの敷占めの効率化、配線密度の緩和  
を図るレイアウト設計フローを示し、大規模 LSI に  
おいて、スタンダード・セルを用いた ASIC 設計手法  
により、実タイミング制約条件 133MHz (7.5nsec) を  
実現した。

## 謝辞

本稿をまとめるに当り、ご協力頂いた松下電器産  
業株式会社・半導体社の一宮敬弘主任技師、並びに  
マルチメディア開発センターの西田英志技師に謝意  
を表す。

## 文 献

- [1] 木村 浩三 他, “ソフトウェアでの実時間処理を実現  
した民生用メディア処理プロセッサ Media Core  
Processor” Matsushita Technical Journal 45, No. 2,  
p9-16 .1999
- [2] 上原 宏敏 他, “デジタル放送用 MPEG AV デコーダ  
LSI” Matsushita Technical Journal 45, No. 2, p17-  
24 .1999