

シンプレスト・ウェーブレットネットワーク の FPGA 実装に関する考察

神酒 勤[†] 佐藤 徹[‡] 川越 聡[‡]

[†]九州工業大学大学院生命体工学研究科
〒808-0196 福岡県北九州市若松区ひびきの 1-1

[†]miki@brain.kyutech.ac.jp, [‡]{satout01,kawago01}@hibikino.ne.jp

あらまし ウェーブレットネットワークの FPGA 実現について議論する。ウェーブレットネットワークは、ウェーブレット理論とファンクショナル・リンク・ネットを融合した技術であり、非線形な入出力関係をウェーブレット関数の線形結合の形で記述する。その結合荷重は、教師付き学習によって決定する。本研究では、山川らの提案による高速学習性と良好な収束性を持つ単峰性ウェーブレットを用いたウェーブレットネットワークに着目、その基本形であるシンプレスト・ウェーブレットネットワークのハードウェア化について述べる。基底配置をハードウェアに最適化した新しいモデルを提案し、その性能を非線形関数の近似実験により確認したので報告する。

キーワード ウェーブレットネットワーク, 単峰性ウェーブレット, ファンクショナル・リンク・ネット, 学習機械, FPGA, 信号処理

FPGA Implementation of the Simplest Wavelet Network

Tsutomu Miki[†], Toru Sato[‡], and Satoshi Kawagoe[‡]

[†] Graduate School of Life Science and Systems Engineering, Kyushu Institute of Technology
Hibikino 1-1, Wakamatsu-ku, Kitakyushu, 808-0196 Fukuoka, Japan

E-mail: [†]miki@brain.kyutech.ac.jp, [‡]{satout01,kawago01}@hibikino.ne.jp

Abstract The Wavelet Network (WN) is produced by a fusion of Wavelet theory and the concept of the functional link network. The WN describes the non-linearity of a system with a linear conjunction of wavelet basis functions. The connection weights are determined by learning with a teacher. The advantages of the WN are a high-speed learning and a good convergence to the global minimum.

In this paper, hardware implementation of the one input one output WN, so called 'Simplest wavelet network (SWN)', has been discussed. The performance of the proposed system has been confirmed by the experimental results of the approximation of the non-linear function.

Key words wavelet network, convex wavelet, functional link net, learning machine, FPGA, signal processing

1. はじめに

ウェーブレットネットワーク[1]とは、ファンクショナルリンクネット[2][3]とウェーブレット理論[4][5]を融合させた学習型ネットワークモデルである。複数の基底関数を線形結合した構造をもち、多入力多出力のシステムが構成できる。表現能力の高いファンクショナルリンクネットと、非線形システムの解析に適したウェーブレット理論の各々の長を併せ持つので、非線形システムのモデリングとウェーブレット解析を同時に行うことが可能であり、非線形システムの構造や特徴の解析に有効な手法の1つである。山川らは、マザーウェーブレットに単峰性ウェーブレット[6][7]を用いたウェーブレットネットワークを提案している。このモデルは、従来手法と比較して、汎化能力が高く、学習時間が短いという特徴があり、音声処理や画像処理に非常に有効なシステムである。このウェーブレットネットワークを情報機器へハードウェア実装することで、高性能な信号処理の実現が期待できる。

そこで、本研究では、山川らが提案したウェーブレットネットワークの専用ハードウェア化を試みる。基底の形状・配置、学習係数の表現方法をハードウェア化に対して最適化したモデルを提案する。本提案モデルについて従来技術と比較することにより、その有効性を評価する。

2. ウェーブレットネットワーク

ウェーブレットネットワーク[1]は、単峰性ウェーブレットを用いた基底関数を線形結合した一種のファンクショナルリンクネットである。それぞれの関数の結合係数は、結合荷重の形で与えられ、学習によってその値を決定する。[8][9]ここでは、ウェーブレットネットワークの基本形である、シンプルストウェーブレットネットワークについて、構造および結合荷重の決定方法について述べ、ハードウェア化に最適化した改良モデルについて述べる。

2.1 シンプルスト・ウェーブレットネットワークの構造

図2.1に1入力1出力ウェーブレットネットワークの構成を示す。ネットワークの出力 $f_k(X_k)$ は、入力 X_k に対するそれぞれの基底関数 ψ_i の出力と結合荷重 W_i との積和で表現される。したがって、出力 $f_k(X_k)$

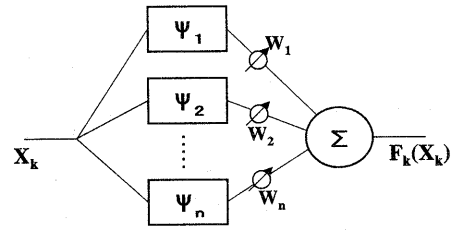


図2.1 シンプルスト・ウェーブレットネットワークの構成

は、次式となる。

$$f(X_k) = \sum_{i=1}^n W_i \psi_i(X_k) \quad (2.1)$$

ここで、 W_i をウェーブレット係数、 ψ_i をウェーブレット基底と考えると、式2.1はウェーブレット展開式と見ることがができる。このモデルはシンプルスト・ウェーブレットネットワークと呼ばれる。基底関数 ψ_i を非線形性の要素と考え、それらの要素を線形結合することにより、任意の非線形関数を合成することができる。ここで、結合荷重 W_i は次節で述べる最急降下法[10]により学習で求める。

2.2 最急降下法による結合荷重の決定

シンプルスト・ウェーブレットネットワークの出力は、非線形関数の線形結合の形をとるので、構造上ローカルミニマムを持たない。したがって、最急降下法による学習が有効である。ここでは学習特性を改善した学習係数変更則[11]による最急降下法を採用している。

ネットワークの出力を $\hat{Y}_t (t=1, 2, \dots, m)$ 、教師データを $Y_t (t=1, 2, \dots, m)$ とすると、エネルギー関数 E は次式で与えられる。

$$E = \frac{1}{2} \sum_{t=1}^m (Y_t - \hat{Y}_t)^2 \quad (2.2)$$

このエネルギー関数が最小となるように W_i を変更する。一般的な最急降下法の結合荷重変更量 ΔW_i は、次の式で表される。

$$\Delta W_i = -G \frac{\delta E}{\delta W_i} \quad (2.3)$$

ここで G は学習係数である。ウェーブレットネットワークの結合荷重変更には、以下の式で表される変数量 ΔW_i を使用する。

$$\Delta W_i = -G(l) \operatorname{sgn} \left(\frac{\delta E}{\delta W_i} \right) \quad (2.4)$$

ここで

$$\operatorname{sgn}(x) = \begin{cases} 1 & (x \geq 0) \\ -1 & (x < 0) \end{cases} \quad (2.5)$$

である。結合荷重 W_i の変更を、誤差が極小値に到達するまで繰り返し行う。

ある結合荷重の学習において、ステップ l での誤差、重み、学習係数をそれぞれ $E(l)$, $W(l)$, $G(l)$ とする。ステップ $l+1$ において必ず

$$E(l+1) \leq E(l) \quad (2.6)$$

となるように結合荷重を変更していく。 $l+1$ での仮の誤差、重み、学習係数をそれぞれ $E'(l+1)$, $W'(l+1)$, $G'(l+1)$ とする。初期値を $G(0) = C$ (C は定数) とする。 $G'(l+1) (= G(l))$ を用い、 $l+1$ 時刻での仮の値 $W'(l+1)$ と $E'(l+1)$ を求める。 $E'(l+1)$ が現在の誤差 $E(l)$ より小さいならば、次のステップ $l+1$ での学習係数 $G(l+1)$ は変更せず $G(l+1) = G(l)$ とする。仮の誤差が現在の誤差よりも大きいならば、 $G'(l+1)$ を半分にし、仮の誤差が現在の誤差よりも小さくなるまで繰り返す。つまり、学習係数は次の式で求められる。

$$G(l+1) = \begin{cases} G(l) & (E'(l+1) < E(l)) \\ \frac{1}{2} G(l) & (\text{otherwise}) \end{cases} \quad (2.7)$$

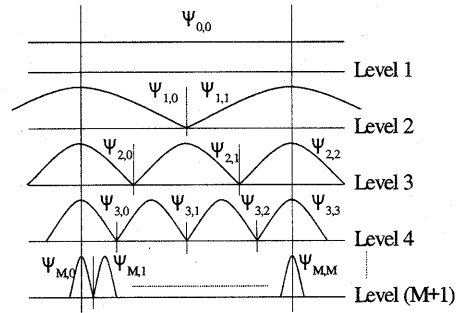
重み W_i の変更は、下に示す条件が満たされるまで繰り返される。

$$|E(l+1) - E(l)| \leq \delta \quad (2.8)$$

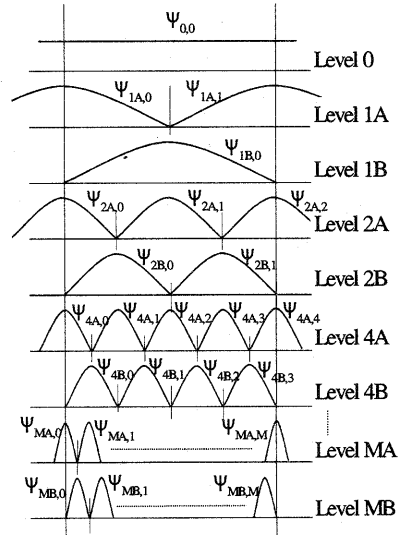
各 W_i の変更において、エネルギー関数の変動は、必ず δ 以下に落ち着く。

2.3 ハードウェア化に適したモデルの提案

ウェーブレットネットワークのハードウェア化にあたり、効果的な基底配置をもつ新しいモデルを提



(a) 従来手法の基底配置 [1]



($M=2, 4, 8, 16, 32 \dots$)

(b) 本提案手法の基底配置

図 2.2 本提案手法におけるハードウェア化に適した基底配置

案する。

2.3.1 ハードウェア化に適した基底配置

基底の配置を図 2.2 に示す。ここでは、1 次元の対象領域を 256 値 8bit で表現している。

ハードウェア化にあたり、基底の形状の柔軟性と処理の高速化のためには、基底を LUT (Look Up Table) としてメモリに格納する方法が都合が良い。しかし、従来手法 [1] の基底配置は計算機上で実行する場合には問題ないが、LUT 方式のハードウェア化を考えるとアドレスが与えにくく、実装効率も悪い。そこで、

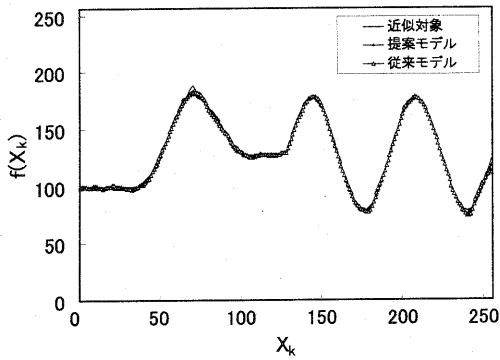


図 2.4 非線形関数の近似結果

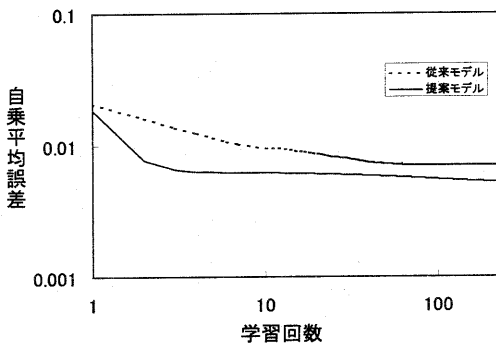


図 2.5 学習回数と誤差の関係

本研究では、基底の巾を 2 のべき乗で表現した。ただし、この場合、基底の区切りが重複するために、結合荷重の調整ができない部分（節）ができてしまう。そこで、半周期ずらした基底(Level MB)を追加することにより、この問題を回避した。

2.3.2 提案モデルの学習特性

提案モデルを用いた非線形関数の近似を、計算機シミュレーションにより行った。各変数は浮動小数点を用いて表している。近似対象としては文献[1]に使用されている関数を用いた。図 2.4 に近似対象である非線形関数と学習後のウェーブレットネットワークを用いて再構成した結果を示す。また、図 2.5 に学習時の誤差の変化を示す。図 2.5 において、実線が提案手法 (35 基底) を、点線が従来手法 (36 基底) [1] を表す。比較のために、従来手法と同程度の基底を用いた場合の結果を示している。図 2.5 の結

果から、今回提案した手法の方が、ハードウェアに適したモデルであるばかりでなく、良好な学習特性も示していることがわかる。また、非常に少ない学習回数で収束しており、収束特性も改善されていることがわかる。

3. シンプレスト・ウェーブレットネットワークのハードウェア化

3.1 ハードウェア構成

提案するシンプレスト・ウェーブレットネットワーク・ハードウェアの全体のブロック図を図 3.1 に示す。入力ブロック、基底関数メモリ、結合荷重メモリ、ウェーブレットネットワーク演算ブロック、誤差評価ブロックおよび学習制御ブロックで構成される。

入力ブロックは処理対象となる 8bit×256 個のデータを一時格納する。基底メモリおよび、結合荷重メモリには、それぞれ基底関数データおよび、結合荷重値を格納する。

ウェーブレットネットワーク演算ブロックは、基底関数と結合荷重を用いて、式 2.1 の演算を実行する。誤差評価ブロックは、処理対象のデータを教師信号とし、予め設定された評価基準をもとに演算結果を評価する。学習誤差は、RMSE(Root Mean Square Error)で評価し、評価基準には学習終了条件となる基準誤差を与える。

学習制御ブロックは、全体のブロックの制御を行う。

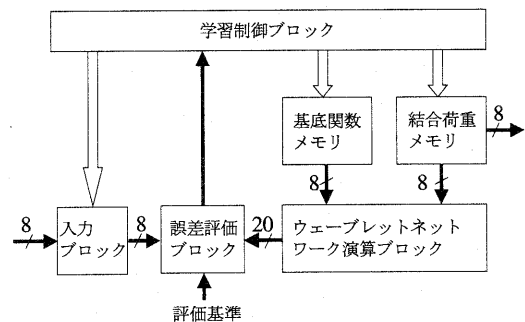


図 3.1 シンプレスト・ウェーブレットハードウェアのブロック図

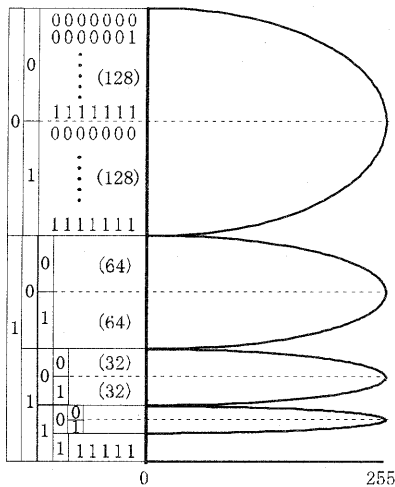


図 3.2 基底メモリの構成

3.2 基底メモリの構成

基底メモリの構成を図 3.2 に示す。単峰性ウェーブレット基底として、COS 関数の半周期分を使用する。前述のとおり、ハードウェア化に対し、2 のべき乗の巾を持つ基底を準備している。基底の高さは 8bit で表す。処理対象空間が 1 次元 (0~255) なので、基底の最大巾は 256 となり、順次 128, 64, 32, ... となる。基底メモリのアドレスは 9bit で表し、図 3.2 に示すようにアドレスの上位ビットを利用して基底を選別する。

4. ハードウェアモデルによる非線形関数の近似

本ハードウェアの性能を確認するために、図 2.4 で示した非線形関数の近似実験を行った。本研究では、Xilinx 社の FPGA Virtex をターゲットデバイスとしてハードウェアを合成した。その論理シミュレーションによる結果を図 4.1 に示す。比較のために、本提案手法の浮動小数点演算を用いた場合の計算機シミュレーションによる結果も示す。また、図 4.2 に学習回数と誤差の関係を示す。各変数に整数型を用いているハードウェアモデルでは、学習初期の誤差が浮動小数点モデルに比べやや大きい。ただし、数回の学習で収束しており、図 2.5 で示した従来モデルの結果と比較しても十分良好な結果を示している。また、最終誤差は、変数のビット巾に依存するのでビット巾を増すことで精度を上げることも可能

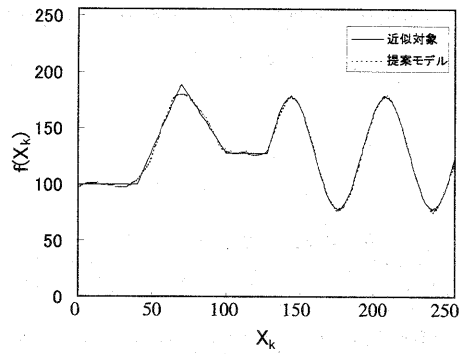


図 4.1 非線形関数の近似結果

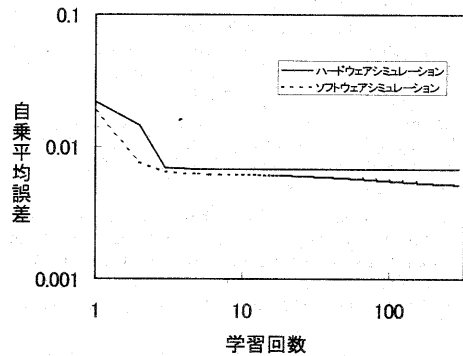


図 4.2 学習回数と誤差の関係

である。

5. おわりに

情報機器への組み込みを目指し、シンプレスト・ウェーブレットネットワークのハードウェア化を行った。ハードウェア化にあたり、新しい基底配置法を提案した。新しい基底配置を採用したモデルは、ハードウェア化に適しているばかりでなく、従来手法より学習性能、収束性ともに良いということが計算機シミュレーションにより確認できた。Xilinx 社の FPGA をターゲットにハードウェアを合成し、計算機シミュレーションとの比較実験より、十分な性能が実現できていることを確認した。今回、C 言語で記述したモデル (アルゴリズム) を VHDL に再設計し、論理合成を行ったので、ハードウェア的にはまだチューニングの余地がある。

今後は、実時間性の観点からハードウェアを最適化し、実際のデバイスへ実装を行い、その性能を評

価するとともに、画像処理などの2次元信号に対するシステムへの応用を進めていく。

文 献

- [1] 山川烈, 内野英治, 佐松崇史, “単峰性ウェーブレットを用いたウェーブレットネットワークとそのダイナミカルシステムのモデリングへの応用,” 信学論, Vol.J79-A, No.12, pp.2046-2053, 1996.
- [2] Yoh-Han Pao, Adaptive Pattern Recognition and Neural Networks, Addison-Wesley Publishing Company, 1989.
- [3] J.M. Zurada, Introduction to Artificial Neural Systems, WEST Publishing Company, pp.230-233, 1992.
- [4] J.Morlet, G.Arens, E.Fourgeau and D.Giard, “Wave Propagation and Sampling Theory ? Part 1: Complex Signal and Scattering in Multilayered media,” GEOPHYSICS, vol.47, no.2, pp.203-221, Feb. 1982.
- [5] J.Morlet, G.Arens, E.Fourgeau and D.Giard, “Wave Propagation and Sampling Theory ? Part 2: Sampling Theory and Complex Waves,” GEOPHYSICS, vol.47, no.2, pp.222-236, Feb. 1982.
- [6] Takeshi Yamakawa, Eiji Uchino and Takashi Samatsu, “Wavelet Neural Networks Employing Over-Complete Number of Compactly Supported Non-Orthogonal Wavelets and Their Applications,” Proc. The 1994 IEEE Int. Conf. Neural Networks, Orland, Florida, pp.1391-1396, June27-29 1994.
- [7] Takeshi Yamakawa and Takashi Samatsu, “Wavelet Neural Networks Realizing High Speed Learning,” Proc. Int. Conf. Neural Information Processing, Seoul, Korea, pp.1571-1576, Oct.17-20 1994.
- [8] Takeshi Yamakawa and Takashi Samatsu, “Wavelet Neural Networks Realizing High Speed Learning,” Proc. Int. Conf. Neural Information Processing, Seoul, Korea, pp.1571-1576, Oct.17-20 1994.
- [9] Qinghua Zhang and Albert Benveniste, “Wavelet Networks,” IEEE Trans. Neural Networks, vol.3, pp.889-898, Nov. 1992.
- [10] 中野馨偏, ニューロコンピュータの基礎, コロナ社, 1990.
- [11] 小林幸夫, 神経回路システム基礎と応用, コロナ社, 1995.