

## CMOS 論理ゲートにおけるセル内特性ばらつきを考慮した 統計的遅延モデル化手法

岡田 健一<sup>†</sup> 山岡 健人<sup>†</sup> 小野寺秀俊<sup>†</sup>

<sup>†</sup> 京都大学大学院情報学研究科通信情報システム専攻  
606-8501 京都市左京区吉田本町  
075-753-5948

E-mail: {kokada,kento,onodera}@vlsi.kuee.kyoto-u.ac.jp

あらまし CMOS プロセスにおいて、製造ばらつきによるトランジスタ特性の変動が問題となっている。製造ばらつきを考慮した統計遅延解析において、チップ間、チップ内でのばらつきについて解析が行なわれている。ゲート遅延ばらつきの見積りにおいて、論理ゲート内のトランジスタ間ばらつきを考慮する事が重要である。本稿では、このゲート内でのばらつきを考慮したゲート遅延ばらつきモデルを提案する。提案モデルは、トランジスタ特性を共通成分と独立変動成分に分けて、それらの変動量から遅延時間を与える。提案モデルの誤差評価を行う。具体的な回路の遅延ばらつきを例に、ゲート内ばらつきを考慮する場合としない場合で、遅延分布に差がでることを示す。

キーワード 製造ばらつき、チップ内ばらつき、遅延解析、ゲート内ばらつき、統計遅延解析

## Statistical Gate-Delay Modeling with Intra-gate Variability

Kenichi OKADA<sup>†</sup>, Kento YAMAOKA<sup>†</sup>, and Hidetoshi ONODERA<sup>†</sup>

<sup>†</sup> Department of Communications and Computer Engineering, Kyoto University  
Yoshida honmachi, Sakyo-ku, Kyoto-shi, 606-8501, Japan  
+81-75-753-5948

E-mail: {kokada,kento,onodera}@vlsi.kuee.kyoto-u.ac.jp

**Abstract** This paper proposes a model to calculate statistical gate-delay variation caused by intra-chip and inter-chip variabilities. The variation of each gate delay directly influences the variation of circuit delay, so it is important to characterize each gate-delay variation precisely. Our model characterizes the gate delay by transistor characteristics. Every transistor in a gate affects the transient characteristics of the gate, so it is indispensable to consider the intra-gate variability for the modeling of gate-delay variation. This effect is not captured in a statistical delay analysis reported so far. Our model characterizes a statistical gate-delay variation using a response surface method (RSM) and represents the intra-gate variability with a few parameters. We evaluate the accuracy of our model, and we show some simulated results of a circuit delay variation.

**Key words** manufacturing fluctuation, intra-chip variability, statistical timing analysis, intra-gate variability

### 1. 研究背景

CMOS 回路の設計において、製造ばらつきの考慮が重要な課題となっている。製造条件のゆらぎにより、トランジスタの特性が変動する。トランジスタ特性ばらつきを考慮した統計遅延解析において、トランジスタ特性はチップ内で均一であると仮定する場合が多い。しかし、実際にはチップ内でもトランジスタ特性は変動する [1]。同一チップ内でのトランジスタ間または論理ゲート間のばらつきを、チップ内ばらつきと呼び、異なるチップ間でのばらつきを、チップ間ばらつきと呼ぶ。トランジスタ特性のばらつきは、チップ間ばらつき成分とチップ内ばらつき成分により構成される。

チップ内ばらつきは回路の歩留りに大きく影響することが知られている [1]~[4]。チップ内ばらつきを考慮した統計遅延解析の手法が提案されている [5]~[7]。いずれの手法においても、遅延時間のチップ内ばらつきは、平均値に対する  $\pm 15\%$  や  $\pm 20\%$  といった固定の割合で最悪値を決めている。しかし、平均値に対する最悪値の比は一定ではなく、入力の遷移時間、出力の負荷容量、論理ゲートの種類によっても変化する。遷移時間と負荷容量を考慮して、遅延時間のばらつきをモデル化する手法も提案されている [8]。しかし、ゲート内におけるトランジスタ特性間のばらつきは考慮されていない。このばらつきを、ゲート内ばらつきと呼ぶ。ゲート内ばらつきは、ゲート遅延のばらつきに大きく影響する。各ゲート遅延の変動幅は、回路遅延の

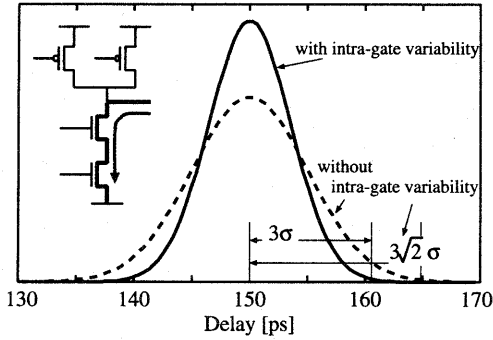


図1 2入力 NAND の立下りにおける遅延ばらつき分布

変動幅に直接影響する。ゲート内ばらつきを考慮して、個々のゲート遅延ばらつきを正確に見積もることが重要である。本稿では、ゲート内ばらつきを考慮して、ゲート遅延ばらつきを再現するためのモデルを提案する。

ゲート内ばらつきの遅延時間への影響を、2入力 NAND ゲートの遅延時間を例に説明する。立下りの遷移時において、負荷容量を放電するための電流は、図1に示すように、直列に接続された2つのnMOSを流れる。そのため、遅延時間は直列に接続された複数のトランジスタ特性の影響を受けてばらつく。簡単のため、各nMOSの遅延時間に対する感度が等しいとする。ゲート内ばらつきを考慮する場合の遅延時間ばらつきを $\sigma$ とすると、ゲート内ばらつきを考慮しない場合では $\sqrt{2}\sigma$ となり、多大な誤差の原因となる(図1)。

ゲート内ばらつきのモデル化において、各トランジスタがそれぞれ独立してばらつく事を考慮する必要がある。各トランジスタにそれぞれ変動変数を割当てると、トランジスタ数の多いゲートにおいては非常に多くの変動変数が必要となる。変動変数の増大は、計算コストの点で好ましくない。提案モデルでは、複数の正規分布の和が、統計的にある1つの正規分布で表わされる事にに基づき、変動変数の削減を行なった。

第2章では、トランジスタ特性のモデル化について説明する。第3章では、提案する遅延モデルについて説明する。変動変数を削減する際に各トランジスタの感度を考慮するが、第4章では、その感度係数を求める方法について説明する。第5章では、具体的な回路を例にとり、ゲート内ばらつきを考慮する場合としない場合で、遅延分布に差がでることを示す。第6章で、結論を述べる。

## 2. トランジスタ特性のモデル化

本節では、トランジスタ特性ばらつきのモデル化の方法について説明する。トランジスタ特性のばらつきは、MOSFETモデル(SPICEモデル)パラメータのうち、物理性を反映するパラメータのばらつきにより表わす。本稿では、これらのパラメータを物理パラメータと呼ぶ。物理パラメータとして、閾値電圧 $V_{TH0}$ 、酸化膜厚 $T_{OX}$ 、チャネル幅変位 $W_{int}$ 、チャネル長変位 $L_{int}$ を用いる。

トランジスタ特性をベクトル $\mathbf{p} = (p_1, p_2, \dots, p_n)^T$ で表す。 $p_1, \dots, p_n$ はnMOS, pMOSのそれぞれについての物理パラメータ

と $V_{TH0}, T_{OX}, W_{int}, L_{int}$ とする( $n=8$ )。また、チップ間ばらつきとチップ内ばらつきを考慮して、トランジスタ特性 $\mathbf{p}$ は、平均 $\mu$ 、チップ間ばらつき成分 $p_g$ 、チップ内ばらつき成分 $p_r$ の和で表わす。

$$\mathbf{p} = \mu + p_g + p_r \quad (1)$$

ゲート内の各トランジスタの特性について、チップ内ばらつきをゲート内での独立変動成分とし、チップ間ばらつきをゲート内での共通成分とする。チップ内ばらつきとチップ間ばらつきは、互いに独立な正規分布とする。チップ間ばらつき成分は、チップ内では一定であるとする。チップ内ばらつきはサイズ依存を考慮し、ゲート寸法が小さくなるほどばらつきが大きくなるモデルを用いる[9],[10]。

## 3. ゲート遅延ばらつきモデル

本節では、ゲート遅延ばらつきモデルを提案する。トランジスタ特性のチップ間、チップ内ばらつきを考慮して、ゲート遅延ばらつきのチップ間、チップ内ばらつきを再現する。

トランジスタ特性のばらつきと遅延時間の関係を求める必要があるが、そのために、応答曲面法(RSM)による手法を用いる[8]。この手法では、ゲート内すべてのトランジスタに共通の変動変数を割当てる。遅延時間は、遷移時間と負荷容量にも依存するため、応答曲面の係数は、入力の遷移時間と負荷容量からなるテーブルをひくことで求める。トランジスタのチップ間ばらつき成分は、ゲート内のすべてのトランジスタにおいて共通なので、トランジスタのチップ間ばらつきに対する遅延時間の変動は、応答曲面モデルから求める事ができる。

トランジスタ特性のゲート内ばらつきを考慮するためには、セル内のトランジスタすべてについて遅延時間への影響を調べる必要がある。応答曲面モデルにおいて、各トランジスタに別々の変動変数を割当てると、応答曲面の生成コストと応答曲面を利用する際のコストが増大してしまう。各トランジスタ特性から遅延時間への感度を表わす感度係数 $s_k$ を導入する事で、少ない変動変数でゲート内ばらつきを表現できる統計遅延モデルを提案する。

### 3.1 テーブル参照による遅延時間応答曲面モデル

テーブル参照を用いた応答曲面モデルの生成および利用方法について説明する[8]。応答曲面モデルは、物理パラメータと遅延時間の関係を最小自乗法により結びつける経験的なものである。ここでは一次式のモデルを用いる。トランジスタ特性を物理パラメータからなるベクトル $\mathbf{p} = (p_1, p_2, \dots, p_n)^T$ で表す。遅延時間 $t_d$ は以下の一次関数で表すことができる。

$$t_d = \text{rsm}(\mathbf{p}) \quad (2)$$

$$= b_0 + (b_1 \ b_2 \ \dots \ b_n) \begin{pmatrix} p_1 \\ \vdots \\ p_n \end{pmatrix} \quad (3)$$

$$= b_0 + \mathbf{b}^T \mathbf{p} \quad (4)$$

応答曲面は、遷移時間と負荷容量にも依存する。遅延時間は、遷移時間や負荷容量の変化に対して非線形に変動する。そのた

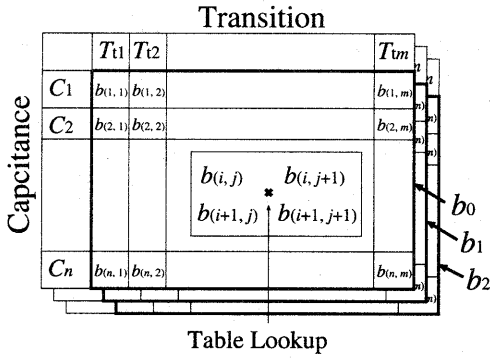


図2 テーブル参照モデルの概念

め、低次の応答曲面で、遷移時間や負荷容量から遅延時間をモデル化すると、誤差が大きくなる。そこで、応答曲面の各係数  $b_1, \dots, b_n$  は、入力の変移時間と負荷容量からなるテーブルをひくことで求める。つまり、ばらつきを考慮しない静的遅延解析 (STA) では係数  $b_0$  だけをテーブルから求めるのに対して、各物理パラメータに対応する係数  $b_1, \dots, b_n$  もテーブルから求めるのが特徴である [8]。

応答曲面モデルは、物理パラメータのばらつきとそれに対応する遅延時間を複数シミュレーションすることで生成する。応答曲面モデルを、複数の遷移時間と負荷容量に対して求めることで、係数テーブルを生成する。係数テーブルは、セルの種類、遷移する入力ピン、立上り、立下りごとに作成する。

遅延解析を行なう際には、これらの係数テーブルをひくことで、応答曲面関数  $b$  を求める。テーブル参照の概念を図2に示す。負荷容量と入力遷移時間の条件からテーブルを補間する。

### 3.2 ゲート内ばらつきを考慮した遅延モデル

ここでは、提案する遅延モデルの導出を行なう。変動変数の縮約を2段階で行なう。統計的に、複数の正規分布の和が別の正規分布で表わされることを利用し、正規分布を合成することで変動変数を削減する。まず、式(4)をチップ間ばらつき成分とチップ内ばらつき成分について考える。各トランジスタのチップ内ばらつき成分は、1つの変動変数で表現できることを示す。次に、ゲート内ばらつきを考慮するために、各トランジスタに対して変動変数を割り振る。各トランジスタの感度を考える事で、チップ内ばらつきについて、ゲートごとに変動変数を1つに縮約する。

簡単のため、まず、トランジスタが nMOS, pMOS, それぞれ一つずつの場合について議論する。トランジスタ特性  $p$  について、平均  $\mu$ 、チップ間ばらつき成分  $p_g$ 、チップ内ばらつき成分  $p_r$  を考えると、遅延時間  $t_d$  は以下の式で表される。

$$t_d = b_0 + b^T p \quad (5)$$

$$= b_0 + b^T (\mu + p_g + p_r) \quad (6)$$

一般に物理パラメータ間には相関がある。互いに無相関な標準正規分布  $N(0, 1)$  を各要素に持つベクトル  $x_g$  を用いて、各要素間に相関を持ったベクトル  $p_g$  は、主成分分析により以下のようにモデル化できる [11]。

$$p_g = D_g U_g \Lambda_g^{1/2} x_g \quad (7)$$

$D$  は物理パラメータの標準偏差を要素にもつ対角行列、 $U$  は物理パラメータの相関行列の固有ベクトルから成る行列、 $\Lambda$  は物理パラメータの相関行列の固有値を成分とする対角行列である。チップ内ばらつき成分  $p_r$  についても、同様に無相関な標準正規分布ベクトル  $x_r$  で表すことができる。

$$t_d = b_0 + b^T \mu + b^T D_g U_g \Lambda_g^{1/2} x_g + b^T D_r U_r \Lambda_r^{1/2} x_r \quad (8)$$

$$= t_0 + \tau_g^T x_g + \tau_r^T x_r \quad (9)$$

チップ内ばらつき  $\tau_r^T x_r$  の各要素は、独立な正規分布の和であるため、統計的に一変動変数で代表する事が可能である。遅延時間  $t_d$  は、以下の式で表わされる。

$$t_d = t_0 + \tau_g^T x_g + \tau_r x_r \quad (10)$$

$t_0$  は平均遅延時間である。チップ内ばらつき  $x_r$  は平均値が0、分散が1の乱数で、チップ間ばらつき  $x_g$  は各要素の平均値が0、分散が1の乱数ベクトルである。また、チップ間ばらつき成分  $x_g$  は、同一チップ内の全ゲート間で共有するため、変数を縮約することはできない。

ここまでは、単一トランジスタの場合を扱ったが、一般に、各トランジスタに対して、それぞれ応答曲面関数  $b_k^T p_k$  を割り振ると、遅延時間  $t_d$  は以下の式で表わされる。

$$t_d = b_0 + b_1^T p_1 + b_2^T p_2 + \dots + b_k^T p_k + \dots + b_m^T p_m \quad (11)$$

$$= b_0 + \sum_k b_k^T \mu + \sum_k b_k^T p_g + \sum_k b_k^T p_{rk} \quad (12)$$

また、ゲート内ばらつきを考えない場合の応答曲面を  $b$  とすると、

$$b^T = \sum_k b_k^T \quad (13)$$

なので、以下のように変形できる。

$$t_d = b_0 + b^T (\mu + p_g) + \sum_k b_k^T p_{rk} \quad (14)$$

$$= t_0 + \tau_g^T x_g + \sum_k \tau_{rk} x_{rk} \quad (15)$$

$$\tau_g^T = b^T D_g U_g \Lambda_g^{1/2} \quad (16)$$

$\tau_g$  が応答曲面  $b$  から求めるのに対し、各  $\tau_{rk}$  は、一般に応答曲面  $b$  のみからは求まらない。そこで、各トランジスタの遅延時間に対する感度係数  $s_k$  を導入し、 $\tau_{rk}$  を以下の式で表す。

$$\tau_{rk} = s_k \tau_{r0} \quad (17)$$

感度係数  $s_k$  は感度解析から簡単に求まる。感度係数については、次節で詳しく議論する。 $\tau_{r0}$  は  $s_k$  の求め方から決まる基準値である。正規分布  $s_k \tau_{r0} x_{rk}$  の和を単一の正規分布で表わす。標準正規分布の変動変数  $x_r$  を用いて、遅延時間  $t_d$  は以下の式で表わされる。

$$t_d = t_0 + \tau_g^T x_g + \sqrt{\sum_k s_k^2} \tau_{r0} x_r \quad (18)$$

遅延時間のチップ内ばらつき成分について、ゲート内ばらつきを考慮しない場合の標準偏差を  $\tau_r$  とする。  $\tau_r$  は、応答曲面  $b$  から以下の関係より求まる。

$$\tau_r = \sigma(b^T p_r) \quad (19)$$

$$= \sigma\left(\sum_k^m \tau_{rk} x_r\right) \quad (20)$$

$$= \sum_k^m s_k \tau_{r0} \quad (21)$$

以上の式より、提案するゲート遅延ばらつきモデルは、以下の式となる。

$$t_d = t_0 + \tau_g^T x_g + \frac{\sqrt{\sum_k^m s_k^2}}{\sum_k^m s_k} \tau_r x_r \quad (22)$$

右辺第二項はチップ間ばらつき成分、第三項はチップ内ばらつき成分を表わす。  $\tau_r x_r$  がゲート内ばらつきを考慮しない場合のチップ内ばらつき量となる。

$\tau_g, \tau_r$  は、それぞれ式 (16) (19) を用いて、応答曲面  $b$  から求まる。チップ間ばらつきを求めるための応答曲面  $b$  があれば、感度係数  $s_k$  を求めるコストだけで、式 (22) からチップ内ばらつき成分も計算することが可能である。また、変動変数を統計的に縮約することで、トランジスタ数  $m$  個、物理パラメータ数  $n$  個として、  $nm$  個必要であった変動変数を、1 個に削減した。

#### 4. 感度係数の導出

感度係数  $s_k$  は、各トランジスタについて感度解析を行ない求める事が可能である。ただし、感度係数は、入力遅移時間と負荷容量にも依存する。それぞれの条件ごとに感度係数を求めるのは、計算コストが高い。感度係数の計算方法について、以下の4つの方法の計算コストと誤差の評価を行なう。

##### 4.1 感度計算方法

###### (A) 遅移時間、負荷容量ごとに感度係数 $s_k$ を計算する方法

遅移時間、負荷容量ごとに感度係数  $s_k$  を求める。トランジスタのワーストケースパラメータで、slowのパラメータと typicalのパラメータを用いて感度を求める。感度を求めるトランジスタのみをslowにした場合と typicalにした場合の遅延時間の差を感度係数  $s_k$  とした。4つの方法の中では、一番計算コストが高く、正確である。

###### (B) 感度係数 $s_k$ を典型値で代表する方法

遅延時間のばらつきは、負荷を充放電するための電流が流れるトランジスタの特性により決まる。感度係数を、遅移時間、負荷容量ごとに求めるのは、計算コストが高い。方法(B)では、ある遅移時間、負荷容量で求めた感度係数をすべての遅移時間、負荷容量の条件で用いる。代表値を求めた遅移時間、負荷容量では、遅延モデルの誤差は0となる。

感度係数  $s_k$  は、各セル、入力ピンについて一組ずつ求める必要がある。

###### (C) 感度係数 $s_k$ をすべて等しいとする方法

電流の流れるトランジスタの感度係数  $s_k$  を1として、流れないトランジスタの感度係数  $s_k$  を0とする。電流の流れるトランジスタの数を  $m$  個とすると、ゲート遅延ばらつきモデル(式

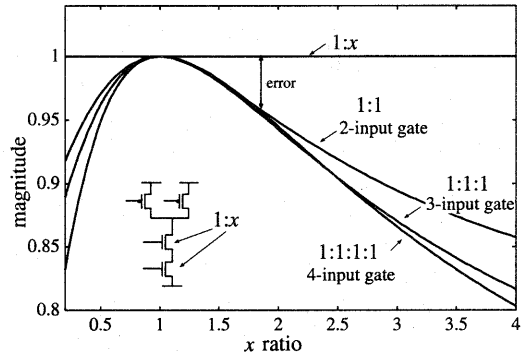


図3 感度係数  $s_k$  の近似による遅延ばらつき最大の誤差

22) は、以下の式で代替される。

$$t_d = t_0 + \tau_g^T x_g + \frac{1}{\sqrt{m}} \tau_r x_r \quad (23)$$

方法(C)では、感度係数を求めるために付加的な解析を必要としない。精度は、方法(B)よりも悪くなる。方法(C)による最大の誤差を見積もる。ゲート内において、あるトランジスタの感度係数を  $x$  とする。ゲート遅延ばらつきの誤差が最大となるのは、それ以外のトランジスタの感度係数が1の時である。2入力、3入力、4入力の場合の遅延ばらつきの最大誤差を図3に示す。横軸は感度係数  $x$  で、縦軸は、  $s_k = 1$  の場合の遅延ばらつきに対する相対値、つまり  $\frac{\sqrt{\sum_k^m 1}}{\sum_k^m 1} / \frac{\sqrt{\sum_k^m x^2}}{\sum_k^m s_k}$  を示す。ゲートの種類、トランジスタ寸法、遅移時間、負荷容量などによって感度係数の比は異なる。感度の比が2倍程度であるとする、2入力の場合では5.4%の誤差に相当する。

###### (D) ゲート内ばらつきを考慮しない方法

ゲート内での各トランジスタ間のばらつきを考慮しない場合を考える。提案モデル式(22)において  $m=1$  とした場合に相当する。方法(A)の場合と比較すると、チップ内ばらつき成分は  $\frac{\sum_k^m s_k}{\sqrt{\sum_k^m s_k^2}}$  倍となる。方法(C)と同じく、付加的な解析は必要ない。

##### 4.2 セル構造の分類

上記4つの条件について、CMOS 0.13 $\mu$ m プロセス用に設計されたセルライブラリでの誤差評価を行なう。

まず、セル構造の分類を行なう。充放電電流が、複数のトランジスタを流れる場合として、直列型セル、並列型セル、マルチステージ型セルの3種類がある。直列型セルは、図4のNANDゲートに示されるように、直列に接続されたトランジスタに充放電電流が流れる場合である。直列型セルとしては、他に、NORゲートの立上りやAND-OR-INVゲートやOR-AND-INVゲートのような複合ゲートがある。

一般のセルライブラリにおいて、どのセルもレイアウトにおけるセル高さは等しい。幅の大きなトランジスタは配置できないので、分割して並列に接続する。並列型セルとしては、図5に示されるような駆動力の大きいINVゲートがある。直列型セルにおいても、駆動力の大きいセルでは、トランジスタは分割され、並列型となる。

駆動力を大きくするために、トランジスタ幅を大きくすると、入力容量も増加する。入力容量の増加を抑えるために、図6の

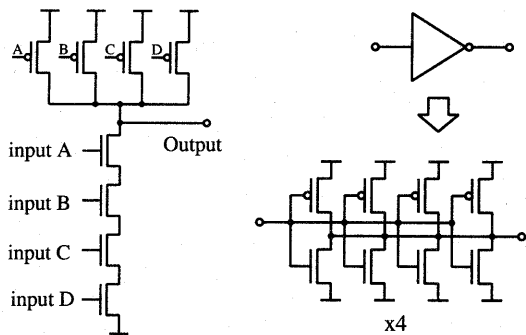


図4 直列型セル (4 入力 NAND) 図5 並列型セル (INVP040)

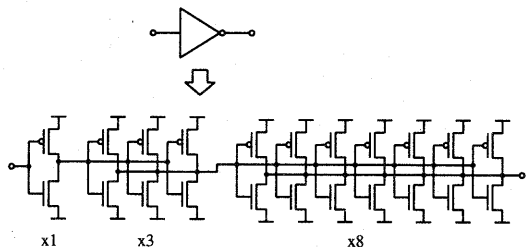


図6 マルチステージ型セル (INVP080)

ように、1つのインバータゲートの内部を3つのインバータで構成する場合もある。この構造をマルチステージ型セルと呼ぶ。駆動力の大きい NAND ゲートなどもマルチステージの構成をとる。

### 4.3 感度係数の計算方法による誤差の評価

直列型セルの評価として、図4の4入力 NAND ゲートの立下り時について、感度係数とモデル化誤差を求めた。入力ピン A が遷移する場合の感度係数を図7に示す。x軸が負荷容量で、y軸が遷移時間である。それぞれ10~100[fF]、10~100[ps]の範囲で解析を行なった。入力ピン C に対する感度係数  $s_C$  を基準とした。負荷容量が小さく、遷移時間が大きい場合において、感度係数  $s_A$  が大きくなる。感度係数の計算方法による誤差の評価として、チップ内ばらつきの標準偏差を図8に示す。方法(A)により求めたチップ内ばらつきの標準偏差を基準値1として、方法(B)(C)(D)により求めた標準偏差を示す。方法(B)(C)(D)では、遷移時間と負荷容量に対して感度係数が一定なので、負荷容量が小さく、遷移時間が大きい部分において誤差が増大する。実験を行なった条件下での、誤差の最小、平均、最大を表1に示す。方法(B)では、負荷容量50[fF]、入力遷移時間50[ps]での感度係数を用いた。

並列型では、回路構造が対称なのでどのトランジスタについても感度は等しい。方法(A)(B)(C)の誤差は等しい。方法(D)では、式(23)より方法(A)に比べると、チップ内ばらつきが  $\sqrt{m}$  倍となる。

マルチステージ型の評価として、図6のINVP080ゲートの立下りについて、感度係数とモデル化誤差を求めた。初段、中段、後段の感度係数をそれぞれ  $s_A, s_B, s_C$  とし、図9に示す。x軸が負荷容量で、y軸が遷移時間である。それぞれ10~1000[fF]、

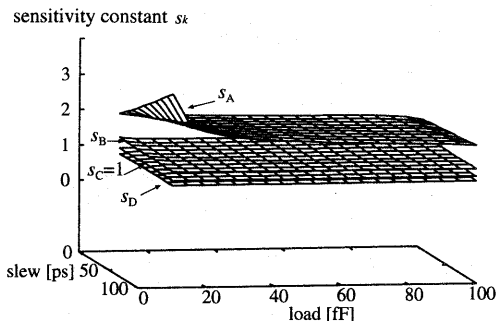


図7 遷移時間、負荷容量に対する感度係数  $s_k$  の変化 (4 入力 NAND)

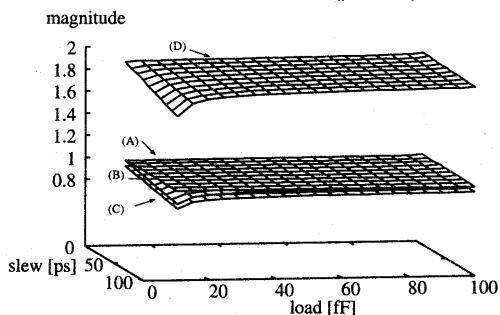


図8 遅延時間におけるチップ内ばらつきの標準偏差 (4 入力 NAND)

表1 感度計算方法によるモデル化誤差

方法	4 入力 NAND			INVP080		
	最小	平均	最大	最小	平均	最大
(B)	-11.9%	-0.76%	+1.54%	-26.0%	-1.12%	+13.8%
(C)	-16.0%	-5.42%	-3.24%	-35.7%	-12.1%	-1.05%
(D)	+68%	+89%	+94%	+122%	+204%	+243%

10~100[ps]の範囲で解析を行なった。後段の感度  $s_C$  を基準とした。モデル化の誤差を図10に示す。方法(B)においては、負荷容量400[fF]、入力遷移時間50[ps]での感度係数を用いた。誤差の最小、平均、最大を表1に示す。直列型と比較して感度の差が大きいため、直列型における方法(B)と(C)の差よりも、マルチステージ型における方法(B)と(C)の差は大きい。方法(B)では平均の誤差が-1.12%であるのに対して、方法(C)では平均の誤差が-12.1%となった。

## 5. ゲート内ばらつきを考慮した遅延解析実験

ゲート内におけるトランジスタ間のばらつきを考慮する事により、回路遅延ばらつきの解析精度が向上する事を示す。LGSynth93 ベンチマークセットに含まれる des 回路について統計遅延解析を行なった結果を図11に示す。ゲート数は3759であった。静的遅延解析(STA)によるモンテカルロシミュレーションを行なった。実線は、提案モデルにより各ゲートの遅延ばらつきをモデル化した場合の、回路遅延の分布を示す。感度係数は、方法(C)により求めた。図中の破線は、ゲート内ばらつきを考慮せずにゲート遅延ばらつきをモデル化した場合(手法(D))の遅延分布である。ばらつきの大きさは実測値から求めた[9]。提案モデルと従来モデルでは、最悪遅延 ( $\mu + 3\sigma$ ) にお

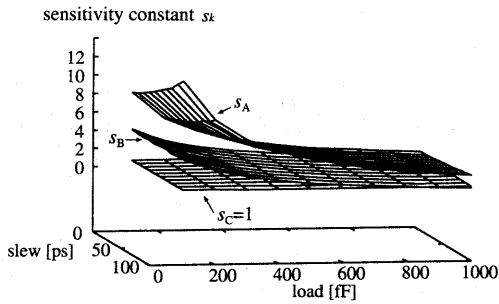


図9 遷移時間、負荷容量に対する感度係数  $s_k$  の変化 (INVP080)

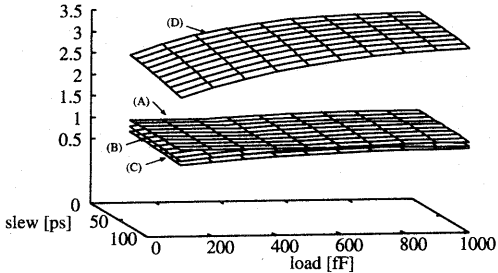


図10 遅延時間におけるチップ内ばらつきの標準偏差 (INVP080)

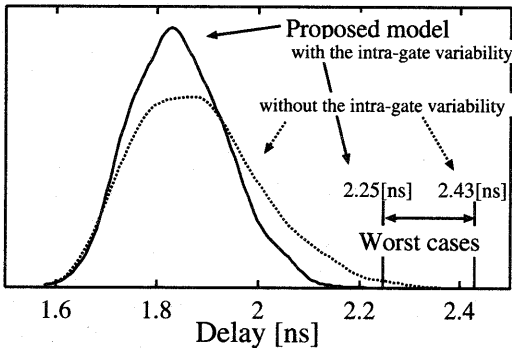


図11 従来手法との比較 (des 回路の遅延時間分布)

いて 0.183[ns] の遅延誤差を確認した。提案モデルでは、遅延変動幅に対して 31.8% 誤差が改善した。1000 回繰り返しのモンテカルロシミュレーションにかかった計算時間は、14.2 秒であった。Pentium4 1.7GHz を搭載した計算機を用いた。

## 6. 結 論

本稿では、ゲート内ばらつきを考慮した遅延モデルを提案した。近年、チップ内ばらつきを考慮した統計遅延解析が必要となっているが、個々のゲート遅延を正確に求めるための手法は発表されていない。チップ内ばらつきを考慮する際には、論理ゲート内におけるトランジスタ間のばらつきを考慮する必要がある。各トランジスタに変動変数を割当てるのは、計算コストが増大するため好ましくない。複数の正規分布の和が、ある 1 つの正規分布で表わされる事に基づき、変動変数の削減を行った。

遅延のモデル化には応答曲面による手法を用いた。遅延時間を物理パラメータに対する一次式で近似した。各トランジスタのばらつきに対する遅延時間の分布をモデル化するのはコストが高い。各物理パラメータのチップ内ばらつき成分を正規分布であると仮定して、統計的に分布の合成を行ない、変動変数を削減した。

感度係数の求め方について、従来手法も含めた 4 つの方法について計算コストと誤差の評価を行なった。感度係数は入力の遷移時間や負荷容量にも影響する。遷移時間や負荷容量ごとに感度係数を求める方法は正確であるが計算コストが高い。遷移時間や負荷容量に関係なく感度係数を 1 とした場合と、ある代表値を用いた場合を評価した。ゲート内ばらつきを考慮しない場合では平均で +89% であった誤差が、提案モデルを用いることで、平均誤差が -0.8% となった。感度係数を 1 とする方法では、マルチステージ型セルについては平均モデル化誤差が -12.1% となった。代表値による方法を用いることにより、マルチステージ型でも平均誤差は -1.12% となった。感度係数の計算においては、必要なモデル化精度と計算コストによって、使い分けが可能である。また、ベンチマーク回路における比較実験では、提案モデルを用いることで、解析精度が 31.8% 改善する事を確認した。

## 文 献

- [1] S. Nassif, "Within-chip variability analysis," *Proceedings of IEEE International Electron Devices Meeting*, pp. 283-286, Dec. 1998.
- [2] K. A. Bowman and J. D. Meindl, "Impact of within-die parameter fluctuations on future maximum clock," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 229-232, 2001.
- [3] M. Orshansky, L. Milor, P. Chen, K. Keutzer and C. Hu, "Impact of systematic spatial intra-chip gate length variability on performance of high-speed digital circuits," *Proceedings of IEEE/ACM International Conference on Computer-Aided Design*, pp. 62-67, 2000.
- [4] M. Orshansky, C. Spanos and C. Hu, "Circuit performance variability decomposition," *Proceedings of International Workshop on Statistical Metrology*, pp. 10-13, 1999.
- [5] M. Berkelaar, "Statistical delay calculation, a linear time method," *Proceedings of IEEE/ACM International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems*, pp. 15-24, 1997.
- [6] M. Hashimoto and H. Onodera, "A performance optimization method by gate sizing using statistical static timing analysis," *Proceedings of International Symposium on Physical Design*, pp. 111-116, 2000.
- [7] S. Tsukiyama, M. Tanaka and M. Fukui, "A statistical static timing analysis considering correlations between delays," *Proceedings of IEEE/ACM Asia and South Pacific Design Automation Conference*, pp. 353-358, 2001.
- [8] 藤田智弘, 松尾英範, 小野寺秀俊, "大規模集積回路の統計的遅延解析手法," 情報処理学会 DA シンポジウム 論文集, pp. 91-96, July 2000.
- [9] 岡田健一, 小野寺秀俊, "トランジスタ特性のチップ内ばらつきを考慮した統計遅延解析手法," 電子情報通信学会 回路とシステム (軽井沢) ワークショップ 論文集, pp. 499-504, April 2002.
- [10] M. Pelgrom, A. Duijnmaier and A. Welbers, "Matching properties of MOS transistors," *IEEE Journal of Solid-State Circuits*, pp. 1433-1439, Oct. 1989.
- [11] 近藤正樹, 小野寺秀俊, 田丸啓吉, "中間モデルを用いた mosfet の統計的モデル化手法," 電子情報通信学会 論文誌, Vol. J81-A, No. 11, pp. 1555-1563, Nov. 1998.