

CPLD の PLA ブロックにおけるクロスポイント故障および 縮退故障の診断法

落合 渉[†] 堤 利幸[‡] 山崎 浩二[‡] 富澤 一隆[†]

[†] 明治大学大学院理工学研究科

[‡] 明治大学工学部情報科学科

〒214-8571 神奈川県川崎市多摩区東三田 1-1-1

E-mail: {ochi, tsutsumi, yamaz, tomizawa}@cs.meiji.ac.jp

あらまし 本稿では、CPLD の PLA ブロックにおけるクロスポイント故障および縮退故障の診断法を提案する。CPLD は PLA ブロックが相互に接続されたデバイスであり、設計変更が容易なため広く用いられている。これまで CPLD のクロスポイント故障および縮退故障の検出に関する研究は行われてきたが、故障診断に関しては十分な研究がなされていない。本論文では診断用のコンフィギュレーションを調査し、CPLD の PLA ブロックにおけるクロスポイント故障および縮退故障の診断法を考案した。結果として 8 回のコンフィギュレーションで 100% の故障が診断可能であることを示す。4 回のコンフィギュレーションでは 98.5% の故障が診断可能であった。

キーワード CPLD、PLA ブロック、マクロセル、クロスポイント故障、コンフィギュレーション

An approach to locate of crosspoint faults and stuck-at faults in a PLA block of CPLDs

Wataru OCHIAI[†] Toshiyuki TSUTSUMI[‡] Koji YAMAZAKI[‡] Kazutaka TOMIZAWA[†]

[†] Graduate School of Science and Technology, Meiji University

[‡] Department of Computer Science, Meiji University

1-1-1 Higashimita, Tama-ku, Kawasaki-shi, Kanagawa, 214-8571, Japan

E-mail: {ochi, tsutsumi, yamaz, tomizawa}@cs.meiji.ac.jp

Abstract This paper describes an approach to locate crosspoint faults and stuck-at faults in a PLA block of CPLD. CPLD is a configurable device in which PLA blocks are connected mutually. Since the design change is easy, CPLD is widely used. Although research on detection of crosspoint faults and stuck-at faults of CPLD has been done so far, sufficient research on fault location has not been shown. We investigate configurations for fault location of the PLA block of CPLD and propose an approach to locate crosspoint faults and stuck-at faults. It is shown that all faults can be located by eight times of configurations using the proposed approach. The 98.5% of the faults can be located by four times of configurations.

Keyword CPLD, PLA block, Macro-cell, crossing point failure, configuration

1. はじめに

近年、VLSIの製造技術の進歩に伴う大規模化・高集積化の結果、人手による設計が困難となり、計算機を用いた設計の自動化が不可欠になっている。このため、設計者が簡単に論理回路をプログラムすることができるデバイスに注目が集まっており、特にFPGA (Field Programmable Gate Array) や CPLD (Complex Programmable Logic Device) がよく用いられている。

CPLDは複数のPLA (Programmable Logic Array) ブロックと配線領域を1つのチップに収めたデバイスである。CPLDはユーザープログラマブルである、設計変更が容易である、などの特長を持っており、小・中規模のゲートアレイの置き換えによく用いられている[1][2]。これまでのCPLDの故障検出に関する研究により、4回のコンフィギュレーションで単一クロスポイント故障と単一縮退故障が全て検出できることが分かっている[3][4]。しかし、故障診断に関する研究は行われていない。そこで我々はCPLDのPLAブロックに対する効率の良い故障診断法を調査することにした。

CPLDは様々なデバイスメーカーが製造しているが、それらの基本的な構造はほぼ同じである。ここでは、多機能で比較的広く使用されているAltera社のMAX7000シリーズを対象とし[5]、そのPLAブロックにおける単一クロスポイント故障および単一縮退故障診断用の回路パターンおよびテストパターンの生成法を提案する。

2. CPLDの構造

CPLD (Altera MAX7000) は図1のようにLAB (Logic Array Block) と呼ばれるPLAブロックと、それらを相互につなぐ配線領域、外部とデータのやり取りをするI/O Control Blockとから構成される[5]。また各LABは16個のマクロセルからなり、各マクロセルは36本の入力線を共有している。

各マクロセルは図2に示すように36本の入力、シェアラブル・エキスパンダからの内部入力を持ち、積項を実現するANDアレイ、ORゲート、XORゲート、フリップフロップ (以下FFと略す) 等から構成されている。積項線は各マクロセルに5本ずつ設けられている。5つ以上の積項の論理和が必要な場合は、パラレル・エキスパンダを介して隣接するマクロセルの積項を利用することができる。これにより最大で20積項の論理和をとることができる。シェアラブル・エキスパンダは各マクロセルに1本ずつ存在し、積項線の値を反転させて内部の入力とする。ローカルフィードバックはマクロセルの出力をPIA (Programmable Interconnect Array) を通して入力にフィードバックさせる機能である。

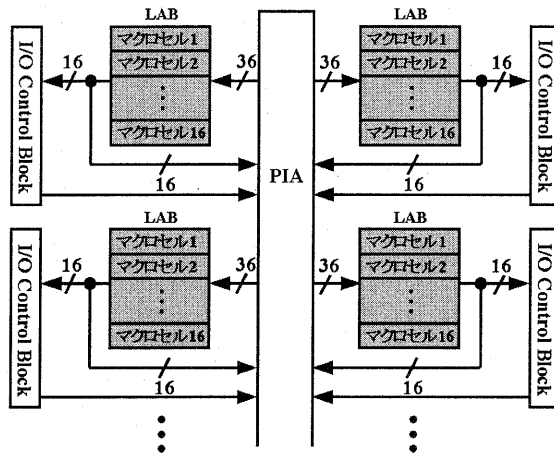


図1 Altera MAX7000の構造

図2のANDアレイ部分にデバイスを配置し積項を実現する。そして、プロダクトターム・セレクト・マトリックスでANDアレイ部とゲート部を、更にPIAを介してLAB同士を適宜接続することでCPLDに回路を実現する。これをコンフィギュレーションという。

コンフィギュレーションに要する時間は1回につき約5秒であると言われている[5]。これは通常のテスト時間と比べるときわめて長い時間である。したがって、コンフィギュレーション回数を少なくすることが診断時間を短くする上で極めて有効となる。

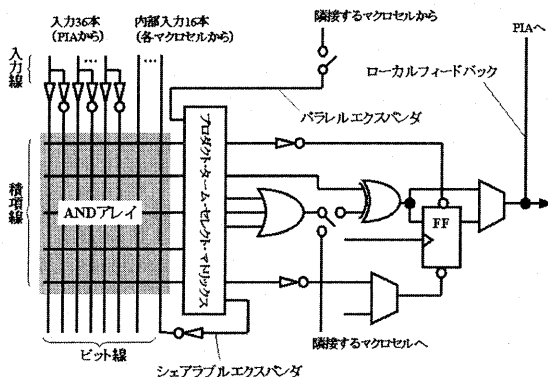


図2 マクロセルの構造

3. クロスポイント故障

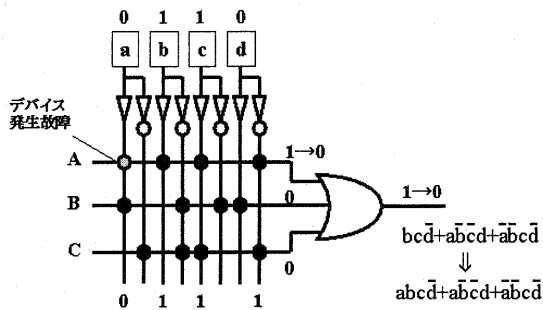
PLAやCPLD特有の故障としてクロスポイント故障がある[6]。クロスポイント故障には、デバイス発生故障とデバイス消失故障がある。デバイス発生故障は図3(a)のように本来デバイスが存在しないはずのクロスポイントにデバイスが発生する故障である。デバイス消失故障は図3(b)のように本来存在するはずのデバイス

スが消失する故障である。

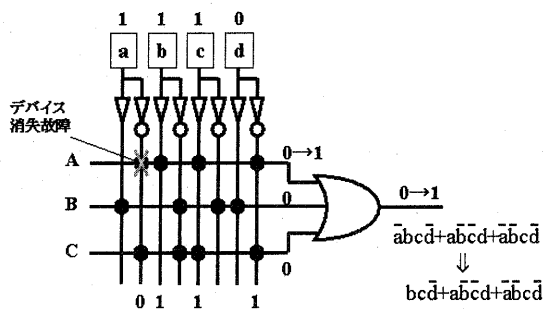
ある積項線上のクロスポイント故障を活性化させる条件は

- ・活性化させたい故障が存在するビット線の値を 0
- ・その積項線に接続されている上記以外の全てのビット線の値を 1

である。図 3 にその例を示す。



(a) デバイス発生故障



(b) デバイス消失故障

図 3 クロスポイント故障の活性化

4. 故障診断法

本稿で提案する診断法では、LAB を 5 つの部分に分けて考え、その各々の部分に対して以下の流れで診断する。

- 1) 診断用のコンフィギュレーション
- 2) テストパターンの印加
- 3) 故障の検出パターンから故障箇所を特定

4.1. 入力部分の積項生成部と OR-XOR パス部の診断

まず入力線、そのビット線、積項線、OR ゲートの入出力線、XOR ゲートの入出力線、入力部分の AND アレイに対して診断を行う。

各クロスポイントにおいてデバイス発生故障とデバイス消失故障が生じ得る。そのため、1 つのクロスポイントの故障を考えると、そのクロスポイントにデバイスを配置してある場合と配置していない場合の 2 回のコンフィギュレーションが必要である。このこと

を踏まえたコンフィギュレーションの条件は次のようになる。

[条件 A1] 1 回目と 2 回目のコンフィギュレーションは互いに反転したものである。

[条件 A2] 各積項線が最小項を表す。

[条件 A3] 同一マクロセル内の各積項線のハミング距離が互いに 3 以上である。

[条件 A4] 積項線のうち任意の 1 本を XOR ゲートの入力とし、その他の積項線は OR ゲートの入力とする。

テストパターンはデバイス発生故障は積項線 1 本に対して 1 つで十分であり、デバイス消失故障は配置されているデバイス 1 つに対して 1 つ必要である [3][4]。

以上の条件を満たす 2 回のコンフィギュレーションとテストをして故障が検出された場合、その検出パターンから、ここで診断の対象とする故障の多くが特定できる。しかし、この時点では特定できない故障がある。それは、デバイス発生故障、積項線の 1 縮退故障、ビット線の 0 縮退故障の 3 つである。

デバイス発生故障は、2 回目までのコンフィギュレーションでどのマクロセルのどの積項線にあるのかまでは特定できる。また、故障が検出された際にデバイスが配置されていないクロスポイントが故障の被疑箇所であることは明らかである。これらの被疑箇所の中から故障箇所を特定するためには新たに 1 回のコンフィギュレーションを追加する必要がある。このときのコンフィギュレーションの条件は、[条件 A1] から [条件 A4] に次の条件を加えたものになる。

[条件 A5] 故障が存在することが判明した積項線にデバイスを配置しない。

このときのテストパターンは各被疑箇所について

- ・その被疑箇所があるビット線の値を 1
 - ・それ以外の被疑箇所があるビット線の値を 0
- を満たすテストパターンが 1 つずつ必要である。

図 4 に例を示す。図 4 の積項線 B 上にデバイス発生故障が生じていることが判明しているとする。今、テストパターン (011000) を加えたときに故障が検出されたとする。このテストパターンでは、図中で最も左側の被疑箇所のあるビット線の値のみが 1 である。従って、他の故障箇所に故障が生じていても、このテストパターンでは故障は検出されない。よって最も左側の被疑箇所が故障箇所であることが分かる。

積項線の 1 縮退故障はどのマクロセルに生じているかまでは特定できているが、どの積項線なのかまでは特定できていない。ただし XOR ゲートに接続された積項線は 2 回のコンフィギュレーションで特定可能であるため除く。積項線の 1 縮退故障を診断するためには更に 2 回のコンフィギュレーションが必要である。まず図 5 のように 2 本の積項線だけを OR ゲートに接

続し、テストパターンを印加する。故障が検出されたら接続した2本の積項線のいずれかに故障があり、検出されなければ接続していない2本の積項線のいずれかに故障があることがわかる。次に故障がある2本の積項線のうち1本のみをORゲートに接続する。これでどちらに故障が生じているのかわかる。よって積項線の1縮退故障は4回のコンフィギュレーションで全て診断可能である。

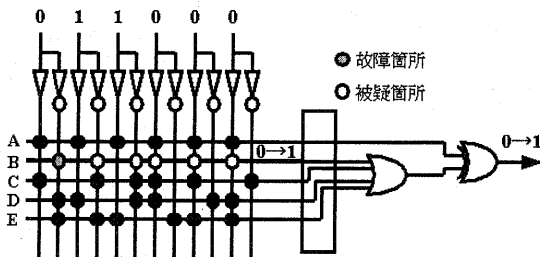


図4 デバイス発生故障の診断例

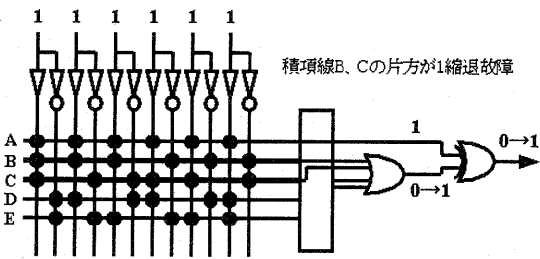


図5 積項線の1縮退故障の診断例

ビット線の0縮退故障はデバイスの配置が全く同じビット線のいずれかに故障が生じているというところまでは特定できているが、どのビット線なのかまでは特定できていない。これを診断するためには新たに1回のコンフィギュレーションを追加する必要がある。これらのビット線がそれぞれ異なる1つのマクロセルとのみ接続されているようなデバイスの配置にしたコンフィギュレーションをすれば故障箇所は簡単に特定できる。テストパターンは一般的な縮退故障検出用のもので容易に診断可能である。よってビット線の0縮退故障は3回のコンフィギュレーションで診断可能である。

4.2. シェアラブル・エキスパンダ部分の積項生成部の診断

次にシェアラブル・エキスパンダ部分の積項生成部を調べる。

この場合も各クロスポイントにおいてデバイス発生故障とデバイス消失故障が生じ得るため、以下の条

件を満たす2回のコンフィギュレーションが必要である。

[条件 B1] 各ビット線はシェアラブル・エキスパンダとして使用される積項線とそれ以外の積項線のどちらか一方にしか接続しない。

[条件 B2] 同一マクロセル内の各積項線について、その積項線の値のみが1となるような入力が存在する。

[条件 B3] LAB内のシェアラブル・エキスパンダとして使用される積項線について、その積項線の値のみが1となるような入力が存在する。

[条件 B4] 1回目のコンフィギュレーションではシェアラブル・エキスパンダ部分すべてにデバイスを配置し、2回目はすべて配置しない。

[条件 B5] 1本の積項線をXORゲートの入力とし、1本の積項線はシェアラブル・エキスパンダに接続する。残りの積項線はORゲートの入力とする。

このときのテストパターンの生成方法は次のようになる。

- ・入力部分に関しては活性化したい故障が存在する積項線の値を1
 - ・シェアラブル・エキスパンダ部分に関しては活性化したい故障が存在するビット線の値を0、その他のビット線の値を1
- このテストパターンでデバイス発生故障が検出される例を図6に示す。

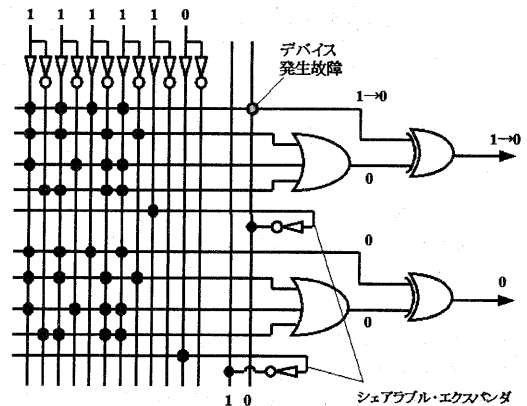


図6 デバイス発生故障の検出

しかし、このテストパターンではシェアラブル・エキスパンダ部分のビット線の0縮退故障が検出されないため診断できない。そこで、次の条件を満たすテストパターンを1つ追加する。

- ・シェアラブル・エキスパンダ部分のビット線の値を全て1
- ・XORゲートの接続している積項線の値を1

図6の場合では(111100)というテストパターンを

追加する。

ここで故障が検出された場合、検出パターンから多くの故障が特定できる。しかしシェアラブル・エキスパンダ部分のビット線の0縮退故障のみは検出パターンから特定することができない。これは、シェアラブル・エキスパンダ部分のビット線16本のいずれかに0縮退故障が生じていることはわかるが、どのビット線が0縮退故障であるのかまでは特定できていないということである。これを診断するためには更に1回のコンフィギュレーションが必要である。このときのコンフィギュレーションの条件は、[条件B1]から[条件B3]に次の条件を加えたものになる。

[条件B6] n番目のマクロセルのシェアラブル・エキスパンダのビット線はn番目のマクロセルだけに接続する。

[条件B6]より、シェアラブル・エキスパンダのビット線はただ1つのマクロセルとしか接続を持たないため、どのマクロセルで故障が検出されるかによって故障箇所を特定することができる。図7のようにテストパターン(111100)を加え、図中の上側のマクロセルで故障が検出された場合、太線のビット線に0縮退故障が生じていることが分かる。

以上より、シェアラブル・エキスパンダ部分のビット線の0縮退故障は5回目のコンフィギュレーションで診断可能である。

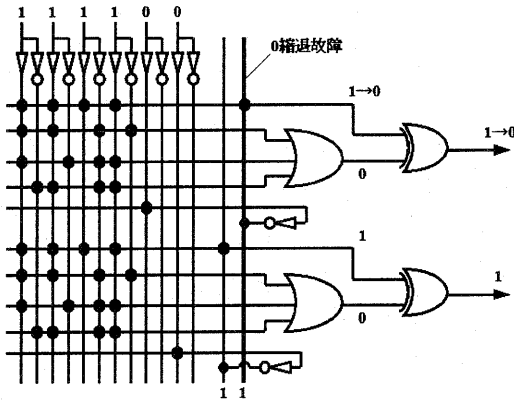


図7 ビット線の0縮退故障の診断

4.3. フリップフロップ周辺部分の診断

次にFF周辺部分の信号線に対して診断を行う。このときのコンフィギュレーションの条件は次のようになる。

[条件C1] 各積項線の値をそれぞれ自由に決められるようにデバイスを配置する。

[条件C2] 積項線2本をFFにつながる2つのNOTゲートの入力線と接続する。積項線1本をXORゲート

の入力線と接続し、残りの積項線をORゲートの入力線と接続する。

これらの条件を満たすようにコンフィギュレーションした例を図8に示す。診断の対象は太線部分の信号線である。これらの信号線の縮退故障は一般的な縮退故障検出用のテストパターンで検出可能である。またその検出パターンから故障箇所は特定できる。従って5回目のコンフィギュレーションで全て診断可能である。

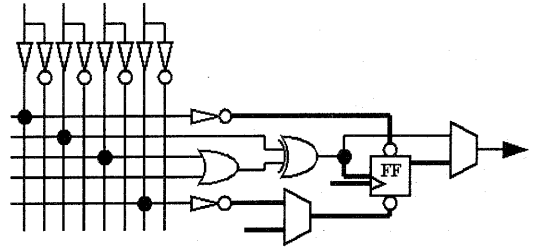


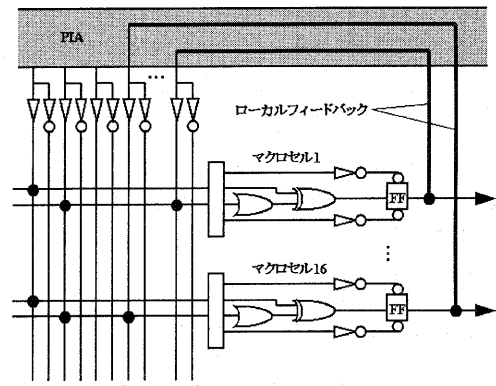
図8 FF周辺部の診断用コンフィギュレーション

4.4. ローカルフィードバック部分の診断

次にローカルフィードバック部分の信号線に対して診断を行う。このときのコンフィギュレーションの条件は次のようになる。

[条件D1] 各マクロセルのローカルフィードバックからつながる入力線において、そのマクロセルだけに接続されるようにデバイスを配置する。

この条件を満たすようにコンフィギュレーションした例を図9に示す。診断の対象は図9の太線部分の信号線である。これらの信号線の縮退故障は一般的な縮退故障検出用のテストパターンで検出可能である。またその検出パターンから故障箇所は特定できる。従って6回目のコンフィギュレーションで全て診断可能である。



入力線のうち16本を各マクロセルからのローカルフィードバックと接続

図9 ローカルフィードバック部の診断用コンフィギュレーション

4.5. パラレル・エキスパンダ部分の診断

次にパラレル・エキスパンダ部分の信号線に対して診断を行う。このときのコンフィギュレーションの条件は次のようになる。

[条件 E1] 各マクロセルにおいて任意の積項線 1 本を OR ゲートに接続し、その積項線の値を任意に設定できるようにデバイスを配置する。

[条件 E2] 1 回目のコンフィギュレーションは奇数番目のマクロセルをパラレル・エキスパンダを用いて偶数番目のマクロセルに接続する。2 回目のコンフィギュレーションは偶数番目のマクロセルを奇数番目のマクロセルに接続する。パラレル・エキスパンダは XOR ゲートの入力線に接続する。

奇数番目のマクロセルを偶数番目のマクロセルに接続したコンフィギュレーションの例を図 10 に示す。診断の対象は太線部分の信号線である。これらの信号線の縮退故障は一般的な縮退故障検出用のテストパターンで検出可能である。またその検出パターンから故障箇所は特定できる。従って 7 回目あるいは 8 回目のコンフィギュレーションで全て診断可能である。

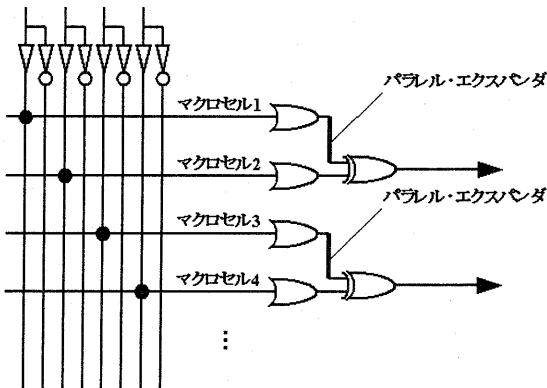


図 10 パラレル・エキスパンダ部の診断用コンフィギュレーション

5. 結果

4 章で提案した故障診断法に基づいて何回のコンフィギュレーションでどのくらいの割合の故障が診断できるのかを調査した結果を図 11 に示す。

診断には図 11 に示すように最大 8 回のコンフィギュレーションが必要となっている。しかし 4 回と比較的少ないコンフィギュレーション回数でも 98.5% とほとんどの故障を診断できることが示された。

6. おわりに

本稿では、CPLD の PLA ブロックにおけるクロスポイント故障と縮退故障に対する故障診断法を提案した。

結果として 8 回のコンフィギュレーションで 100% の故障が診断できることを示した。さらに、比較的少ない 4 回のコンフィギュレーションでほとんど (98.5%) の故障が診断できることも判明した。

本稿で対象とした Altera 社 MAX7000 シリーズの LAB の構造は PLA ブロックの標準的な構造なので、他の CPLD にも提案した故障診断法を若干変更することで適用できると考えられる。

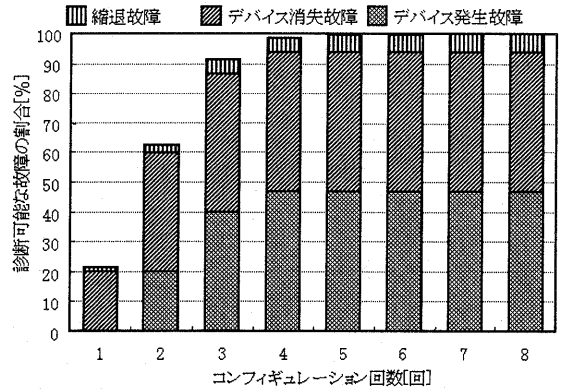


図 11 コンフィギュレーション回数と診断可能な故障の割合

文 献

- [1] H.Fleisher and L.I.Maissel, An Introduction to Array Logic, IBM J.R&D, vol.19, no.2, pp.98-109, 1975.
- [2] S.Brown and J.Rose, FPGA and CPLD Architectures: A Tutorial, IEEE D&T of Computers, vol.13, no.2, pp.42-57, 1996.
- [3] 中西理, "CPLD のクロスポイント故障に対するテスト生成," 修士論文, 明治大学大学院, 2000.
- [4] 福永昌勉, 中西理, 山崎浩二, 山田輝彦, "CPLD のクロスポイント故障に対する一テスト生成法," DA シンポジウム, pp.213-218, 2000.
- [5] Altera Data Book, Altera Co., 1998.
- [6] M.Abramovici, M.A.Breuer and A.D.Friedman, Digital Systems Testing and Testable Design, computer science press, 1990.