

静的遅延解析のための等価ゲート入力波形導出法

-VDSMプロセスに起因する波形歪みへの対応-

山田 祐嗣[†] 橋本 昌宜[†] 小野寺秀俊[†]

[†] 京都大学大学院情報学研究所通信情報システム専攻
606-8501 京都市左京区吉田本町
075-753-5948

E-mail: {yuji,hasimoto,onodera}@vlsi.kuee.kyoto-u.ac.jp

あらまし 本論文ではタイミング解析における等価ゲート入力波形の求め方について述べる。一般的にゲート入力波形の形状は2つの基準電圧を通過する時刻差で表わし、信号到着時刻は電源電圧の50%点を通過する時刻としている。しかしこの手法ではクロストーク、抵抗性容量遮蔽効果、インダクタンスなどのVDSMプロセスにおいて発生する諸問題に対処することができない。そこで提案手法では50%点を通過する時刻に捕われずに等価波形を求めることで、ゲート負荷によるゲート出力波形の変化を考慮した等価的な入力波形を求める。等価入力波形には最小二乗法を改良した重み付き最小二乗法を用いる。提案手法をタイミング解析に用いることでより正確な遅延時間を見積もることが可能となる。

キーワード タイミング解析, クロストーク, ゲート遅延, 抵抗性容量遮蔽効果, インダクタンス

Estimating Equivalent Gate Input Waveform for Static Timing Analysis

-Coping with waveform distortion due to VDSM processes-

Yuji YAMADA[†], Masanori HASHIMOTO[†], and Hidetoshi ONODERA[†]

[†] Department of Communications and Computer Engineering, Kyoto University
Yoshida honmachi, Sakyo-ku, Kyoto-shi, 606-8501, Japan
+81-75-753-5948

E-mail: {yuji,hasimoto,onodera}@vlsi.kuee.kyoto-u.ac.jp

Abstract This paper proposes a method that captures diverse input waveforms of CMOS gates for static timing analysis. Conventionally transition time is calculated as the time difference of crossing two reference voltages, and 50% crossing time is the same with that of the original waveform. But this method cannot handle the waveform diversity caused by VDSM issues, such as crosstalk, resistive shielding and inductance. The proposed method substitute equivalent gate input waveform for the reference-point-base waveform. Our method basically utilizes least square fitting, and we improve it so as to consider gate output loading. With the proposed slew calculation, we can perform accurate static timing analysis for diverse gate input waveforms in VDSM technologies.

Key words Static Timing Analysis, Crosstalk, Gate delay, Resistive Shielding, Inductance

1. 研究背景

設計した回路がタイミング制約を満たすことを検証するために静的タイミング解析が行われる。特に近年では回路規模が増大してきたため、静的タイミング解析(以下 タイミング解析)が回路全体のタイミング検証を行うことができる唯一の手段になっている。タイミング解析では回路の入力から出力へ波形を伝搬することで各ノードでの遅延時間を求める。以前のプロセスにおいては遅延時間はゲート部分が支配的であり、配線部分

の遅延時間を考慮する必要はなかった。しかし近年、遅延時間全体に占める配線での遅延時間の割合が大きくなり、配線の分岐状態や構造によってはゲート入力部分での波形が大きく歪む原因となっている。現在の一般的なタイミング解析ではゲート部分と配線部分は別の手法を用いて遅延時間の計算が行われ、それぞれの部分での計算結果を相互に伝達することで全体の遅延計算を行っている。配線部分の遅延時間及び遷移時間の計算は配線が線形素子であることから、ほぼ忠実に実際の波形を再現することができる[1]~[3]。しかしゲートは非線形素子である

ことからその取り扱いには複雑である。ゲート波形計算には様々な手法が提案されており [4], [5], 必要となる精度, 計算コストから適切なモデルが選ばれ使用されている。

近年 VDSM プロセスでは様々な問題が発生している。配線の断面積が減少していることから配線抵抗が増加し, 容量負荷が遮蔽される抵抗性容量遮蔽効果 (Resistive Shielding), ある配線での波形の変化が配線間容量を通じて隣接する配線に影響を与えるクロストークノイズ, 抵抗成分の小さいグローバル配線におけるインダクタンス成分による波形のリングングなどが問題となる。これらの問題はタイミング解析におけるゲート遅延計算を行う際に誤差を生じさせる要因となる。

本論文ではゲート入力波形が歪んだ場合に, ゲート出力波形が等しくなるような等価入力波形を求める手法について述べる。等価入力波形は最小二乗法を改良した, 重みを用いた最小二乗法を使用して求め, 従来の基準点を用いた手法では対応することが不可能であった歪んだゲート入力波形に対しても高い精度でゲート遅延を求めることができる。本手法は一般的なゲート遅延計算アルゴリズムに提案手法を付け加えることで新たなキャラクタライズなどは必要なく, VDSM における諸問題に対応することができる。

本論文の構成を述べる。第 2 章では従来手法での問題点, 最小二乗法を用いた入力波形の近似手法とその問題点について述べる。第 3 章では提案手法である重みを用いた最小二乗法について説明する。第 4 章では提案手法と従来手法を用いて, クロストークノイズ, 抵抗性容量遮蔽効果, インダクタンスで歪んだ波形に対する実験を行い, 提案手法の計算コストについて述べる。最後に第 5 章でまとめを行う。

2. 等価入力波形を用いた提案手法

タイミング解析におけるゲート遅延計算には様々な手法が提案されている [4], [5]。広く用いられているゲート遅延計算 [4] は, ゲート入力波形の遷移時間と出力負荷を用いて出力波形の遅延時間と遷移時間を求めるテーブルルックアップモデルが用いられる。ゲートへの入力波形を表わすパラメータは 1 つであり, 1 つのパラメータで波形の特性を表わす必要がある。波形を 1 つのパラメータで表わす方法として, 参照点を用いる方法が用いられる。最も単純な手法は, 時刻の異なる 2 つの参照点を通過する直線を用いる方法で, 例えば 20-80% 点を通過する直線などが用いられる。この際, $0.5V_{dd}$ 点を通過する時刻は変化させない。また文献 [6] では, 電源電圧 V_{dd} の 40-60% 点を通過する時刻差 T_{12} を用いて, 式 (1) で表される波形を用いている。式 (1) において, V_{dd} は電源電圧, t_s はオフセット時刻, T_{12} は遷移時間を表わすパラメータである。

$$f_{rise} = \begin{cases} 0 & 0 \leq t \leq t_s, \\ V_{dd} \frac{0.2(t-t_s)}{T_{12}} & t_s < t \leq t_s + 3T_{12}, \\ V_{dd}(1 - 0.4e^{-\frac{t-t_s-3T_{12}}{2T_{12}}}) & t_s + 3T_{12} < t. \end{cases} \quad (1)$$

入力波形はその特性をなるべくよく表現できることが望まれるが, VDSM プロセスでは参照点をもとにした入力波形近似モデルでは誤差が生じることがある。図 1 に参照点を用いる手法で誤差が大きくなる場合を示す。図 1 に示す様に, 参照点を

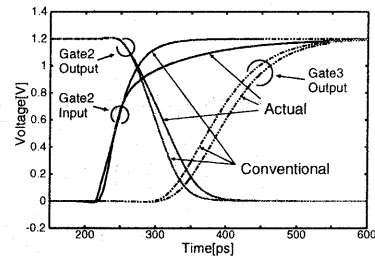


図 1 基準点を用いる手法で誤差が大きくなる場合

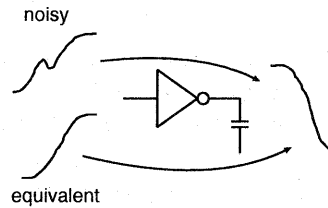


図 2 等価波形を用いる提案手法の概念図

用いたモデルでは参照を行っていない部分において波形が歪んだ場合に対応することができない。この問題に対応するために参照点を増やすことが考えられる。しかし参照点を増やすことでテーブルルックアップモデルのパラメータが増えるため, 新たなキャラクタライズの必要性や, 適切なモデル化の問題が生じる。従って入力波形を 1 つのパラメータで表わすことは重要な課題となる。

ゲート入力波形にクロストークノイズが印加された場合におけるゲート遅延計算は現在様々に提案されている [7]~[9] が, 次に示す手法が一般に用いられている。まずノイズがない場合のゲート入力波形から, $0.5V_{dd}$ 点を通過する時刻を求める。次にノイズが印加された場合のゲート入力波形が, 最後に $0.5V_{dd}$ 点を通過する時刻を求め, ノイズがない場合との時刻差を求める。ゲート出力波形はノイズがない波形がゲートに入力された場合の出力波形を, 遷移時間は変えずに求めた時刻差分だけ遅らせることで求める。この手法には一見して分かる致命的な欠陥がある。ノイズに起因するゲート遅延時間の変化が $0.5V_{dd}$ 点のみで決まるため, $0.5V_{dd}$ を複数回通過するかしないかの僅かな差で遅延時間が大きく変化する。

ゲート入力波形が抵抗性容量遮蔽効果で歪んだ場合においても, クロストークノイズが印加された場合の遅延時間を求める際においても, 特定の参照点を用いる手法には大きな誤差が生じる可能性がある。そこで特定の参照点に頼らずに入力波形を求めることで, ゲート入力波形を求める場合や, クロストークノイズによる遅延時間の変化を求める際に生じる問題を取り除くことを考える。

提案手法の概念図を図 2 に示す。従来ゲート入力波形は, 遅延時刻を表わすパラメータである $0.5V_{dd}$ 点を通過する時刻は変えず波形の遷移時間を調節することで対応してきた。しかし提案手法では, クロストークノイズの有無, $0.5V_{dd}$ 点を通過する時刻に関係なく, ゲート出力が一致する等価的な入力波形を求める。等価入力波形には波形の特徴を 1 つのパラメータで比

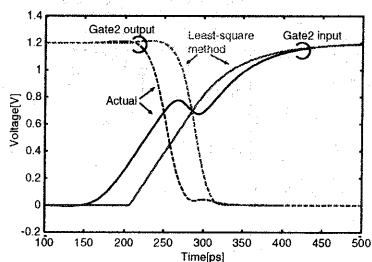


図3 最小二乗法では適切な近似ができない例

較的良く表わすことができる文献[6]の式(1)を用い、 T_{12} , t_s を調整する。

特定の参照点を用いずに入力波形を近似する手法として最小二乗法が考えられる。ゲートの入力波形が変化する十分広い範囲に渡って積分を行えば、特定の部分において波形が歪んだとしても十分対応することができる。最小二乗法による波形の近似は式(2)を最小にする $g(t)$ を選ぶことで可能である。

$$\int_{t_1}^{t_2} \{f(t) - g(t)\}^2 dt, \quad (2)$$

$f(t)$ はゲートに入力される実際の波形、 $g(t)$ は近似後の波形である。 $g(t)$ には式(1)を用いる。変数は T_{12} , t_s の2つとなる。

ゲート入力波形にクロストークノイズが印加された場合について、最小二乗法を用いた結果を図3に示す。最小二乗法では参照点を用いる手法と異なり波形全体を合わせこむ。図3の場合も波形全体を合わせ込んでいるが、ノイズが印加されている部分は出力波形が遷移した後であり、この部分を考慮して波形の合わせ込みを行うと誤差の原因となる。つまり最小二乗法を用いる手法は波形全体を合わせ込むことができるという利点とともに合わせ込むと誤差となる部分まで合わせ込んでしまい、正確なモデル化ができない。次章ではこの問題を取り除く方法について議論する。

3. 重み付き最小二乗法による等価入力波形の導出

前章では基準点を用いる波形近似手法と、波形全体を合わせ込む最小二乗法による手法について考察した。参照点を用いる手法では参照点がない部分での波形の歪みが影響する。また波形全体を合わせ込む最小二乗法では出力波形の変化を考慮していないため、不必要な部分まで合わせ込んでしまうことが原因で誤差が生じることがわかった。そこでゲート出力波形も考慮した最小二乗法を提案する。提案手法では式(3)を用いて近似波形を求める。

$$\int_{t_1}^{t_2} \left| \frac{\partial v_{out}}{\partial v_{in}} \right|_{v_{in}=g(t)} \{f(t) - g(t)\}^2 dt, \quad (3)$$

ここで v_{in} はゲート入力波形、 v_{out} はゲート出力波形である。ゲート出力波形の変化を考慮するため、最小二乗法の式(2)に新たに $\partial v_{out} / \partial v_{in}$ の項を付け加えた。この項により出力波形が変化している部分に重みをおいて最小二乗法を行うことができる。

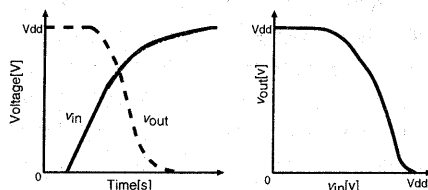


図4 ゲート入出力波形(左図)と、ゲートの入力電圧と出力電圧の関係(右図)。

図4に $\partial v_{out} / \partial v_{in}$ の項の挙動を示す。左図はゲート入出力波形の関係を時間領域で示している。右図は v_{in} 及び v_{out} の関係を示している。付け加えた項は右図における傾きを表わしている。 v_{out} の変化が大きい場合は重みが大きくなり、 v_{out} の変化が小さい場合は重みが小さくなる。一般的にタイミング解析においては、ゲート遅延計算のために入出力波形を保持しているため重みの項は式(4)を用いて簡単に求めることができる。従って重みの項を付け加えるために特別な機能の追加が必要になることはない。

$$\frac{\partial v_{out}}{\partial v_{in}} = \frac{\partial v_{out}}{\partial t} \cdot \frac{\partial t}{\partial v_{in}} = \frac{\partial v_{out}}{\partial t} \cdot \frac{1}{\partial v_{in} / \partial t} \quad (4)$$

重み付き最小二乗法の計算アルゴリズムを次に示す。

- (1) 基準点を用いた近似手法で入力波形を近似する。
- (2) 入力波形から出力波形を求める。
- (3) 求めた入力波形と出力波形から重みを計算する。
- (4) 基準点から求めた入力波形を初期値として、式(3)を最小にする $g(t)$ を求める。

重み付き最小二乗法の計算アルゴリズムにおいて、ステップ4では時刻 t_1 , t_2 の幅で数値計算を行う必要がある。時刻 t_1 , t_2 は計算コストの観点から精度を落とさない範囲において、なるべく狭い範囲を選ぶことが望まれる。時刻 t_1 は明らかにゲート入力波形が遷移し始める時刻を選ぶことが最も合理的である。 t_2 の選び方については様々な選択の余地があるが、経験的に以下のことが分かっている。入力波形を近似する際において、入力波形が完全に遷移してしまった後の出力波形は重要ではない。また同様に出力波形が完全に遷移した後の入力波形は重要ではない。以上のことから(1)入力波形が完全に遷移する(2)出力波形が完全に遷移するのうちどちらか早い時刻を t_2 とすることで精度を落とさず十分に狭い範囲で波形の近似を行うことができると考えられる。ゲート入力波形にクロストークノイズがある場合については、ノイズの幅[10]を t_2 に付け足す。これはノイズの幅よりも遅延変動量が大きくなることはないためである。ここで述べた t_1 , t_2 の選び方の妥当性については次章において実験で確かめる。また参照点の幅についても次章で考察する。

4. VDSMプロセスでの問題を想定した実験

4.1 クロストーク

ゲート入力波形にクロストークノイズが印加された場合について、提案手法の有効性を調べる。ここでは第2章で示した一般的に用いられている手法と提案手法での比較を行う。

図5に実験回路を示す。実験ではクロストークノイズが印加された場合の遅延評価点#1から#2までの $0.5V_{dd}$ 点遅延時間を測定する。実験条件を以下に示す。ゲート1には遷移時間100psの波形を入力する。ゲート4にも遷移時間100psの波形を10psずつタイミングをずらして入力し、その結果としてゲート2の入力波形には10psタイミングの異なるノイズ波形が印加される。実験における配線パラメータにはITRS[11]における $0.13\mu\text{m}$ プロセスを仮定し、配線間容量 $C_c = 0.0575\text{fF}/\mu\text{m}$ 、対地容量 $C_g = 0.0960\text{fF}/\mu\text{m}$ 、抵抗 $R = 0.0846\Omega/\mu\text{m}$ を用いる。

評価の基準としてまずクロストークノイズがない場合において#2で信号が $0.5V_{dd}$ になる時刻を測定する。次にノイズが各タイミングで印加された場合の#2において、信号波形が $0.5V_{dd}$ を通過する時刻を測定し、遅延時間の変化を求める。また、#1において提案手法を用いて波形を近似し、近似波形を回路シミュレータに入力し、#2での通過時刻を測定し近似を行わなかった場合と比較する。

図6に実験結果を示す。図の横軸はノイズ波形が入力される

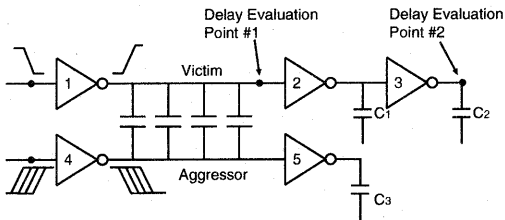


図5 ゲート入力波形にクロストークノイズが印加された場合の実験回路

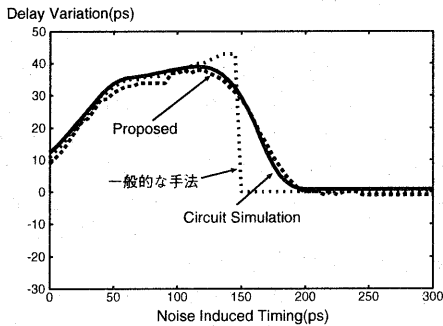


図6 クロストークノイズが印加された場合の提案手法の精度評価 (ゲート1 4x, ゲート2 4x, C1, C2 100fF).

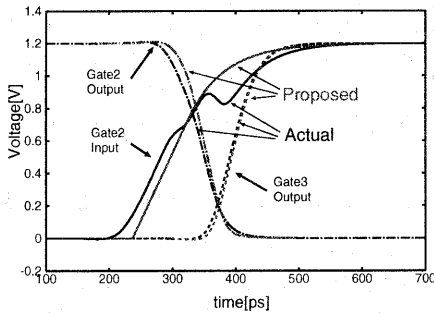


図7 攻撃配線が2本ある場合の等価入力波形とその出力波形

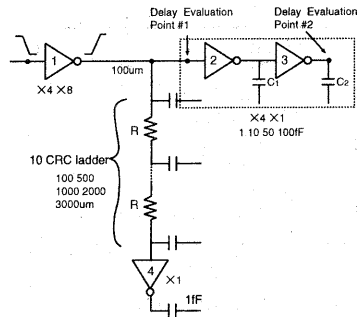


図8 抵抗性容量遮蔽効果が顕著になる実験回路

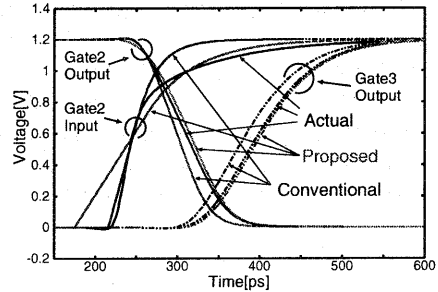


図9 提案手法を適用した例

タイミングを、縦軸はノイズが印加されない場合と比較した遅延時間の変化を表わしている。実験において、一般的に用いられている手法では遅延時間が不自然に急峻な変化しているのに対して、実際の遅延時間は滑らかに変化していることが分かる。この不自然な変化は一般的な方法での問題点であり、タイミング解析に適用した場合に致命的な誤差の要因となる。これに対して提案手法を用いた場合、遅延時間の変化はほぼ実際の遅延時間と同様の変化をしており、クロストークノイズによって歪んだ波形でも適切な遅延時間を求めることができることが分かる。図7に攻撃配線が2本になった場合にゲート入力波形を提案手法を用いて近似した場合のゲート入出力波形を示している。図7では攻撃配線が2本になっても入力波形を適切に近似していることが分かる。この結果から攻撃配線が複数になっても提案手法が有効であると言える。

4.2 抵抗性容量遮蔽効果

配線において抵抗性容量遮蔽効果が顕著な場合について評価実験を行う。評価を行う実験回路を図8に示す。

ゲート1及びゲート2を $100\mu\text{m}$ の配線でつなぎ、その終端に分岐配線を接続する。この分岐配線の長さを変化させることでゲート2に入力する波形を歪ませる。評価方法を以下に示す。ゲート1に100psの遷移時間の波形を入力し、回路シミュレータを用いてゲート2の入力波形及びゲート3の出力波形を求める。この際ゲート3の出力波形が $0.5V_{dd}$ を通過する時刻を求めておく。次にゲート2の入力波形を文献[6]の手法及び提案手法を用いて入力波形を求め、回路シミュレータに入力することでゲート3の出力波形を求める。この時近似を行わなかったとき同様ゲート3で出力波形が $0.5V_{dd}$ を通過する時刻を求め誤差の計算を行う。

実験に用いる配線には $0.10\mu\text{m}$ プロセスにおけるセミグローバル

ル配線を仮定する。配線抵抗 $0.737\Omega/\mu\text{m}$ 、配線容量 $0.198\text{fF}/\mu\text{m}$ となる。分岐配線は、100, 500, 1000, 2000, 3000 μm の長さで変化させゲート 2 入力波形を様々に歪ませる。ゲート 1 には 4x, 8x のインバータ、ゲート 2, 3 には標準, 4x, 8x のインバータを用いた。 C_1, C_2 には 1, 10, 50, 100fF の容量を用いた。実験条件は 80 通りになる。実験結果を以下に示す。文献 [6] を用いた場合の最大誤差が 31ps になったのに対して、提案手法では 15ps であり、50%以上精度が改善されている。図 9 に入力波形を提案手法で近似した場合と、文献 [6] の手法で近似した場合のゲート入出力波形を示す。図から分かるようにゲート 2 の入力波形を提案手法で近似した場合のゲート 3 の出力波形は回路シミュレーションで求めた場合とほぼ同様であり、ゲート 2 の入力波形がうまく近似できていることが分かる。この結果から抵抗性容量遮蔽効果が顕著な場合に提案手法が有効であることがわかる。

4.3 インダクタンス

配線でのインダクタンス成分が顕著な場合、配線の出力では波形が複雑に変化する。そこで提案手法を用いることで、インダクタンスを含む配線出力でも等価な波形を求めることができることを確かめる。図 10 に実験回路及び配線の断面図を示す。ゲート 1 とゲート 2 の間の配線はインダクタンス成分を含む 3mm の配線である。配線のパラメータは抵抗 $11.6\Omega/\text{mm}$ 、容量 $67.4\text{fF}/\text{mm}$ 、インダクタンス $1.75\text{nH}/\text{mm}$ である。提案手法で近似した場合と、文献 [6] のモデルを用いた場合での比較を行う。

図 11 に実験結果を示す。図にはゲート 2 の入出力波形及びゲート 3 の出力波形を示している。実際のゲート入力波形は文献 [6] の基準点を通過してから歪んでいるため文献 [6] の手法では誤差が大きくなってしまふ。これに対して、提案手法である重み付き最小二乗法では出力波形も考慮して波形全体を合わせ込んでいるためほぼ適切に出力波形を求めることができていふ。このことから提案手法を用いることでインダクタンス成分

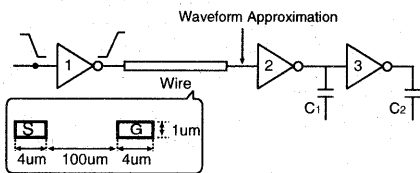


図 10 インダクタンス成分を含む配線を用いた実験回路

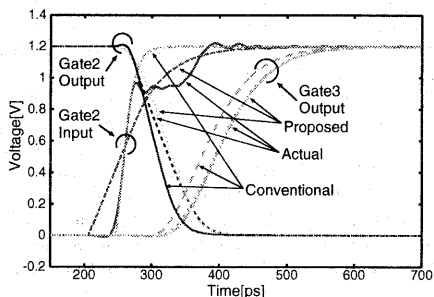


図 11 インダクタンス成分を含む配線での提案手法の評価実験結果

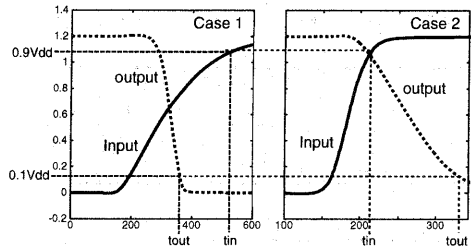


図 12 入出力波形の 2 パターン (左図: $t_{in} > t_{out}$ (右図: $t_{in} < t_{out}$).

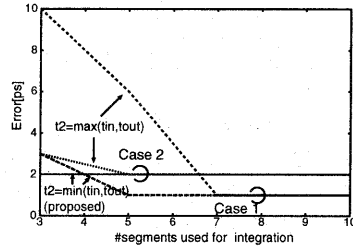


図 13 Case 1 と Case 2 における誤差とセグメント数の関係

を含む配線出力においても適切に入力波形を近似できることが分かる。

4.4 参照点数と計算精度

式 (3) における積分範囲、参照点の数及び計算精度には相関関係がある。第 3 章では式 (3) における積分範囲と t_2 の決め方について議論した。この節では第 3 章で議論した t_2 が妥当であることを実験で確かめる。また適切に t_2 を選ぶことで計算コストを削減できることを確認する。ここで次に示す 2 つの場合を考える (図 12)。 $t_{in}(t_{out})$ は入力波形 (出力波形) が $0.9V_{dd}$ 遷移した時刻とする。

Case 1 : 入力波形の遷移時間が出力波形の遷移時間より長い場合 ($t_{in} > t_{out}$)

Case 2 : 出力波形の遷移時間が入力波形の遷移時間より長い場合 ($t_{in} < t_{out}$)

第 3 章の議論より式 (3) の積分終了時刻 t_2 は $\min(t_{in}, t_{out})$ で決まる。しかしここで比較対象として、 $t_2 = \max(t_{in}, t_{out})$ も用いて積分に用いる参照点の数と計算精度の関係を求める。図 13 に実験結果を示す。実験結果より Case 1 においては歴然とした差が生じる。参照点数を 3 点とした場合、 $\min(t_{in}, t_{out})$ を選ぶことで誤差を 10ps から 3ps まで減らすことができる。 t_2 に $\max(t_{in}, t_{out})$ を選んだ場合、最大の精度を得るのに参照点数が 7 点必要なのに対して、 $\min(t_{in}, t_{out})$ では参照点は 5 点で十分なことも分かる。参照点の数は計算コストに影響を与えるため少ない参照点数で高い精度が必要になることから、第 3 章での議論は妥当であることが分かる。また Case 2 においても Case 1 と同様の傾向を見ることが出来る。

次に歪んだ波形を近似する際に必要となる参照点数について考える。まず配線が容量性で歪まない場合のゲート入力波形と配線抵抗のためゲート入力波形が歪んだ場合を比較する。表 1 に計算精度と参照点数の関係を表わす実験結果を示す。表に

表1 抵抗性容量遮蔽効果が顕著な場合と顕著でない場合における、誤差[%]とセグメント数の関係

	提案手法(参照点数)					従来手法
	3	5	8	10	40	
Res. shielding なし	1.6	1.6	0.0	0.0	0.0	1.9
Res. shielding あり	11.3	7.3	1.0	0.3	0.3	10.9

表2 ノイズ内の参照点数と誤差の関係

参照点数	1	2	3	4	5	10	80
最大誤差 [ps]	35.0	18.5	13.9	9.0	7.3	7.3	7.3

表3 提案手法の計算コスト

参照点数	3	5	10	20	40
計算コスト	1.12	1.17	1.27	1.48	1.71

における従来手法は2つの参照点を通過する時刻から遷移時間を求めている。抵抗性容量遮蔽効果がない場合、参照点は3点で十分であり、この場合では文献[6]の手法を用いても精度は高い。抵抗性容量遮蔽効果が顕著な場合、文献[6]の手法では誤差が10%を越えているのに対して、提案手法では参照点を8点とすることで誤差を1.0%以内に抑えることができる。これらの結果から大部分を占める抵抗性容量遮蔽効果がない場合には参照点を3点とし、それ以外では10点程度の参照点を用いる方法が計算コストも少なく、高い精度を保つことができる。

ゲート入力波形にクロストークノイズが印加された場合の参照点数について考える。クロストークノイズの影響を波形の近似に反映させるためには、ノイズの幅の中に何点かの参照点が必要となることが想像できる。そこでノイズ幅の中に必要な点数を実験で確かめる。実験結果を表2に示す。表はノイズの幅内の参照点数と計算精度の関係を示している。この結果からクロストークノイズがある場合、参照点はノイズの幅内に4点から5点必要となることが分かる。以上の議論をまとめる。クロストークノイズがない場合に決まる参照点の幅を Δ_{tran} 、クロストークノイズがある場合に決まる参照点の幅を Δ_{noise} とすると、式(3)の計算に用いる参照点幅 Δt は、 $\Delta t = \min(\Delta_{\text{tran}}, \Delta_{\text{noise}})$ となる。

4.5 参照点数と計算コスト

提案手法を導入した場合の計算コストを求めるために、タイミング解析ツールに実装して計算コストの増加分を調べた。タイミング解析ツールの概要を示す。ゲート波形計算にはテブナン等価回路モデルを用いる[12]。抵抗と容量のラグーからなる配線はリダクションを行い、 π 回路に変換する[13]。その後 π 回路を用いて有効容量を計算し[14]、テーブルルックアップモデルのパラメータとする。配線の出力波形はゲートの出力波形と配線の2次の伝達関数を用いて求める。配線での伝達関数は文献[3]で提案されているモデルを用いる。式(3)を最小化するには3回から5回の繰り返し計算が必要であった。

提案手法を用いた場合の計算コストの増加を求める。コスト計算のために用いた回路はインバータが直列に接続された単純な回路である。表3に計算コストを示す。表における数値は提案手法を用いなかった場合の計算コストで割った値である。タイミング解析のコストは波形の伝搬及び遅延の計算部分のみを含んでおり、ファイルの入出力や、回路のリダクションなどの

部分は含んでいない。表中の“参照点数”は式(3)の数値積分における参照点数を表わしている。入力波形をなるべく正確に取り込むためには参照点数は多い方がより正確となる。

クロストークノイズがない場合に必要となる参照点数は多い場合で10点であり、実験結果から30%の計算コストの増加となる。またクロストークノイズがある場合でも平均して15点から20点の参照点で十分なことから提案手法を導入する計算コストの増加は15%から30%である。

5. 結 論

ゲート入力波形がクロストーク、抵抗性容量遮蔽効果、インダクタンスの影響を受けた場合の等価ゲート入力波形を求める手法について考えた。ゲート出力波形が変化する部分に重みをつけた最小二乗法を用いて入力波形を近似することで、多様な入力波形に対して統一した手法で等価波形を求めることができ、追加のキャラクタライズの必要もないため簡単に実装することができ、僅かの計算コストの上積みでタイミング解析の精度を飛躍的に向上させることができる。

文 献

- [1] L. T. Pillage, "Asymptotic waveform evaluation for timing analysis," *IEEE Trans. CAD*, pp. 352-366, 1990.
- [2] A. Odabasioglu, M. Celik and L. T. Pileggi, "PRIMA: Passive reduced-order interconnect macromodeling algorithm," *IEEE/ACM Proc. ICCAD*, pp. 58-65, 1997.
- [3] X. Yang, C. K. Cheng, W. H. Ku and R. J. Carragher, "Hurwitz stable reduced order modeling for RLC interconnect trees," *IEEE/ACM Proc. ICCAD*, pp. 222-228, 2000.
- [4] N. H. E. Weste and K. Eshraghian, "Principles of CMOS VLSI Design, 2nd edition," Addison-Wesley Publishing Company, 1992.
- [5] F. Dartu, N. Menezes, J. Qian and L. T. Pillage, "A gate-delay model for high-speed CMOS circuits," *IEEE/ACM Proc. DAC*, pp. 576-580, 1994.
- [6] F. Chang, C. Chen and P. Subramaniam, "An accurate and efficient gate level delay calculator for MOS circuits," *IEEE/ACM Proc. DAC*, pp. 282-287, 1988.
- [7] F. Dartu and L. T. Pileggi, "Calculating worst-case gate delays due to dominant capacitance coupling," *IEEE/ACM Proc. DAC*, pp. 46-51, 1997.
- [8] S. Sirichotiyakul, D. Blaauw, C. Oh and R. Levy, "Driver modeling and alignment for worst-case delay noise," *IEEE/ACM Proc. DAC*, pp. 720-725, 2001.
- [9] S. H. Choi, F. Dartu and K. Roy, "Timed pattern generation for noise-on-delay calculation," *IEEE/ACM Proc. DAC*, pp. 870-873, 2002.
- [10] J. Cong, D. Z. Pan and P. V. Srinivas, "Improved crosstalk modeling for noise constrained interconnect optimization," *ASP DAC*, pp. 373-378, 2001.
- [11] "International Technology Roadmap for Semiconductor," Semiconductor Industry Association, 2001.
- [12] F. Dartu, N. M. Menezes and L. T. Pileggi, "Performance computation for precharacterized CMOS gates with RC-loads," *IEEE Trans. CAD*, pp. 544-553, 1996.
- [13] P. R. O'Brien and T. L. Savarino, "Modeling the driving-point characteristic of resistive interconnect for accurate delay estimation," *IEEE/ACM Proc. ICCAD*, pp. 19-25, 1992.
- [14] C. Cheng, J. Lillis, S. Lin and N. H. Chang, "Interconnect Analysis and Synthesis," A Wiley Interscience Publication, 2000.