

【特別招待講演】

FPGA の進化と今後の FPGA 設計に求められるもの —ロジックデバイスから SoPD へ—

松本 仁†

†三菱電機株式会社 コミュニケーション・ネットワーク製作所 製品化技術開発部

〒661-8661 兵庫県尼崎市塚口本町 8-1-1

E-mail: †h.matsu@melco.co.jp

あらまし FPGA は近年ゲートアレイ市場を凌駕し、半導体の微細化に伴う開発費の高騰、製造期間の長期化もあり製品を構築する上でキーデバイスになっている。また、FPGA の内部に CPU コア、各種 I/O インターフェースの採用により SoC に対峙し SoPD (System on a programmable Device) と呼ばれるまで進化をしてきている。

キーワード FPGA/PLD, IP (Intellectual Property), CAD

【Special Session】

The Current Condition and Future Design Methodologies of FPGA —Shift to SoPD from Only Logic Devices

Hitoshi Matsumoto†

†Communication Networks Center, Mitsubishi Electric Corporation

8-1-1, Tsukaguchi-Honmachi, Amagasaki City, Hyogo 661-8661 Japan

E-mail: †h.matsu@melco.co.jp

Abstract As development cost and design time for ASICs are getting huge, a FPGA is becoming major solution to implement logic circuits. Further more, it is recognized as a solution to implement system by equipping with MPUs and wide varieties of I/Os. Recently, it is called SoPD (System on a Programmable Device) in contrast with SoC (System on a Chip).

Keyword FPGA/PLD, IP (Intellectual Property), CAD

1. はじめに

FPGA/PLD は、1970 年代後半に汎用の TTL や CMOS ロジックデバイスの置き換えとして誕生し、今日では ASIC (Application Specific IC) 世界の SoC (System on Chip) に対して、SoPD (System on a programmable Device) として CPU、各種 I/O インターフェース、IP (Intellectual Property) など製品設計を行う上で十分な機能と性能を持ち、高騰している初期開発費と製造期間が不要であるというメリットでゲートアレイを凌駕し、製品設計で不可欠のデバイスとなりつつある。

本論文では、FPGA/PLD の進化と FPGA 設計に求められるものについて述べる。

2. FPGA/PLD の構造

FPGA/PLD は、ゲートアレイやセルベースアレイのように、敷き詰められたトランジスタを自由に配線でき

る訳ではなく、デバイスやベンダー固有の論理ブロックと配線エリアにある配線チャンネルを用いて配線することで論理を構築する。そのため、論理ブロックや配線エリアの構造は、各デバイスベンダーやデバイスアーキテクチャによって異なり、自分が設計した回路がどのように論理ブロックにマッピングされたかを理解して設計しないと、スペックの動作スピードが達成できないケースや予想に反して集積度が上がらないケースが発生する。その意味で、FPGA/PLD 設計の基本は、FPGA/PLD の構成要素である論理ブロックと配線エリアの理解にあるといっても過言でなく、各 FPGA/PLD ベンダーのデータブックを熟読し、論理ブロックと配線エリアの構造をしっかりと頭に叩き込んで回路設計することが重要である。

2.1 ロジックセル構造

論理ブロックには、以下のような 3 種類の論理プロ

ック構造が使用されている。論理ブロック構造の違いによってデバイス内の論理リソースの使用効率などに差が生じる。

① プロダクトターム構造

複数の多入力 ANDゲートの出力を ORゲートに接続した構造で、ひとつの論理ブロックで比較的大きな論理が構成可能であり、多入力のファンクション、デコーダなどに適している。

② ルックアップ構造

メモリセルと同等の構造を持ち、4~6 本程度の入力（アドレス入力に相当）と1出力（データ出力に相当）で構成されている。入力信号のすべての組み合わせを実現することができるが、多入力の論理を組むときは、複数の論理ブロックを組み合わせる必要がある、このための専用の論理が用意されている。

③ その他の論理ブロック

マルチプレクサ、単純なゲート、トランジスタなどがあり、これらを多段に接続し必要な論理を構成するものがある。

図1にプロダクトターム構造とルックアップ構造を示す。

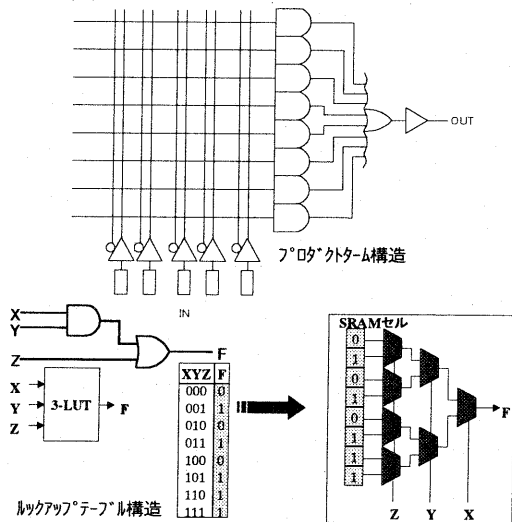


図1プロダクトターム構造とルックアップテーブル構造

2.2 配線構造

配線構造はアレイ構造をベースにしたものと、細分化された配線を接続していくセグメント構造のものがある。この配線構造の違いによってデバイスの動作スピード、配線遅延の予測性などに差が生じる。

① 連続的な配線構造

デバイス内を連続したメタル配線がバス状に走り、それらの配線と論理ブロック間はマルチプレクサな

どで接続されている。配線による遅延が小さく一定で高いパフォーマンスを持ち、その予測が可能である。

② セグメント配線構造

セグメント化（区分化）された配線が多数配分され、それらがバス・トランジスタなどで接続される。論理ブロックの配置により配線の距離が変わるため、遅延は一定ではなく、通過するトランジスタの数に依存するため、配置・配線後のタイミング検証でマージンを確認する必要がある。

2.3 FPGA/PLDの分類

FPGA/PLDは、アーキテクチャの違いから、以下の2種類にできる。

① SPLD/CPLD(Simple/Complex PLD)

SPLD はプロダクトターム構造をベースにした最初に開発された最も単純な構造で、1000ゲート程度までデバイスが提供されている。CPLD は複数の論理ブロックを内蔵し、それらが連続した配線構造により相互に接続されている。論理ブロックは SPLD と同様なプロダクトターム構造が大半である。

② FPGA (Field Programmable Gate Array)

FPGA は主にルックアップテーブルやマルチプレクサなどの構造を持つ小規模な論理ブロックからなり立ち、セグメント化された配線構造により各ブロックが接続されている。表1にFPGA/PLDの分類と特徴を示す。

	CPLD/SPLD		FPGA		
	EEROM/EPROM	フラッシュ	フラッシュ	アナログ	SRAM
集積度	小規模	小規模	中・大規模	小・中規模	中・大規模
不揮発性	○	○	○	○	×
再プログラミング	○	○	○	×	○
遅延時間/予測性	高速/可	高速/可	中速/否	高速/否	中速/否
設計自由度	低い	低い	普通	普通	普通
消費電力	大きい	大きい	普通	少ない	普通
単価	比較的安価	比較的安価	比較的高価	比較的高価	比較的高価
適する回路	アソシエーション	アソシエーション	ランダムロジック	ランダムロジック	ランダムロジック
構成					

表1 FPGA/PLDの分類と特徴

2.4 FPGA/PLDの製造プロセス

現在、ほぼすべてのデバイスは CMOS プロセスが使用され、各論理ブロック内の論理セルや各ブロック間の配線を行うためのプログラマブル・セルの構造にEEPROM、フラッシュメモリ、SRAM、アンチフューズなどが用いられている。EEPROM、フラッシュメモリ

セルの再プログラムが容易で、デバイスをボード上に実装した状態での ISP (In System Programming) が可能である。また、SRAMセルを採用しているデバイスでは、デバイスの動作中にデバイス内部のロジックを部分的に書き換えることが可能なものがある。数百万ゲート規模のデバイスではプログラマブルセル数が膨大なものになるため、セルサイズが小さく、デバイス内のプログラミングをコントロールする回路もコンパクトにできる SRAM プロセスを採用しているデバイスも多い。

製造プロセスの微細化が進み 0.13 μm の 9 層 Cu 配線を用いて現状 FPGA/PLD が提供されているが、更なる先端プロセスの導入により 2005 年には 0.065 μm 11 層の FPGA/PLD が登場する予定である。また、FPGA/PLD は ASIC との価格競争に勝つためには、ASIC より 2 世代以上先のプロセスを用いて製造することでチップサイズの小型化を進めている。しかがってファブレスの FPGA/PLD ベンダーは、世界有数の半導体メーカーと協力し常に先端プロセスを供給できるメーカーと協力関係を築いていく必要がある。図 2 は、FPGA の過去からの発展 (対比 9 1 年) と FPGA で使用する半導体プロセスの動向 (2000 年まで) を示している [5] [6]。

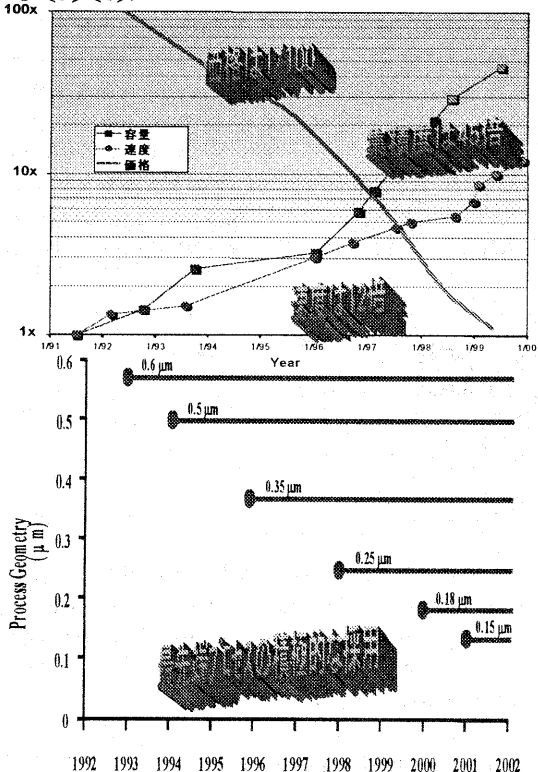


図 2 FPGA のトレンドと半導体プロセスの進化

このように、プロセスの微細化、新しい I/O 規格などの導入に伴ない、デバイスの電源電圧及び I/O 電圧は 5 V, 3.3V, 2.5V, 1.8V, 1.5V など低電圧化の方向に向かっている。また通信、マルチメディアなどの設計に必要な高速 I/O インターフェース (LVDS/LVPECL, CDR1.25Gbps, RapidIO), メモリインターフェース (SSTL, SDRAM I/F など) など標準装備を積極的に進めている。今後 2005 年ごろには 10+ ~40G+ Gbps の列列伝送が可能な FPGA が登場する。

3. FPGA/PLD 設計環境の現状と課題

3.1 FPGA/PLD 開発ツールの現状

ここでは、FPGA/PLD の設計環境について記述する。当初の FPGA/PLD の設計環境は、FPGA/PLD ベンダーから提供されている専用ツールを用いた設計環境が主流であった。これは、回路図エディタ、論理検証、レイアウトなどが一つの GUI (Graphical user interface) で統一され、しかも、設計現場で自由に使える PC (Personal computer) 上で動作した点が評価された。しかし、FPGA/PLD 設計も、ミリオン・ゲート時代になると ASIC 設計と同様に、従来の回路図エディタベースの CAD (Computer aided design) から HDL (Hardware Description Language) を用いた設計手法に、この 3 ~ 4 年間で大きく移行した。これは、設計生産性向上という命題の解決策として、雑誌/各種セミナー及び大学教育などで積極的に取り組んできた成果が実を結び、HDL を用いた設計手法が市場に定着してきたことを示している。すなわち、HDL を用いた設計手法はもはや新しい設計手法ではなく、一般化している。また、HDL に不慣れな人のために、HDL 入力の GUI 化とドキュメント性のメリットと合わせ持った ESDA (Electronic system design automation) ツールが登場し、HDL を用いた設計手法の一助として近年ツールの数も増大している。このように、FPGA/PLD デバイスベンダーがすべてのツールを開発・保守を続けることは、相当な負担になってきており、FPGA/PLD の書き込みデータを作成するレイアウトツールは、デバイス戦略から PLD/FPGA ベンダーが自社開発し、設計の上流は、サード・パーティのシミュレータや合成ツールを積極的にサポートするか、OEM (Original equipment manufacturing) として自社ツールとのマージを行い、ユーザの利便性を優先している。今後は、FPGA/PLD ベンダーは自社のデバイスの強みを遺憾なく発揮できる設計の下流 (レイアウト設計) とツールの統合化を担当し、サード・パーティは、OEM で FPGA/PLD ベンダーにツールを提供し、各々得意な分野で協力関係を深めていく。

3.2 FPGA/PLD 設計手法の変化

FPGA/PLD の大規模・高速化により従来基板設計の片手間に FPGA/PLD を設計してシステム構築をしてきた時代から、FPGA/PLD をシステム LSI のひとつの選択肢として ASIC 設計者が FPGA/PLD 設計に盛んに参画するようになってきた。これは、FPGA/PLD の設計規模が 4～5 年前の LSI 相当の設計規模になってきたことで小ロットや開発試作で ASIC を作らず FPGA/PLD で最終製品をつくるケースが増えたこと。もうひとつは、各種の設計ツールを自由自在に使いこなし、ASIC 並の設計品質が要求されるため、専門的に訓練された ASIC 設計者が FPGA/PLD 設計を実施するほうが、トータルの設計期間の短縮につながるためである。このように、FPGA/PLD の大規模・高速化にともない、システム LSI の選択肢として FPGA/PLD を使い、FPGA/PLD の性能を充分に発揮しようとする、どうしても専門的な知識を持った設計者を当てる必要がある。差当たり ASIC 設計者が FPGA/PLD の構造を理解して設計するのが得策であるが、将来は、FPGA/PLD を専門に設計する設計者の育成が重要な課題となる。

3.3 FPGA/PLD 設計環境の課題

FPGA/PLD の設計環境は、ASIC に比べて必ずしも十分ではない。第一に、タイミング検証があげられる。PLD はデバイス構造から容易にタイミングを予想でき大きな問題はないが、大規模 FPGA は、レイアウト後のタイミング検証が非常に重要な作業であり、タイミング検証を実行したにも関わらず、実機で動作（所望の振る舞いをしない）しないケースが発生する。最近 FPGA ベンダも必要性を感じ徐々にサポートを検討している。また、設計の初期段階からタイミング制約を与えるために、機能ブロックをいくつかのブロックに分割し、FPGA/PLD のどのエリアに機能ブロックを配置するべきか検討するフロアプランツールが FPGA/PLD ベンダーやサード・パーティのツールベンダーからリリースされている。今後は、設計の初期段階でフロアプランを用いてある程度タイミングを抑えこんでいくことが今後設計の主流となる。第二に、FPGA/PLD の大規模化にともない、論理回路情報を生成するレイアウトツールの実行時間が指数的に伸びてきている（最悪なケースでは最新のコンピュータで一昼夜以上なケースもある）。今後必要になる技術として、修正した箇所のみ再レイアウトし、変更しない箇所のタイミングを保持するインクリメンタル・レイアウト手法の導入が不可欠になる。

今後、FPGA/PLD ベンダは、統合された開発ツールのサポートを行いつつ、大規模の PLD/FPGA は、設計

にマッチしたサード・パーティのツール（特に、論理合成、シミュレータ、タイミング解析、フロアプランなど）をユーザが積極的に導入し、FPGA/PLD ベンダのツールはあくまでもレイアウトに特化した開発が中心になって行く。したがって、設計者は、設計のターゲットをきちんと設定し、それを実現する最適な開発ツールを揃えることが大切になる。また、ツールサポートがこのように広範囲になると従来の PC を中心にした設計環境のみで設計できなくなり設計環境も PC と EWS (Engineering Work Station) の分業化とデータの一元管理が課題になる。

4. FPGA/PLD 設計手法と設計環境の将来動向

4.1 IP を用いた設計手法への移行

FPGA/PLD もミリオン・ゲート時代に入出し、設計者個人の生産性の向上だけでは到底追いつけないほど開発の TAT (Turn Around Time) が増大している。その解決策として、たくさんの IP が、FPGA/PLD ベンダや専門の設計会社から提供されている。IP を導入することで、標準化されたパーツは、アウトソーシングで社外から購入し、付加価値の高い部分を自分達で設計することで設計の TAT を短縮しようという動きが近年活発に行われている。

一方、IP を用いた設計での問題は、IP の品質をどこまで押さえ切れているか、システムから見た性能が本当に得られない場合がある。これは、IP を流通させる仕組が未発達であるからであり、世界的に IP の品質をチェックする尺度やドキュメントの標準化などが待たれる。現状は、設計者自身が納得できる範囲で利用することが得策であるが、今後 "Time to market" を考えると IP を使った設計が重要となる。図 3 に IP の概念図とその種類を示す [8] [1]。

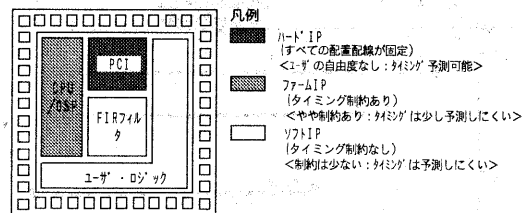


図 3 IP の概念図とその種類

近年、設計生産性向上のため設計の再利用が叫ばれており、半導体の世界では、STARC (Semiconductor Technology Academic Research Center) を中心に HDL のコーディング・スタイルを制定し、モジュールの再利用の促進を促している。

4.2 ASIC と同等の設計環境の構築

将来、FPGA/PLD 設計は、ミリオン・ゲート規模の

ASICを開発するときと同等な開発環境が不可欠になる。まず、論理設計は、HDLを用いた設計手法からシステムレベルの振る舞いを記述する新たな言語の標準化に向けて大学レベルで盛んに研究されている。それに伴い、論理合成の入力レベルもRTL(Register transfer level)から抽象度を上げた論理合成が登場する。次に、検証ツールの動向は、HDLベースのイベントドリブンのシミュレータからサイクベースのシミュレータやアクセラレータで論理検証のTATを短くする必要がある。また、タイミング検証ではSTA(static timing analyze)の導入が必須になる。これは、設計後半で行っているタイミング検証を設計の初期段階で実施し、クリティカルパスを早期に発見することで設計の後戻りが回避できる。今後、FPGA/PLDベンダは、サード・パーティーのSTAツールとのインターフェースの切り口を検討している。最後に、FPGA/PLDのレイアウトは、回路の大規模化に伴い、各モジュールをフロアプランで固め、そのブロックを配置・配線し、タイミングクリティカルなマクロがレイアウトで分散しないようなする。これによりフロア・プランとレイアウトの情報をマネージメントするツールがFPGA/PLD設計でも導入される。

FPGA/PLDの実機での評価は、従来のカットアンドトライのような実機デバックは不可能になり、FPGA/PLD内部に観測モニターを最初から内蔵し、内部信号を外部にトレースバックする仕組が必要になる。

FPGA/PLDの設計環境の歴史を見ると、常にASIC設計環境の2~3年後を追いかける形で進んでいく。従ってCPUコアの搭載によりHW/SW協調設計やC言語・JAVAを用いた記述言語へ移行することで設計生産性の向上や設計者の裾野が広がること予想できる。

4.3 SoPD時代の到来

最近、FPGA/PLDメーカーの新たにSoPDというコンセプトを採用してきた。これは、システムLSI(SoC: System on a chip)に対峙した言葉で、従来のメモリモジュールに続き、FPGA/PLD内にCPUコア(ARM, MIPS, PowerPCなど)やDSP(Digital Signal Processing)コアの取り込み、各種デバイスの入出力インターフェースの導入によりあらゆるデバイスのインターフェースが可能となりFPGA/PLDがシステムLSIと同等な機能を有し、製造コスト・期間の不必要なデバイスとして広く使われるようになっていく。それゆえ、従来の論理回路を中心としたH/W専用デバイスからH/W・S/Wの機能を持ったデバイスとして、システム(実現したい機能)をどのように実現していくかH/W・S/Wの協調設計手法の導入も検討する必要がある。図4に現状のSOPDの概念を示す〔8〕〔6〕。

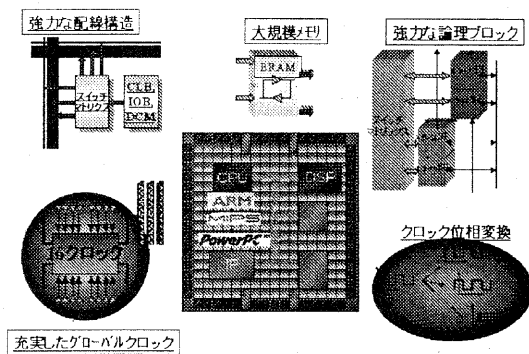


図4 SoPDの概念図

5. おわりに

SoPD時代のFPGA/PLDは、従来の論理回路専用のH/Wデバイスにあるのではなく、むしろ、システムLSIと対峙されるまで進歩したH/W・S/W機能を有する高性能デバイスとして認知され、今後ASICとFPGA/PLDは益々ボーダレス化の時代になる。それゆえに、設計手法や設計環境もASICと同等な設備やツールを用いないと設計できない時代になっており、自分の設計ターゲットにあった設計環境を構築することが重要である。

文献

- [1] 門田晴信：“大規模PLD設計における市販コア利用の基礎知識”，Design Wave Magazine, No16, pp20-25, 1998
- [2] CQ出版編集部：“FPGA/PLDガイド'98” No.16, Design Wave Magazine, No16, pp1-29, 1998
- [3] 第8回FPGA/PLD Design Conference & Exhibit 予稿集, 2001
- [4] ALTERA technical solutions seminar'01 予稿集, 2001.
- [5] Xilinx Technical solution Seminar2 予稿集, 2000
- [6] Xilinx EXPO200 予稿集, 2000
- [7] 本間明子：“プログラマブル・ロジック・デバイス” 2002 半導体テクノロジー大全, 電子ジャーナル, pp1-29, 2002
- [8] 松本仁：“FPGA/PLD設計技術” pp143-148, 2002 半導体テクノロジー大全, 電子ジャーナル, pp143-148, 2002