

アナログ IC レイアウト設計における回路図クラスタ情報に基づく マルチレベル配置手法の提案

野島 隆志^{†,††} 朱 小科[†] 高島 康裕^{††} 中武 繁寿^{††} 梶谷 洋司^{††}

[†] エスアイアイ・イーディーイー・テクノロジー株式会社

〒 808-0135 福岡県北九州市若松区ひびきの 2-5

^{††} 北九州市立大学 国際環境工学部 情報メディア工学科

〒 808-0135 福岡県北九州市若松区ひびきの 1-1

E-mail: [†]{takashi.nojima,xiaoke}@sii.co.jp, ^{††}{takasima,nakatake,kajitani}@env.kitakyu-u.ac.jp

あらまし 本稿では、アナログ IC 設計において、熟練技術者の設計ノウハウを取り入れることにより、品質が人手設計に匹敵する自動素子配置手法を提案する。素子配置の表現手法にはシーケンスペア法を利用する。回路図上から機能クラスタ(素子集合)を抽出し、素子の隣接制約としてシーケンスペア上で定式化する。提案手法の鍵は、素子の隣接制約を課しても高密度な配置を実現できることにある。また、配置最適化においては、熟練技術者がレイアウト品質の尺度として利用する複数の評価を導入する。評価間のトレードオフを解消するために、多段階シミュレーテッドアニーリングを適用する。人手配置との比較実験では、提案手法は人手設計に比べ、面積を 10.8%、配線長を 6.8%削減し、設計時間を 1/730 に短縮し、その優位性を示した。

キーワード アナログ IC レイアウト, 素子配置, シーケンスペア, クラスタ制約, 多段階シミュレーテッドアニーリング

Multi-Level Placement with Circuit Schema Based Clustering in Analog IC Layouts

Takashi NOJIMA^{†,††}, Xiaoke ZHU[†], Yasuhiro TAKASHIMA^{††}, Shigetoshi NAKATAKE^{††}, and

Yoji KAJITANI^{††}

[†] SII EDA Technologies Inc.

2-5, Hibikino, Wakamatsu-ku, Kitakyushu, Fukuoka, 808-0135 Japan

^{††} Dept. of Information and Media Science, The University of Kitakyushu

1-1, Hibikino, Wakamatsu-ku, Kitakyushu, Fukuoka, 808-0135 Japan

E-mail: [†]{takashi.nojima,xiaoke}@sii.co.jp, ^{††}{takasima,nakatake,kajitani}@env.kitakyu-u.ac.jp

Abstract This paper is aiming at developing a device-level placement for analog circuit design which achieves comparable quality to manual designs by experts. It extracts a set of clusters from a circuit schema as experts do. We provide a multi-level placement based on the Sequence-Pair by relaxing the shape of clusters from rectangles and allowing boundaries of clusters to be 'jagged'. The quality of placement is evaluated by a multi-objective according to an expert's guideline. We adopt a multi-step simulated annealing to balance a trade-off between the objectives. In experiments, we tested the placement for industrial examples. It attained placements better than those by manual on the average by 10.8% and 6.8% with respect to area and net-length, respectively. It also achieved 1/730 layout time compared with the time by manual.

Key words analog IC layout, device-level placement, sequence-pair, cluster constraint, multi-step simulated annealing

1. はじめに

アナログ IC 設計では、素子配置は寄生要素に影響を与えるため、回路性能を保证する上で非常に重要である。特に、素子ミス

マッチは所望する回路機能の精度に大きな影響を与える。そのため、現在では、熟練技術者による人手設計が主流であり、その結果、設計期間の長期化が問題となっている。

近年、アナログ IC 設計の自動設計技術がいくつか提案

されている。特に、レイアウト設計においては、ILAC [1], KOAN/ANAGRAM II [2], PUPPY_A [6], LAYLA [8] などが提案されており、その多くはセルベース方式に基づいている。中規模以上のアナログ回路は、いくつかの部分回路から構成され、それらは演算増幅回路など機能ブロックに対応している。これらの部分回路はセルと呼称され、セル内部の設計は、セル外部と整合させるため、その高さ、電源・接地線の位置、I/O 端子位置において制約を課される [8]。セルベース方式とは、(i) セル内の素子配置と素子間の配線、(ii) セルの配置とセル間の配線からなる。本稿では、特にセル内の素子配置問題を扱う。

本稿では、セル内のレイアウトにおいて、次のような特徴を仮定する。(i) 電源線は上に、接地線は下にそれぞれ平行に配線されている。(ii) セルは高々1~2百個の素子で構成されている。代表的なアナログ IC 演算増幅回路である $\mu A741$ とその配置の例をそれぞれ図1と図2に示す。

従来、いくつかの素子配置手法が提案されているが、その中でも、高速性と高密度性に特徴をもつ手法として、2次元矩形パッキング手法を応用した配置手法が提案されている [5], [7], [11]。しかし、これらの報告においても、熟練技術者の人手配置を凌ぐ品質を得るには至っていない。アナログ IC では、素子のシンメトリ制約やマッチング制約などを満たしつつ配置しなければならない。ここで、セルサイズの増大を許せば、自動で制約を満たす配置を得ることができる。しかし、熟練技術者は小サイズであらゆる制約を満たしながら配置することができる。つまり、自動配置手法では、セルサイズの増大を許すことなく、制約を満たす配置を得なければならない。

本稿では、熟練技術者の設計上のノウハウを取り込んだ配置手法を提案する。まず、人手配置を観察し、そして自動化技術として実装できる特徴を抽出する。熟練技術者は、回路図から機能に相当するいくつかのクラスタを抽出し、同じクラスタの素子を近接して配置する。このクラスタは、入出力部、増幅部、差動部など、セルの機能要素に相当している。また、クラスタのサイズは、適切にレイアウトできるように十分小さい。図1に3つのクラスタ、入力 (input)、増幅 (amplifier)、出力 (output) の例を示す。

以上の考察から、本稿では、次に示すようなマルチレベル配置手法を提案する：(1) 回路図からセルの部分機能に対応するクラスタを得る；(2) クラスタ内の素子を配置する；(3) セル内のクラスタを配置する；配置表現には、シーケンスペア法 [3], [4] を用いる。シーケンスペアは、矩形を高速にパッキング (配置) する手法として知られている。しかし、クラスタを矩形とみなした配置は、多くの無駄な領域を生じ、高密度な配置を得られない。図2に示すように、クラスタの形状は矩形でなく、その境界は凹凸形状である。そのため、上述の手順に、さらに次の手順を追加する：(4) クラスタ間の位相的な位置関係を抽出し制約を作成する。例えば、クラスタ A がクラスタ B の左に配置されている場合、クラスタ A の素子はクラスタ B のどの素子よりも右に配置してはならない。この制約をレクトリニア境界クラスタ制約と呼び、シーケンスペア上で表現する；(5) すべての素子をレクトリニア境界クラスタ制約を満たすように配置する；これによりクラスタ境界は直線形状から凹凸形状に緩和でき、高密度な配置を得る

ことができる。

このマルチレベル配置手法を計算機実装し、実回路の人手設計結果との比較実験を行った。配置の評価には (a) セル面積、(b) 配線長総和、(c) 各ネットにおける最小全域木 (MST) の枝交差数、を取り込んだ。特に、評価 (c) は、熟練技術者によりレイアウト品質の尺度として利用されている。また、評価 (a), (b), (c) のバランスを取りながら、最適化を行うために、多段階シミュレーテッドアニーリングを適用した。これは、各ステップにおいて、1つの評価を最適化し、その他の評価を制約として扱うものである。実験では、本手法は人手配置に比べ、面積を 10.8%、配線長を 6.8%削減しながら設計時間を 1/730 に短縮した。その結果、本手法の有効性が示された。

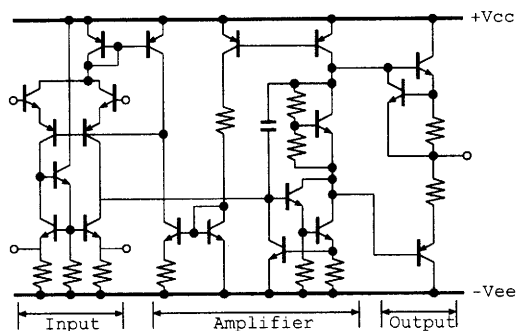


図1 3個のクラスタにより構成されているセル $\mu A741$ の回路図

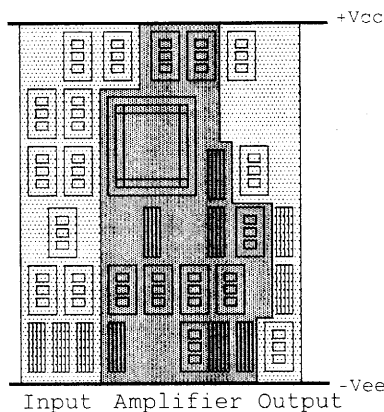


図2 図1の回路図に対応した配置

以降、第2節では、本稿で考慮する素子配置問題とそこで用いる配置の表現手法であるシーケンスペアについて述べる。そして、第3節では、クラスタ境界を凹凸形状に緩和するレクトリニア境界クラスタ制約を導入し、第4節で、トレードオフの関係にある多目的最適化問題に対する最適化手法として、多段階シミュレーテッドアニーリングを提案する。第5節では、提案手法の性能を確認する為、実験結果を示し、第6節でまとめる。

2. 素子配置問題とシーケンスペア

本稿では、セル内の素子配置問題を扱う。素子は、トランジス

タ, 抵抗, コンデンサ, ダイオードに対応し, 高さを持つ矩形で表現される。電源線と接地線は, セルの上辺と下辺にそれぞれ直線上に配線されている。素子は, 互いに重ならないように電源線と接地線の間配置される。配置の評価は, (a) セル面積, (b) 配線長総和, (c) 最小全域木 (MST) の交差数とし, それぞれを最小化する。ここでの最小全域木はネットごとに定義され, ノードは端子に, 枝は 2 端子対の接続要求に対応している。

この素子配置問題に対して, 我々は, 階層的な最適化の枠組みをもつマルチレベル素子配置手法を提案する。提案手法の概略を次に示す。

- Step 1:** セルの回路図上からクラスタを抽出する。この手続きは, 回路設計者により行われる。
- Step 2:** クラスタ内の素子を配置する。
- Step 3:** セル内のクラスタを配置する。
- Step 4:** クラスタ間の位相的な位置関係から素子間の位相的な位置関係の制約を作成する。(詳細は第 3 節で述べる。)
- Step 5:** 作成した制約の下でセル内のすべての素子を配置する。

この手法において, 素子の配置と位置関係制約は, いずれもシーケンスペア [3], [4] (以降 SP と呼称) 上で表現する。

論文 [3], [4] で紹介されている SP の定義を述べる。 n 個の矩形が与えられたとき, SP は矩形名の 2 つの順列 Γ_+ と Γ_- で表される。 $\Gamma_+ (*は+または-)$ における k 番目の矩形を $\Gamma_+(k)$ と表す。一方, 矩形 x の Γ_+ 上での順番を $\Gamma_+^{-1}(x)$ と表す。

SP から, 任意の矩形対に対する上下左右関係 (以降, ABLR 関係と呼ぶ) が導かれる。 2 つの矩形 a, b に対し,

- $\Gamma_+^{-1}(a) < \Gamma_+^{-1}(b)$ かつ $\Gamma_-^{-1}(a) < \Gamma_-^{-1}(b)$ のとき, a は b の左にある。(b は a の右にある。)
- $\Gamma_+^{-1}(a) > \Gamma_+^{-1}(b)$ かつ $\Gamma_-^{-1}(a) < \Gamma_-^{-1}(b)$ のとき, a は b の下にある。(b は a の上にある。)

図 3 に 7 個の矩形配置例を示す。与えられた SP から導かれる ABLR 関係はすべて満たされている。この ABLR 関係から垂直と水平方向の制約グラフが構築でき, それらの最長パスを計算することで各矩形の配置座標を算出できる。論文 [9] では, SP に対応する配置を $O(n \log \log n)$ で求める計算手法が紹介されている。

任意の SP は必ず配置に対応し, それらの配置の中に面積最小の配置が存在することが知られている。言い換えれば, SP に対応する配置を探索することで面積が最小である配置を得ることができる。この配置最適化の枠組みは, 1995 年に BSG [5] や SP が提案されてから 10 年以上広く用いられている。本論文でも同じ最適化の枠組みを用いる。

3. レクトリニア境界クラスタ制約

SP に基づく最適化の枠組みを利用することによりクラスタ

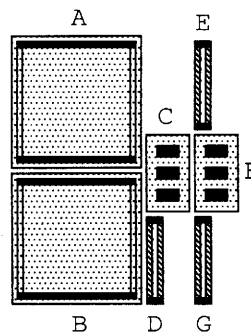


図 3 (ABCDEF; BADCGFE) から得られる配置

内の素子配置とクラスタ配置を得ることができる。最適な配置を与える SP の探索にはシミュレーテッドアニーリングを利用するが, 詳細は第 4 節で述べる。しかし, クラスタ配置をそのまま素子の SP に反映させると, 各クラスタの形状が内部の素子を包含する矩形になり, クラスタ間の境界付近に多くの無駄な領域を生じてしまう。そこで, 本稿では, クラスタ境界を直線形状から凹凸形状に緩和する手法を提案する。

クラスタ導入の目的は, そこに含まれる素子集合を近接配置することにある。つまり, クラスタは素子同士の位置関係を制限している。我々の提案の鍵は, この素子同士の位置関係の制限を緩和することにある。まず, この緩和の様子を図 2 のレイアウトから観察する。

入力部 (Input), 増幅部 (Amplifier), 出力部 (Output) に対応するクラスタをそれぞれ C_I, C_A, C_O とする。図中のレイアウトでは, C_O は C_A の右に配置されている。従って, C_O 内の素子は C_A の素子の右に配置されると推測できる。しかし, いくつかの C_O の素子は C_A の素子の上, または下に配置されている。すなわち, C_O と C_A の境界は凹凸形状になる。

本稿では, この凹凸形状を実現する素子間の ABLR 関係の制約を導入する。まず, 図 4 の例のように, 2 個のクラスタ $A = \{a_1, a_2, a_3, a_4, a_5\}$ と $B = \{b_1, b_2, b_3, b_4, b_5\}$ が与えられ, それらの ABLR 関係は「 A は B の左である」とする。

クラスタに含まれるすべての素子にクラスタの ABLR 関係を継承させれば, a_i ($i = 1, 2, \dots, 5$) と b_j ($j = 1, 2, \dots, 5$) の ABLR 関係は,

$$\{\Gamma_+^{-1}(a_i) < \Gamma_+^{-1}(b_j)\} \wedge \{\Gamma_-^{-1}(a_i) < \Gamma_-^{-1}(b_j)\}$$

となる。この関係を満たす配置を図 5 に示す。 A と B の境界は直線形状になり, 境界周辺では無駄な面積を生じていることがわかる。

これに対して, 図 6 では, A と B の境界は凹凸形状で無駄な領域はない。 A は B の素子と交差せずに左方向に移動できるので, 「 A は B の左にある」とみなすことができるが, 素子 $a \in A$ と素子 $b \in B$ の間の ABLR 関係は「 a は b の左」, 「 a は b の下」, または「 a は b の上」となっている。これらは「 a は b の右にない」に縮約できる。

従って, A と B の ABLR 関係が

$$\{\Gamma_+^{-1}(A) < \Gamma_+^{-1}(B)\} \wedge \{\Gamma_-^{-1}(A) < \Gamma_-^{-1}(B)\},$$

のとき, a_i ($i = 1, 2, \dots, 5$) と b_j ($j = 1, 2, \dots, 5$) の間の ABLR 関係は,

$$\begin{aligned} & \overline{\{\Gamma_+^{-1}(b_j) < \Gamma_+^{-1}(a_i)\} \wedge \{\Gamma_-^{-1}(b_j) < \Gamma_-^{-1}(a_i)\}} \\ = & \overline{\{\Gamma_+^{-1}(b_j) < \Gamma_+^{-1}(a_i)\} \vee \{\Gamma_-^{-1}(b_j) < \Gamma_-^{-1}(a_i)\}} \\ = & \{\Gamma_+^{-1}(a_i) < \Gamma_+^{-1}(b_j)\} \vee \{\Gamma_-^{-1}(a_i) < \Gamma_-^{-1}(b_j)\}. \end{aligned}$$

となる. 以上のように, クラスタの ABLR 関係から導かれる素子間の ABLR 関係の制約をレクトリニア境界クラスタ制約と呼ぶ.

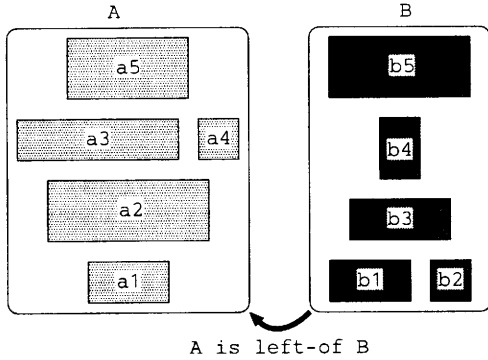


図4 AB間のABLR関係:(AB:AB)

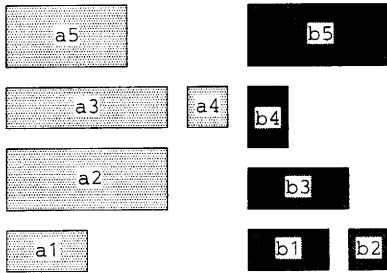


図5 クラスタ境界が直線形状の配置:

$$(a_5 a_3 a_4 a_2 a_1 b_5 b_4 b_3 b_1 b_2; a_1 a_2 a_3 a_4 a_5 b_1 b_2 b_3 b_4 b_5)$$

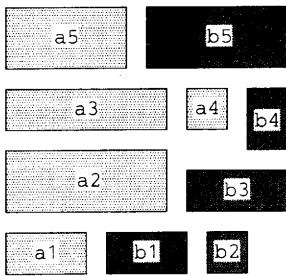


図6 クラスタ境界が凹凸形状の配置:

$$(a_5 b_5 a_3 a_4 a_2 b_4 b_3 a_1 b_1 b_2; a_1 b_1 b_2 a_2 b_3 a_4 a_5 b_5)$$

4. シミュレーテッドアニーリングによる最適化

SPに基づく最適化の枠組みでは, 最適配置を与える SP の探索にシミュレーテッドアニーリング (以下 SA) が広く用いられている. 第2節で提案手法の概略として述べた次の3ステップにおいても SA を用いる.

Step 2: クラスタ内の素子を配置する.

Step 3: セル内のクラスタを配置する.

Step 5: レクトリニア境界クラスタ制約の下でセル内のすべての素子を配置する.

我々の最適化目標は, 次の3つの評価, (a) セル面積, (b) ネットの Bounding Box 半周長総和 (配線長総和), (c) ネットの MST 交差数の最小化である. 熟練技術者は, 配置評価の尺度として評価 (c) を利用している. これは, 技術者の経験上, 評価 (c) の最小化が配線時の高配線率化や少ビア数化につながる場合が多いためである. そのため, 提案手法でも評価 (c) を最適化目標に含める.

しかし, これらの評価 (a)~(c) の間にはトレードオフが存在する. そのため, 評価 (a)~(c) のバランスを取りつつ最適化を実現する為に, 提案手法では4ステップからなる多段階 SA を用いる. 各々のステップでは1つの評価の最小化を行い, その他の評価は制約として扱う. アルゴリズムを以下に示す.

多段階 SA

Step 1: 配線長最小の配置を求める. その結果の配線長を L_1 とする.

Step 2: 配線長が $\alpha_2 L_1$ 以下の面積最小の配置を求める. その結果の配線長を L_2 , 面積を A_2 とする.

Step 3: 配線長が $\alpha_3 L_2$ 以下, 面積が $\beta_3 A_2$ 以下の MST 交差数最小の配置を求める. その結果の面積を A_3 , MST 交差数を I_3 とする.

Step 4: 面積が $\beta_4 A_3$ 以下, MST 交差数が $\gamma_4 I_3$ 以下の配線長最小の配置を求める.

$\alpha_i, \beta_i, \gamma_i$ は, 多数の実験結果から導出される定数とする.

5. 実験結果

我々の提案手法の性能を確かめるために, これまで述べたアルゴリズムを C 言語で実装し, Celeron 1.0GHz の計算機上で実験を行った.

まず, 入力として6個の実アナログ回路を用意し, さらに各回路に対する熟練技術者による人手配置を用意した. 回路の素子数とネット数をそれぞれ表1に示す.

この人手設計と提案手法との比較実験を行った. 比較項目は, (a) 面積, (b) 配線長, (c) MST 交差数とした. 比較結果を表1に示す.

提案手法は, 人手配置に比べ, 平均で面積を 10.8%, 配線長を 6.8%, MST 交差数を 34.3% 削減し, すべての評価において, 人手配置を凌ぐ結果を得ることができた. data4 における提案手法に

よる配置と人手配置をそれぞれ図8と図9に示す。

また、計算時間を表1に、入力回路のネット数と計算時間の関係のグラフを図7に示す。このグラフから、提案手法はネット数の2乗の計算量を必要とするとして推察される。

提案手法の有効性をさらに確かめるため、data4の提案手法による配置結果に対し、セイコーインスツルメンツ社製のシェーブベース配線ツールREXSIRを適用して配線を行った。提案手法による配置に配線した結果を図10に、人手による配置配線結果を図11に示す。

data4に対する人手による配置および配線に要した時間は、13時間(配置:7時間、配線:6時間)であった。一方、提案手法では、79秒(配置:77秒、配線:2秒)となった。結果として、提案手法は、人手設計での時間に対し1/730に短縮した。

しかし、熟練技術者は、素子のマッチングに配慮した素子揃えを行ったり、コンデンサの周囲にガードリングを施すなど、回路性能を注意深く配慮した設計を行っている。従って、全面的に提案手法が人手設計を凌いでいるわけではない。ここで、クラスタ内の素子配置においては、シンメトリ制約やマッチング制約を扱う手法[7]が提案されており、本提案手法にも簡単に相違点がある。また、回路図上からこのような制約が課せられる素子を含むようなクラスタはほとんどの場合存在し、またその抽出はそれほど困難ではないと考えられる為、本提案手法は更なる拡張が容易に行なえると考えられる。

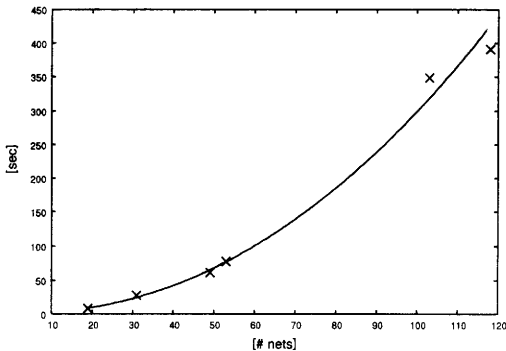


図7 ネット数と計算時間の関係

6. おわりに

アナログIC設計の素子配置問題において、熟練技術者の設計ノウハウに基づき、階層的なアプローチを取り入れたマルチレベル配置手法を提案した。

提案手法は次の手順で構成されている。(1)回路図上からクラスタを抽出する。(2)クラスタ内の素子を配置する。(3)セル内のクラスタを配置する。(4)レクトリニア境界クラスタ制約を抽出する。(5)レクトリニア境界クラスタ制約の下ですべての素子を配置する。素子及びクラスタの配置表現はシーケンスペア法を利用した。提案手法の鍵は、シーケンスペア上で表現されるレクトリニア境界クラスタ制約にある。この制約の導入により、クラスタ境界は直線形状から凹凸形状に緩和でき、高密度な配置を

表現できることを示した。また、配置最適化においては、熟練技術者が配置品質の評価の尺度として利用する複数の評価を導入し、それらの評価間のトレードオフを解消するために多段階SAを適用した。

人手設計との比較実験では、提案手法は人手設計に比べ、面積を10.8%、配線長を6.8%、MST交差数を34.3%削減し、設計時間を1/730に短縮し、その有効性を示すことができた。

今後、回路性能に注意深く配慮した設計を行うために、(1)同一クラスタ内で定義されるマッチング制約やシンメトリ制約の考慮、(2)異なるクラスタにまたがって定義されるマッチング制約やシンメトリ制約も扱えるようにすること、が課題である。

謝 辞

本研究を進めるにあたり、データ作成を含め数々のご協力を頂いた(株)トッパン・テクニカル・デザインセンター 松井 雅樹氏、ならびに貴重なご助言を頂いたエスアイアイ・イーディーエー・テクノロジー株式会社 小野 信任氏、望月 好宏氏、遠藤 将一氏に深く感謝する。本研究は、文部科学省の北九州地域と福岡地域の広域知的クラスター創成事業の支援による。

文 献

- [1] J.Rijmenants, J.B.Litsios, T.R.Schwarz, and M.Degrauwe, "ILAC: An Automated Layout Tool for Analog CMOS Circuits", IEEE J. of Solid-State Circuits, Vol.SC-24, No.2, pp.417-pp.425, 1989.
- [2] J.Cohn, D.Garrold, R.Rutenbar, and L.Carley, "Analog Device-Level Automation", Kluwer Academic Publishers, 1994.
- [3] H.Murata, K.Fujiyoshi, S.Nakatake, and Y.Kajitani, "Rectangle-Packing-Based Module Placement", International Conference on Computer Aided Design (ICCAD) 1995, pp.472-479, 1995.
- [4] H.Murata, K.Fujiyoshi, S.Nakatake, and Y.Kajitani, "VLSI Module Placement Based on Rectangle-Packing by the Sequence-Pair", IEEE Trans. Computer-Aided Design, Vol.15, No.12, pp.1518-1524, 1996.
- [5] S.Nakatake, K.Fujiyoshi, H.Murata, and Y.Kajitani, "Module Placement on BSG-Structure and IC Layout Applications", ICCAD 1996, pp.484-pp.491, 1996.
- [6] E.Malavasi, E.Charbon, E.Felt, and A.Sangiovanni-Vincentelli, "Automation of IC Layout with Analog Constraints", IEEE Trans. on Computer-Aided Design, Vol.15, No.8, pp.923-942, 1996.
- [7] F.Balasa and K.Lampaert, "Module Placement for Analog Layout Using the Sequence-Pair Representation", Design Automation Conference (DAC) 1999, pp.274-279, 1999.
- [8] K.Lampaert, G.Gielen, and W.Sabsen "Analog Layout Generation for Performance and Manufacturability", Kluwer Academic Publishers, 1999.
- [9] X.Tang, D.F.Wong, "FAST-SP: A Fast Algorithm for Block Placement based on Sequence-Pair", Asia and South Pacific Design Automation Conference (ASPDAC) 2001, pp.521-526, 2001.
- [10] X.Zhu, S.Nakatake, Y.Kajitani, and N.Ono "Floorplanning Consistent with Partial-Clustering on The Sequence-Pair", International Conference on Computer, Circuits and Systems (ICCCAS) 2002, pp.1386-1390, 2002.
- [11] F.Balasa, C.S.Maruvada, and K.Krishnamoorthy, "Using Red-Black Interval Trees in Device-Level Analog Placement with Symmetry Constraints", ASPDAC 2003, pp.777-782, 2003.

表1 実データの提案手法による配置結果と人手配置結果
比率：人手配置との比率

回路名	素子数	ネット数	人手配置結果			提案手法による配置結果			計算時間 [秒]
			面積	配線長	MST 交差数	面積 比率	配線長 比率	MST 枝交差数 比率	
data1	27	19	66136	4099	37	55720	3542	11	8
						15 %	13 %	70 %	
data2	43	31	230953	9692	49	223600	7845	18	27
						3 %	19 %	63 %	
data3	64	49	108800	7241	104	89280	7443	67	61
						18 %	△ 3 %	36 %	
data4	83	60	422608	17767	165	354400	18170	119	77
						16 %	△ 2 %	27 %	
data5	151	103	91165	11147	352	90315	11306	352	349
						1 %	△ 1 %	0 %	
data6	160	118	396621	24296	304	348150	20636	272	391
						12 %	15 %	10 %	

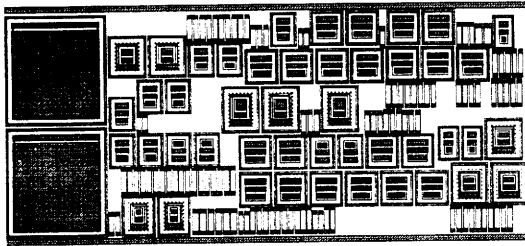


図8 data4の提案手法による配置

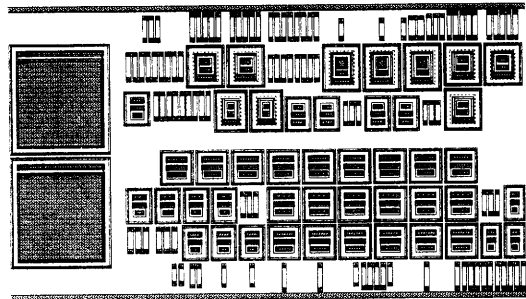


図9 data4の人手配置

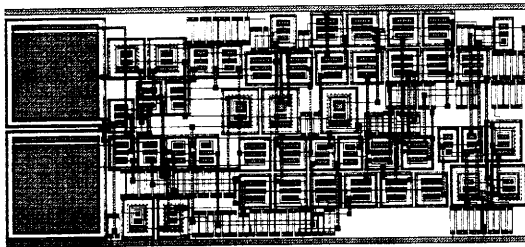


図10 data4の提案手法による配置・配線

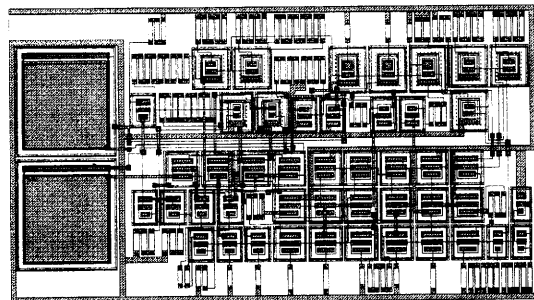


図11 data4の人手配置・配線