

単電子論理回路の故障モード解析

大豆生田利章†

† 群馬工業高等専門学校 〒371-8530 群馬県前橋市鳥羽町 580

E-mail: †mame@ice.gunma-ct.ac.jp

あらまし 単電子トンネルトランジスタを用いた論理回路について、構成要素に欠陥が発生した時に、現れる故障について調べた。故障解析はモンテカルロ法を用いた回路シミュレーションを用いた。その結果、コンデンサの静電容量が過少である時は従来の CMOS 論理回路で仮定されている縮退故障と同様の故障が発生することが分かった。また、コンデンサの容量が過大である時は、CMOS 論理回路では見られない出力論理値の片方だけが不定となる故障が発生する可能性があることが示された。これより単電子回路の論理故障では新しい故障モデルが必要であることが示された。

キーワード 単電子トンネルトランジスタ, 単電子論理回路, モンテカルロ法, 故障解析, 論理故障, 故障モデル

Fault Mode Analysis for Single Electron Logic Circuits

Toshiaki OHMAMEUDA†

† Gunma National College of Technology Toriba-machi 580, Maebashi-shi, 371-8530 Japan

E-mail: †mame@ice.gunma-ct.ac.jp

Abstract Faults of logic circuits using single electron tunneling transistors (SET) is researched. The circuit simulations using Monte Carlo method show the following results. When a capacitance used in SET is too small, the logic value of the circuit output is fixed to one value. This is as same as the stuck-at faults assumed in the CMOS logic circuits. When a capacitance used in SET is too large, the logic value of the circuit output is unstable for one input value. This fault does not occur in the CMOS logic circuits. Therefore the new fault model is necessary for the single electron circuits.

Key words Single Electron Tunneling Transistor, Single Electron Logic Circuit, Monte Carlo Method, Fault Analysis, Logical Fault, Fault Model

1. はじめに

単電子素子とはクーロンブロック現象を利用して電子 1 個の輸送を制御することを可能とした素子のことをいう。単電子素子を用いた単電子論理回路は、(1) 集積度向上、(2) 消費電力低減、(3) 素子寿命増大といった利点が挙げられ、従来の論理素子とは異なった新機能素子としての役割が期待されている [1], [2]。

一般に論理回路の作成において故障が発生するかどうかを調べることは不良品を除くために必要なだけでなく、その原因を追求することにより作成プロセスを改善するために必要である。これは完成された回路の信頼性を向上させることはもとより、新たな論理回路の設計・開発のために必要なことである。特に単電子論理回路においては、構成要素の加工寸法が微細になるために、作成プロセスの管理がこれまでよりもいっそう重要になると考えられる。構成要素のパラメータの変動が回路動

作に与える影響に関しては、パラメータ変動にガウス分布を仮定した時に偏差が 0.1 以内の範囲では単電子インバータの動作に影響が出ないことは既に報告されている [3]。しかし、回路作成プロセスにおいて回路素子のパラメータが大きく変動した場合に出力がどのように誤って出るかまでは確かめられていなかった。

回路の故障には論理故障とパラメトリック故障があり、従来 CMOS 論理回路では論理故障の故障モデルとして縮退故障、スタックオープン故障、ブリッジ故障あるいは交点故障が仮定されていた [5]。これに対して単電子論理回路ではどのような故障モデルを仮定すべきかは不明であった。

本報告ではモンテカルロ法を用いた回路シミュレーションを単電子論理回路に適用して、論理回路の構成素子の値が変動した時に出力にどのような影響が現れ、出力への影響がどのような故障モデルで表されるかという故障モード解析を行った。その結果、入力の論理値が特定の値の場合に出力が不定になると

いう CMOS 論理回路では仮定されていなかった論理故障が発生する可能性があることが示された。

2. 単電子論理回路

単電子素子はトンネル接合を主要構成要素としたクーロンブロッケード現象を利用した素子である。単電子素子を用いた論理回路が単電子論理素子であり、以下でその概要を述べる [2], [4]。

コンデンサにおいて電極間の絶縁体の厚さを小さくしていくと、電子が絶縁体を通りぬける現象が生じる。このような現象をトンネル効果と呼び、トンネル効果が現れる接合をトンネル接合と呼ぶ。トンネル接合は等価的に、トンネル抵抗 R_T と接合容量 C_j の並列回路で表される。トンネル接合を電子が通過することによるエネルギーの変化量 ΔE は式 (1) で与えられる。ただし、 e は電子の電荷量、 V はトンネル接合両端の電位差である。

$$\Delta E = \frac{e^2}{2C_j} - eV \quad (1)$$

ここで、 C_j が小さくなると、電子の移動によるエネルギー変化量 ΔE が大きくなる。ここで、エネルギー変化量 ΔE が下記の式 (2) を満たすまで十分に大きくなったとする。ただし、 k_B はボルツマン定数、 T は周囲の温度である。

$$\Delta E > k_B T \quad (2)$$

式 (2) が満たされると、電子のトンネリングに必要なエネルギーが周囲の熱エネルギーよりも大きくなり、熱エネルギーにより電子がトンネリングすることがなくなる。逆に電子がトンネリングすると周囲にエネルギーを与えることになるが、このような現象はエネルギー保存則に反する。よって、式 (2) が満たされる時は電子のトンネリングが禁止されることになる。このようにトンネル接合において電子の移動が禁止される現象をクーロンブロッケードと呼ぶ。周囲の温度が 1 K 以下でクーロンブロッケードを生じさせるためには加工寸法が $1 \mu\text{m}$ 程度で静電容量が 1 fF 程度でなければならない。さらに室温動作を可能とするためには、加工寸法が 10 nm 程度で静電容量が 1 aF 程度のものが必要となる。

トンネル接合において外部から電圧を加えることで式 (2) で表されるクーロンブロッケードの成立条件を破ると、電子はトンネル接合を通過できるようになる。このようにして、クーロンブロッケードが生じるようなトンネル接合では電子を 1 個ずつ制御してトンネル接合を通過させることができる。このようなトンネル現象を単電子トンネリングと呼ぶ。

図 1 のように 2 つのトンネル接合の中間ノードの電圧をコンデンサを介してゲート電圧 V_g で制御する。このとき、中間ノードの電圧と電源電圧 V_{dd} あるいはアース電圧の差を、クーロンブロッケードの条件に従って変化させると各トンネル接合で単電子トンネリングを生じさせるかどうかを制御することができる。その結果、トンネル現象で通過する電子の数を制御することができる。このようにして電子 1 個の移動を制御することができるようにした素子が単電子トンネルトランジスタ

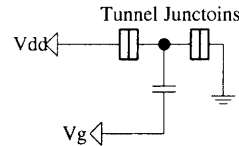


図 1 単電子トンネルトランジスタ
Fig. 1 Single Electron Tunneling Transistor

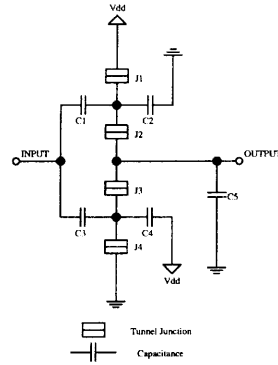


図 2 単電子インバータの構成図
Fig. 2 Single Electron Inverter

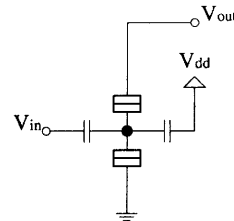


図 3 単電子インバータ部分図
Fig. 3 SET in Single Electron Inverter

(SET) である (注1)。

図 2 は単電子論理回路のうち最も基本的な単電子インバータの構成図である。SET とコンデンサを組み合わせたものであり、各 SET は以下に説明するように、nMOSFET あるいは pMOSFET と同様の動作をする。

図 3 は図 2 の単電子インバータで用いられる SET のうち下側のものを取り出したものである。この SET で入力電圧 V_{in} がハイレベル V_{dd} であるときは、図 1 と同様に動作して単電子トンネリングが起き、SET は導通状態になる。一方、 V_{in} がローレベル 0 であるときは、中間ノードの電圧はアース電位 0 と電源電圧 V_{dd} を各コンデンサにより分圧した値になり、この値を適切に選ぶことによりどちらのトンネル接合に対してもクーロンブロッケードを起こすようにできる。このとき SET は遮断状態になる。この動作は nMOSFET と同様の動作であ

(注1) : ここで挙げたものは容量型単電子トンネルトランジスタと呼ばれるものである

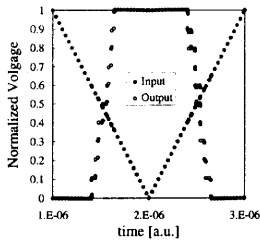


図 4 正常動作時の入出力波形
Fig. 4 Wave Form of Normal Circuit

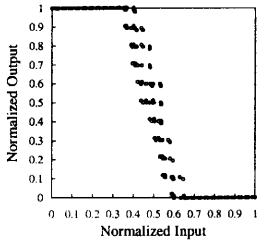


図 5 正常動作時の入出力特性
Fig. 5 Characteristics of Normal Circuit

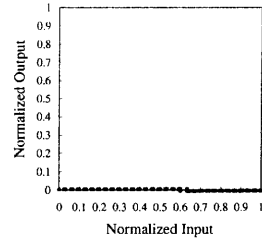


図 6 C_1 容量過少時の入出力特性
Fig. 6 Characteristics with too small C_1

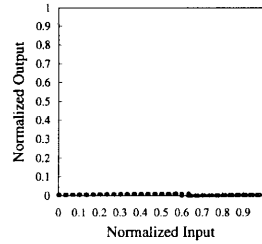


図 7 C_2 容量過少時の入出力特性
Fig. 7 Characteristics with too small C_2

る。一方、図 2 の上側の SET は図 3 とは逆に pMOSFET と同様の動作をする。従って、この単電子インバータは CMOS インバータと同様の論理動作を行うことになる。

3. 実験方法

単電子論理回路は量子力学に基づくトンネル現象により確率的に動作するため、回路のシミュレーションはモンテカルロ法が用いられる [6]。ここでは正常動作時のデバイスパラメータを図 2 の回路に対して、以下のように定めて実験を行った。各コンデンサの静電容量は $C_1 = C_3 = 8 \text{ aF}$ 、 $C_2 = C_4 = 7 \text{ aF}$ とした。トンネル接合の静電容量は T_1 と T_4 において 1 aF 、 T_2 と T_3 において 2 aF とした。負荷容量は $C_5 = 240 \text{ aF}$ 、電源電圧は $V_{dd} = 6.67 \text{ mV}$ とした。この条件では負荷コンデンサには最大 10 個の電子が蓄積されることになる。

回路シミュレーションでは回路の各ノードの電子数（電荷量）と各ノード間の静電容量により、クーロンブロックの成立条件を判定し、トンネル現象が生じる場合は遷移確率に基づき電子をトンネルさせて新たな電子分布を得るという手続きを繰り返すアルゴリズムを用いた。

回路シミュレーションにより得られた単電子インバータの正常動作時の入出力波形は図 4 のようになった。シミュレーションでは時間は離散的に変化させているので、実験結果は時間的にも離散的な値を取っている。ここで、黒丸は入力を白丸は出力を表している。また、この入出力波形に基づき入出力特性を描くと図 5 のようになる。これらの特性は従来の CMOS インバータと同様な特性になっている。

次に論理回路の構成要素に欠陥が生じたとして、どのような故障が生じるかをシミュレーションした。構成要素の欠陥は、

各コンデンサに対して静電容量を 10 倍にしたもの（容量過大）と静電容量を 0.1 倍にしたもの（容量過少）を仮定した。容量過大はコンデンサの絶縁膜が設計よりも薄くなった状態を想定したものであり、容量過少はコンデンサの絶縁膜が設計よりも厚くなった状態や電極の位置がずれた状態を想定したものである。各コンデンサの静電容量を変えた他は正常動作を行う単電子インバータと同じ条件でシミュレーションを行い、その結果に基づいてどのような故障が発生するかを解析した。その結果を次節で述べる。

4. 実験結果

4.1 容量過少時の故障

図 6 は C_1 が容量過少である時の入出力特性であり、出力はほぼ論理値 0 に固定される。これは、従来の論理回路で仮定されている 0 縮退故障と同じである。

また、 C_2 が容量過少である時の入出力特性は図 7 に示されているが、この場合も 0 縮退故障が発生することが分かる。

これは、 C_1 あるいは C_2 が容量過少であると、図 2 の回路の上側の SET が動作しなくなるためであると考えられる。これにより、負荷コンデンサに蓄積された電子が移動することができず、出力電位が上昇しないことになる。

図 8 は C_3 が容量過少である時の入出力特性であり、出力はほぼ論理値 1 に固定される。これは、従来の論理回路で仮定されている 1 縮退故障と同じである。

また、 C_4 が容量過少である時の入出力特性は図 9 に示されているが、この場合も 1 縮退故障が発生することが分かる。

これは、 C_3 あるいは C_4 が容量過少であると、図 2 の回路の上側の SET が動作しなくなるためであると考えられる。こ

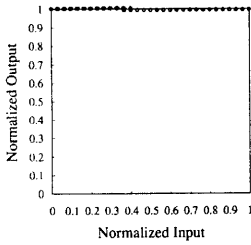


図 8 C_3 容量過少時の入出力特性
Fig. 8 Characteristics with too small C_3

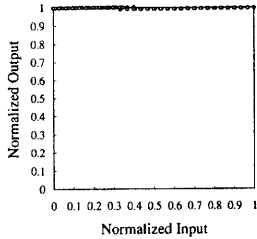


図 9 C_4 容量過少時の入出力特性
Fig. 9 Characteristics with too small C_4

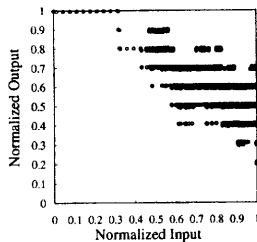


図 10 C_1 容量過大時の入出力特性
Fig. 10 Characteristics with too large C_1

れにより、負荷コンデンサに電子が移動して蓄積することができず、出力電位が下降しないことになる。

以上の結果をまとめると、SET で用いられるコンデンサの容量過少時には、CMOS 論理回路でこれまで仮定されてきた縮退故障と同じ故障が発生することが分かる。

4.2 容量過大時の故障

図 10 は C_1 が容量過大である時の入出力特性である。入力がローレベルの時は正常動作をしているが、入力がハイレベルになると複数のレベルの出力が現れる。

この動作を入出力波形で表したものが、図 11 である。この図の表示ではシミュレーションの出力に合わせて各時点の出力を時間軸上で離散的に表しているが、実際の波形は各点をつないだものになり、出力が一定の値にならずに、それぞれのレベル間を変動する不安定な出力になる。これは論理値としては不定な状態になることであり、故障出力となる。

CMOS 論理回路のオープン故障でも入力の論理値に対して出力の論理値が定まらないが、これは論理ゲート一種の順序回

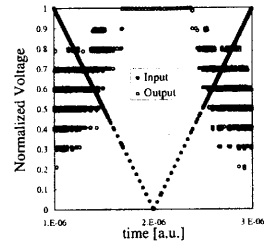


図 11 C_1 容量過大時の入出力波形例
Fig. 11 Wave Form with too large C_1

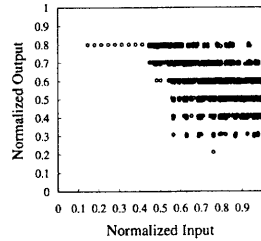


図 12 C_2 容量過大時の入出力特性
Fig. 12 Characteristics with too large C_2

路になることで出力が入力系列に依存することによる。一方、ここで述べた単電子論理回路で出力の論理値が定まらない故障は、それまでの入力系列によらずに、その時点での入力論理値がある値で出力の論理値が不定になるものである。従って、この故障は従来の CMOS 論理回路で想定された故障モデルの範囲外である。

ここで、 C_1 の容量過大時に出力が不定になる原因を考察する。 C_1 の容量過大時には図 2 の上の SET が導通状態になり、これにより負荷コンデンサ電子が蓄積されずに電源に対して放電される。一方で下の SET からは電子がトンネリング現象で負荷コンデンサに供給される。この両者とも確率的に起こるので、負荷コンデンサに蓄積される電子数が安定しないことになる。従って出力の論理値が不定になると考えられる。

図 12 はコンデンサ C_2 が容量過大である時の入出力特性であるが、この場合も入力論理値がハイレベルの時に出力論理値が不定になることが分かる。また、入力論理値がローレベルの時に出力論理値が完全にハイレベルに達していないことも分かる。

図 13 は C_3 が容量過大である時の入出力特性である。 C_1 が容量過大である時とは逆に入力がハイレベルの時は正常動作をしているが、入力がローレベルになると複数のレベルの出力が現れる。図では示さないが、入出力波形は C_1 の容量過大時と同様に、入力がローレベル時に出力でそれぞれのレベル間を変動する不安定な出力になる。これは論理値としては不定な状態になることであり、故障出力となる。

図 14 はコンデンサ C_4 が容量過大である時の入出力特性であるが、この場合も入力論理値がローレベルの時に出力論理値が不定になることが分かる。また、入力論理値がハイレベルの

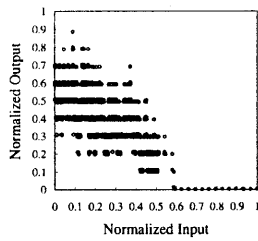


図 13 C_3 容量過大時の入出力特性

Fig. 13 Characteristics with too large C_3

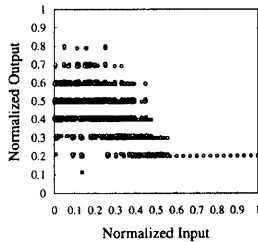


図 14 C_4 容量過大時の入出力特性

Fig. 14 Characteristics with too large C_4

時に出力論理値が完全にローレベルに達していないことも分かる。

以上の結果をまとめると、SET で用いられるコンデンサの容量過大時には、CMOS 論理回路でこれまで仮定されてきた故障と異なる故障が発生することが分かる。

5. ま と め

モンテカルロ法を用いた回路シミュレーションで単電子論理回路の故障解析を行った結果、以下のことが分かった。(1) コンデンサの静電容量が過少である時は従来の CMOS 論理回路で仮定されているものと同様に縮退故障が生じる。(2) コンデンサの静電容量が過大である時は出力論理値の片方が不定になる故障が生じる。後者の故障は従来の CMOS 論理回路で使われる故障モデルでは表せない故障であり、単電子論理回路の故障をモデル化する時はこのような故障も考慮しなければならない。

文 献

- [1] 雨宮好仁, 岩田穆, 廣瀬全孝, “単電子回路による知能集積デバイスの可能性,” 信学誌, vol.81, no.9, pp.898-902, Sep. 1998.
- [2] 春山純志, 単一電子トンネリング概論, コロナ社, 東京, 2002.
- [3] 大豆生田利章, 植田琢郎, “回路パラメータ変動が単電子インバータに与える影響,” 第 46 応答物春季予稿集, 分冊 1, no.28a-ZM-9, p.214, March 1999.
- [4] 佐々木昭夫, “電子トンネル輸送量子効果,” 量子効果半導体, 第 6 章, (社) 電子情報通信学会, 東京, 2000.
- [5] 当麻善弘, 南谷崇, 藤原秀雄, フォールトトレラントシステムの構成と設計, pp.173-176, 横書店, 東京, 1991.
- [6] 桑村信博, 谷口研二, 浜口智尋, “単一電子論理回路のシミュレーション,” 信学論 (C-II), vol.J77-C-II, no.5, pp.221-228, May 1994.