

M32RプロセッサソフトマクロのFPGAを用いたマルチ プロセッサ実験用プラットフォームREXへの移植

戸田 賢二[†] 佐谷野 健二[‡]

[†]産総研 情報処理研究部門 〒305-8568 茨城県つくば市梅園 1-1-1

[‡]産総研, レクセオン・テクノロジー

E-mail: k-toda@aist.go.jp, sayano@rexeon.com

あらまし M32R ソフトマクロのプロセッサを REX に移植し Linux の動作を確認した。回路と Linux のロードには IEEE1394 を用いた。

キーワード M32R, ソフトマクロ, プロセッサ, FPGA, 移植, IEEE1394, Linux

Porting of M32R, the soft-macro processor, to REX, the multiprocessor experimental platform

Kenji TODA[†] and Kenji SAYANO[‡]

[†] Information Technology Research Institute,

National Institute of Advanced Industrial Science and Technology (AIST)

Tsukuba Central 2, Umezono 1-1-1, Tsukuba, Ibaraki 305-8568, JAPAN

[‡] AIST, Rexeon Technology

E-mail: k-toda@aist.go.jp, sayano@rexeon.com

Abstract M32R soft-macro processor was ported to REX multiprocessor experimental platform. Linux is running on it. IEEE1394 is used to load the circuit (M32R) and Linux OS.

Keyword M32R, soft-macro, processor, FPGA, porting, IEEE1394, Linux

1. はじめに

本研究は、組込用プロセッサのソフトマクロ (M32R) を FPGA を用いたマルチプロセッサ向けエミュレーションシステム (REX) 上に搭載し、Linux が動作する環境を構築したものである。プロセッサ及びその周辺回路が改変可能であり、その動作や性能が OS や応用レベルで確認できるため、プロセッサアーキテクチャ研究、組込機器開発、OS やソフト開発、LSI 開発などに有用である。

2. REX の概要

マルチプロセッサ向けエミュレーションシステム REX (Reconfigurable Experimental Equipment) [1] で

は、複数の大容量 FPGA を用いて個々の FPGA 上に PE を構築し、これらをネットワークで接続することによりマルチプロセッサシステムが実現される。また、各々の FPGA には、独立したバスによって接続される複数のメモリを搭載することにより、多様な PE の構成にも対応している。さらには、FPGA 同士を高速な差動信号バスで接続することにより、システム全体のエミュレーション性能を高めている。

以下では、REX システムの構成と REX を構成するボードの構造について述べる。

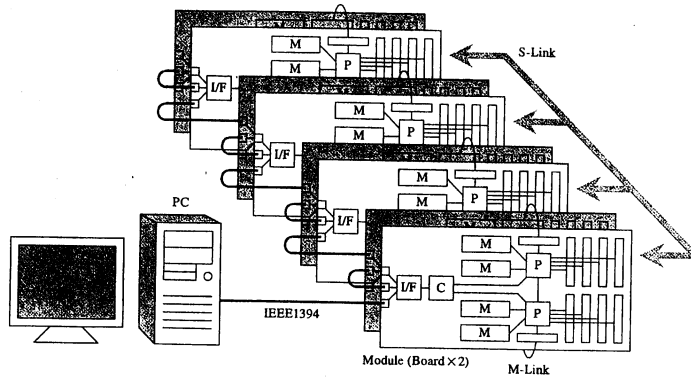


図 1 REX システムの全体構成.

I/F : IEEE1394 I/F, C : C-Device, M : SSRAM and SDRAM, P : P-Device, M-Link : モジュール内接続, S-Link : モジュール間接続.

REX システム

REX システムの全体構成を図 1 に示す. 本システムは制御用の PC と FPGA を用いた装置本体から構成される. 装置本体は 4 つのモジュールで構成され, 各々のモジュールは 2 枚のボードを組み合わせて構成されている. モジュールを構成する 2 枚のボードは M-Link と書かれたバスによって接続される. また, S-Link と書かれた太い矢印は, モジュール間を繋ぐケーブルを表している. これらのケーブルは, エミュレーションの対象となるマルチプロセッサのネットワークトポロジに合わせて繋ぎ替えることが可能である. 尚, REX システムは, モジュール数の増減や単一基板での運用も可能な設計となっている.

制御用 PC と装置本体との接続には IEEE1394 規格の I/F が使用されている. 制御用 PC からは, この I/F を通して, 装置上の FPGA のコンフィギュレーション, FPGA 上に実装された PE へのプログラムの転送とデータの受け渡し, 装置上のプログラムの実行制御等が行われる.

ボード上の C は C-Device, M はメモリ (SSRAM と SDRAM), P は P-Device を, それぞれ表している. こ

れらに関しては次節で詳しく説明する.

REX ボード

REX ボードの構造を図 2 に, REX ボード上の主要構成部品と諸元を表 1 に示す. REX ボードには, ボード全体の制御を行う FPGA (図中の C-Device) と, プロセッサやネットワークルータを実装する為の 2 つの FPGA (図中の P-Device) の, 2 種類の FPGA が搭載されている.

C-Device には Xilinx の XCV300E が使用されている. C-Device は, 電源の投入直後にボードに搭載された ROM によってコンフィギュレーションが行われ, ボード全体の制御を行う. また, C-Device には制御用 PC との通信を行う為の IEEE1394 I/F (400M bps) と, 主にボードのデバッグの際に使用される RS232C I/F の 2 種類の I/F が用意されている.

1 枚のボードには 2 つの P-Device が搭載されている. P-Device には Xilinx の XCV2000E が使用されており, 各々の P-Device には, 主にキャッシュメモリとして使用される 4 系統の SSRAM と, メインメモリとして使用される 2 系統の SDRAM が接続されている. 各々の P-Device と C-Device の間は, C-Link と呼ばれるバ

表 1 REX ボードの主要構成部品と諸元

	Specification	Per Chip or Module	System Total
P-Device (XCV2000E)	Number of Chips		16 chips (2 chips × 8 boards)
	Logic + Memory Capacity	2.5M gates	40M gates
	Logic Capacity	0.5M gates	8M gates
	Memory Capacity	640K bits	10M bits
	User I/O	804 pins	
C-Device (XCV300E)	Number of Chips		8 chips (1 chip × 8 boards)
	Logic + Memory Capacity	0.4M gates	3.2M gates
	Logic Capacity	0.08M gates	0.6M gates
	Memory Capacity	128K bits	1M bits
	User I/O	312 pins	
SSRAM (Flow-Thru, ZBT)	Number of Chips		64 chips (8 chips × 8 boards)
	Memory Capacity	576K bytes	36M bytes
	Word Width	36 bits	
	Maximum Clock Frequency	100 MHz	
SDRAM (144-pin SO-DIMM)	Number of Modules		32 modules (4 modules × 8 boards)
	Memory Capacity	128M bytes	4G bytes (Upgradable)
	Word Width	64 bits	
	Maximum Clock Frequency	100 MHz	

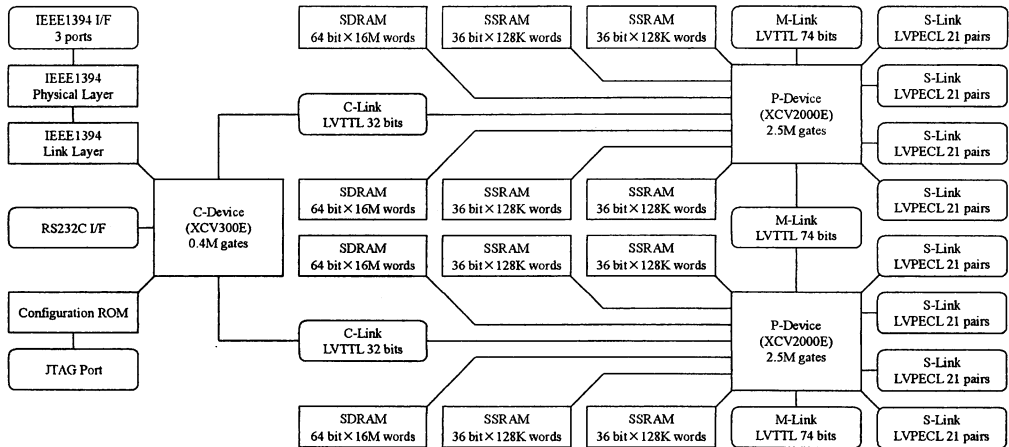


図 2 REX ボード内部のブロック図。

C-Device：制御用 FPGA デバイス，P-Device：プロセッサ用 FPGA デバイス，SSRAM：同期 SRAM，SDRAM：同期 DRAM，M-Link：モジュール内接続バス，S-Link：モジュール間接続バス。

スで接続されている。

また、P-Device には M-Link と S-Link の 2 種類の通信ポートが用意されている。M-Link は、モジュール内でループ状のネットワークを構成する為の通信ポートで、双方向通信が可能となっている。S-Link はモジュール間をケーブルで繋ぐ為のポートである。S-Link は単一方向の通信ポートである為、1 つの P-Device に繋がる 4 つの S-Link は、それぞれ 2 ポートずつが出力専用と入力専用になっている。S-Link の信号フォーマットには差動信号規格の LVPECL を使用しており、1 つのポートは、正方向 16 ペア、逆方向 4 ペア、クロック 1 ペアで構成され、合計で 21 の差動信号ペアを持つ。

3. M32R の特徴

M32R は、ルネサステクノロジの開発した組込機器用 32 ビットプロセッサであり、携帯電話、カーナビ、デジカメなどに用いられている。メモリは SDRAM、FPU は搭載しておらず、MMU を内蔵している。OS は、Linux、 μ I-TRON (T-engine プラットフォーム有)などが動作する。

今回使用したソフトマクロは Chaos チップ (M32R-II ファミリー CPU [2]) である。Chaos チップとはルネサステクノロジから発売されている 32bitRISC シングルチップマイクロコンピュータである。M32R-II ファミリー CPU コアを 2 個搭載しており、他に 256k バイトの RAM、および SDRAM コントローラや割り込みコントローラ、マルチファンクションタイマなどの周辺機能を 1 チップに集積したものである。

Chaos チップの論理回路は VDEC において教育/研

究目的であることを条件にフリーで公開されている [3]。回路は Verilog-HDL によって記述されており研究・開発のターゲットとなる回路のシステムオンチップのシミュレーションおよび FPGA 上にマッピングしてその評価モデルの検証が可能となっている。

OS のサポートも行われており Linux が動作する。また x86 系 Debian とのクロスコンパイラや Chaos 上で動作する GCC、GAS などが存在しておりドライバ記述および実際のアプリケーション開発の環境も整いつつある。(プロセッサの詳細やリアルタイム化などについては [4] 参照。)

4. M32R の移植作業

4.1. 基本方針

ルネサステクノロジは、ソフトコアの評価ボード Mappi (図 3) を発売しておりこの上での Linux の動作環境を提供している。今回の移植では、REX 上で Mappi の環境を再現することで、この Linux の動作環境をそのまま利用することとした。

REX と Mappi の主な相違点は I/O インタフェースであり、Mappi がシリアル IF とパラレル IF をそれぞれ、FPGA へのプログラムのロードと、SDI (論理回路書き込み用 IF) を経由しての M32R との I/O に使っているのに対し、REX ではこれらのインタフェースがないため IEEE1394 で代用することとした。IEEE1394 の代用により接続が手軽になり性能的にも動作の高速化が期待できる。

ネットワークに関しては、Mappi はイーサポートを

有しておりこれで Linux のブートやネットワーク経由でファイルシステムを使うことが可能であった。REX ではイーサポートがないため、Linux のブートは IEEE1394 で代用し、ファイルシステムは RAM ディスクを用いることとした (REX は、IEEE1394 の他、高速シリアルリンクポートを 8 個持っており、これらを利用してネットワーク接続を実現することも可能)。

以下はソフトコアのロードから Linux 動作までの手順：

1. FPGA へ M32R ソフトコアロード (1394 使用)
2. RAM へブートローダと Linux カーネルイメージ (RAM ディスクイメージ) のロード (1394 使用)
3. (1394 から M32R をたたき) M32R がブートローダを読み出し、ブートローダが RAM ディスクからカーネルを読み出し Linux を起動させる。
4. M32R 側からのシリアルポートとパラレルポートの入出力は IEEE1394 に割付

4.2. ハードウェア及びソフトウェアの実装

REX を mappi 用インタフェースに合わせるため以下の回路やプログラムの開発、手直しを行った。

- プロセッサコア周りのインタフェース回路開発 (Verilog 約 700 行)。
- PC 側ブート用プログラム開発 (boot.c 約 200 行)
- M32R 側で動くブートローダ手直し (main.c)

図 4 と図 5 は REX の動作の様子と Linux ブートの際のスクリーンショットである。現在のところネットワークを実装していないため Linux のブートは RAMdisk で行っている。

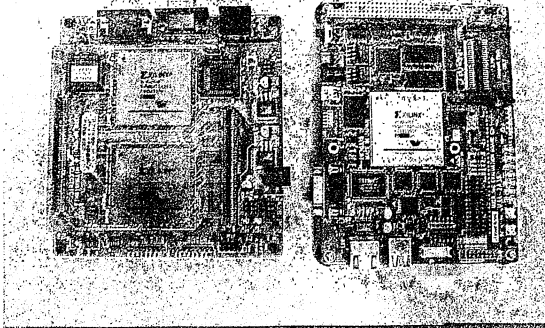


図 3 FPGA を用いた評価ボード Mappi と MappiII (右)

市販版)

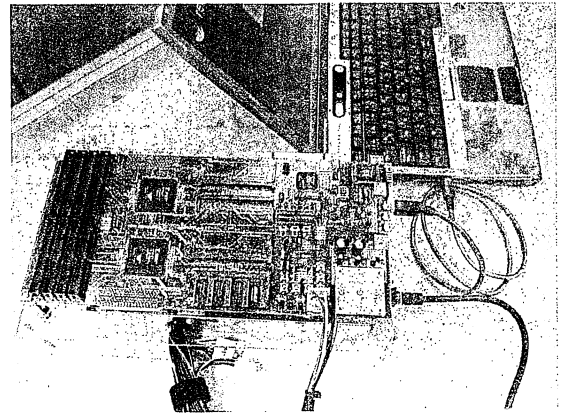


図 4 REX に M32R を搭載し Linux を動作

```

M32R evaluation board 'Mappi' boot loader v1.0
Copyright 2002, Mitsubishi Electric Corp.
All Rights Reserved.

FPGA Info: M32R
loading vmlinux ... done.
.....
Linux version 2.4.19-m32r (root@localhost.localdomain) (gcc version 3.0 m32r-20030110 (based on the 3.0.2194 Debian prerelease)) #7 Sat Aug 23 18:05:10 JST 2003
initrd: start[882a0000] and [88aa0000], size[00800000]
On node 0 totalpages: 16383
zone(0): 16383 pages.
zone(1): 0 pages.
zone(2): 0 pages.
Kernel command line: console=tty0,115200n8x
Initializing CPU0
Liner start interval = 1663
Calibrating delay loop... 15.87 BogoMIPS
Memory: 55056k/65632k available (1236k kernel code, 10476k reserved, 62k data, 5
8k init)
Dentry cache hash table entries: 8192 (order: 4, 65536 bytes)
Inode cache hash table entries: 4096 (order: 3, 32768 bytes)
Mount-cache hash table entries: 1024 (order: 1, 8192 bytes)
Buffer-cache hash table entries: 1024 (order: 0, 4096 bytes)
Page-cache hash table entries: 16384 (order: 4, 65536 bytes)
PGSLR conformance testing by UNIFIX
Linux NET4.0 for Linux 2.4
Based upon Swansea University Computer Society NET3.039
Initializing RT netlink socket
Starting kswapd
devfs: v1.12a (20020514) Richard Gooch (rgooch@atnf.csiro.au)
devfs: boot options: 0x1
JFFS2 version 1.0. (C) 1999, 2000 Axis Communications AB
JFFS2 version 2.1. (C) 2001 Red Hat, Inc., designed by Axis Communications AB
Console: colour frame buffer device 80x30
Console: switching to colour frame buffer device 80x30
fb0: sld13xx frame buffer device
Display 640 x 480 8bpp
pty: 256 Unix98 ptys configured
Serial driver version 5.05c (2001-07-08) with no serial options enabled
ttyS00 at 0x03f8 (irq = 4) is a 16450
ttyS01 at 0x02f8 (irq = 3) is a 16450
ttyS02 at 0x03e9 (irq = 4) is a 16450
RAMDISK driver initialized: 16 RAM disks of 8192K size 1024 blocksize
loop: loaded (max 8 devices)
Linux Kernel Card Services 3.1.22
options: none
tty0 initialized
tty0 initialized
devfs register(tty0): could not append to parent, err: -17
NET4: Linux TCP/IP 1.0 for NET4.0
IP Protocols: ICMP, UDP, TCP
IP: routing cache hash table of 512 buckets, 4Kbytes
TCP: Hash tables configured (established 4096 bind 8192)
NET4: Unix domain sockets 1.0/SMP for Linux NET4.0.
ds: no socket drivers loaded!
RAMDISK: ext2 filesystem found at block 0
RAMDISK: Loading 4000 blocks [1 disk] into ram disk... done.
Freeing initrd memory: 8192k freed
VFS: Mounted root (ext2 filesystem).
Mounted devfs on /dev
Freeing unused kernel memory: 68k freed
serial console detected. Disabling virtual terminals.

```

図 5 REX での Linux 起動のスクリーンショット

5. 今後の展開

REX の IEEE1394 での接続は手軽で Linux 立ち上げまでの動作時間も大幅に短縮された。Mappi は、組込機器でよく使われるシリアルとパラレルのポートを活用しておりさらに、SD カードスロットや PC104 のコネクタも実装しており、幅広い組込機器の試作開発に有用である。これに対し REX は、複数ボードの構成にすることによりマルチプロセッサや大規模な回路の検証評価用途に適している。現在、REX の機能と速度を大幅に向上させた以下の REX2 と PC に組込高速通信ボードとして用いる PCI-X ボードの 2 種類のボードの開発がほぼ完了している。今後はこれらのボードへの M32R の移植を行う予定である。

REX2

FPGA: Xilinx XC2VP70~125

Logic Cell: 74,448~125,136

Block memory: 5,904~10,008 Kbits

Network Port: Rocket I/O, 10 ports

Network Performance (1 port): 2~3.125 Gbps, bi-directional

Network Performance (Total): 20~31.25 Gbps, bi-directional

Memory (DRAM): DDR SODIMM, 2 modules, up to 2 GB

Memory (SRAM): DDR2, 16 GB

Bus: IEEE1394, 400Mbps, 3 ports

PCI-X Board

FPGA: Xilinx XC2VP20~50

Logic Cell: 20,880~53,136 cells

Block Memory: 1,584~4,176 Kbits

Network Port: Rocket I/O, 8 ports

Network Performance (1 port): 2~3.125 Gbps, bi-directional

Network Performance (Total): 16~25 Gbps, bi-directional

Memory (DRAM): DDR SODIMM, 2 modules, up to 2 GB

Bus: PCI-X 133MHz, 8.533 Gbps

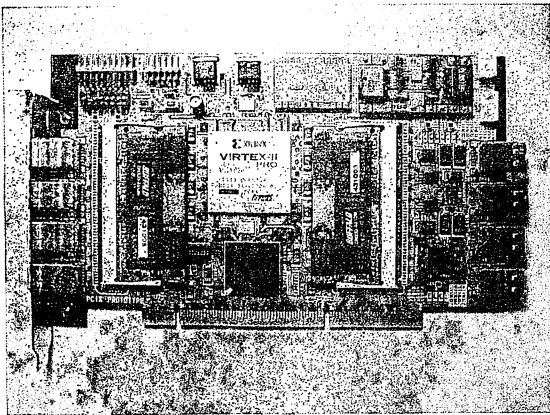


図 6 PCI-X ボード

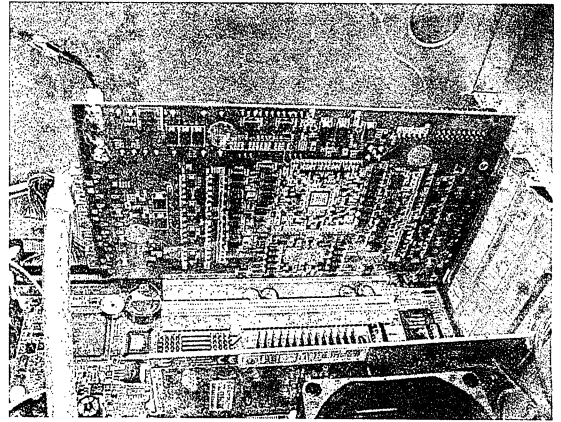


図 7 PCI-X ボードの使用形態

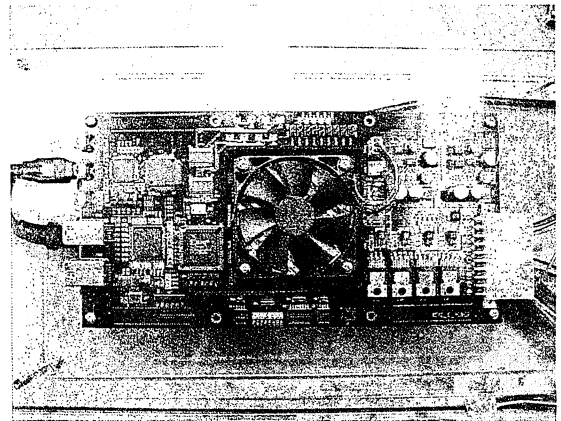


図 8 REX2

謝辞

本研究を遂行するにあたって、M32R ソフトコア及び mappi を提供して下さったルネサステクノロジの関係者の皆様に感謝致します。

文献

- [1] Kodama, et. Al., "REX: A Reconfigurable Experimental System for Evaluating Parallel Computer Systems", IEICE Transaction Inf.& Syst., Vol.E86-D, No.10 Oct. 2003.
- [2] (株)ルネサステクノロジ, 「M32R ファミリ」
<http://www.renesas.com/jpn/products/mpumcu/32bit/m32r/index.html>
- [3] (株)ルネサステクノロジ, 「M32R ソフトコア」
提供プログラム
<http://www.vdec.u-tokyo.ac.jp/CHIP/M32R/M32R.html>
- [4] 関山, 須崎, 戸田, “組込用リアルタイムプロセッサ開発計画”, RTP2003 (CPSY)予稿集.