

アクセスパターンによるレジスタファイルの高位消費電力モデル

樋口 昭彦[†] 小林 和淑[†] 小野寺秀俊[†]

[†] 京都大学大学院情報学研究所 〒606-8501 京都市左京区吉田本町
E-mail: †{higuchi,kobayasi,onodera}@vlsi.kuee.kyoto-u.ac.jp

あらまし 本稿ではアクセスパターンを入力としたレジスタファイルの消費電力モデルを提案する。一般にプロセッサコアにおいて高消費電力であるのはレジスタファイルと実行ユニットであるので、これらを低消費電力化するのが効果的であると言える。本研究ではソフトコアプロセッサにおけるレジスタファイルの高位低消費電力化を目指している。そのためには高速で相対精度の良い消費電力見積りが必要となる。提案モデルは従来モデルでは考慮していなかった消費電力のアドレス依存性を考慮し、高い精度の見積りを可能にしている。提案モデルを用いた命令コードのレジスタ番号部の変更によってレジスタファイルの消費電力を25.4%低減できた。

キーワード レジスタファイル、アクセスパターン、消費電力

A High-Level Power Model for Synthesized Register Files Using Access Pattern

Akihiko HIGUCHI[†], Kazutoshi KOBAYASHI[†], and Hidetoshi ONODERA[†]

[†] Graduate School of Informatics, Kyoto University
E-mail: †{higuchi,kobayasi,onodera}@vlsi.kuee.kyoto-u.ac.jp

Abstract This paper proposes a high-level power model for synthesized register files using access pattern. The register file and the execution unit in a processor core consumes much power. Therefore, power reduction in these units is effective. Our research intends to reduce power of register files on soft-core processor. It is important to estimate power rapidly and precisely. The proposed model considering address dependency realizes such features. By reallocating registers of the instruction code based on the proposed model, power of the register file is reduced by 25.4%.

Key words Register file, Access pattern, Power consumption

1. はじめに

近年、携帯電話、ノートパソコン、PDAなど携帯機器の発展が著しい。携帯機器は電池駆動が一般的であり、長時間駆動が望まれる。また、据置き製品と異なり、屋外の使用も想定しているため、真夏など高温の環境においても正常に動作することが求められる。そのために、発熱が少ないことも望まれる。一方、高機能化に伴い、消費電力が大きくなっている。従って、LSIの低消費電力化が求められている。

現在 Nios [1], MicroBlaze [2], M32R [3], MeP [4] などのソフトマクロのプロセッサコアが提供されている。プロセッサコアにおいて高消費電力であるのは一般にレジスタファイルと実行ユニットであり、我々のグループで設計した MIPS 互換プロセッサの場合、それぞれ全体の消費電力の約 15%、約 75% を占める。したがって、これらを低消費電力化するのが効果的である

と言える。

低消費電力化技術には様々なレベルのものがあるが、現在で最も一般的であるのは回路、レイアウト、プロセスレベルなどの低消費電力化である。一方、アーキテクチャやシステムレベルなどの高位の低消費電力化技術の研究も行われており、いくつかの低消費電力化設計支援ツール (ATOMIUM [5], ORINOCO [6], Avalanche [7] など) の開発が進められている。効率的な高位低消費電力化には高速かつ相対精度の優れた消費電力見積りが必要になる。そのようなプロセッサの消費電力見積りとして一般的なものが、命令レベルの消費電力見積りである [8-12]。これによって命令の再配置による消費電力最適化が可能になる。加えて命令コードのレジスタ番号部の最適化によってさらに低消費電力化ができる。そのためには実行ユニットとレジスタファイルを切り離して消費電力見積りを行なうと見通しがよくなる。本稿では RTL 記述から論理合成して得ら

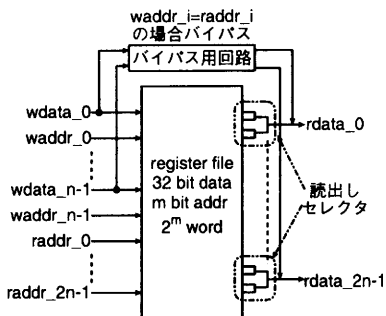


図1 RTL記述から論理合成して得られたレジスタファイルのブロック図

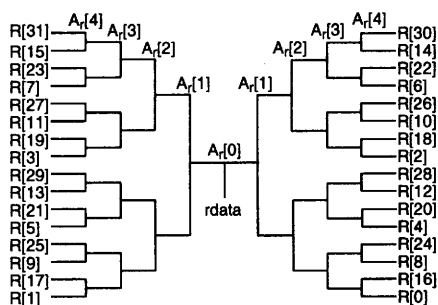


図2 読出しセクタ (32ワードの場合)

れた一般的なレジスタファイルの消費電力をISS出力などのアクセスパターンから見積るモデルを提案し、提案モデルを用いた低消費電力化の例を示す。

2章では関連研究について述べる。3章ではレジスタファイルの概要を、4章ではレジスタファイルの消費電力モデルについて述べる。5章では提案モデルの妥当性を評価し、6章では提案モデルを用いた低消費電力化の例を示す。7章で結論を述べる。

2. 関連研究

文献 [13–15] でレジスタファイルをターゲットとした消費電力見積り及び低消費電力化の研究が行なわれている。[13]ではDFG(Data Flow Graph)を用いたデータスイッチングを最小化するレジスタアロケーションの方法について述べている。[14]ではそれをメモリを含めたものに拡張している。[15]ではSRAM型のレジスタファイルを対象とした低消費電力化技術について述べており、PPS(Port Priority Selection)技術を用いた低消費電力化が最も効果的であるとしている。

[13, 14]はデータスイッチングを最小にするアプローチであり、アドレススイッチングによる電力を考慮していない。ソフトコアプロセッサにおけるレジスタファイルでは、消費電力のアドレス依存性は無視できない。提案モデルはアドレス依存性も考慮したモデルとなっており、それを考慮した低消費電力化に用いることができる。

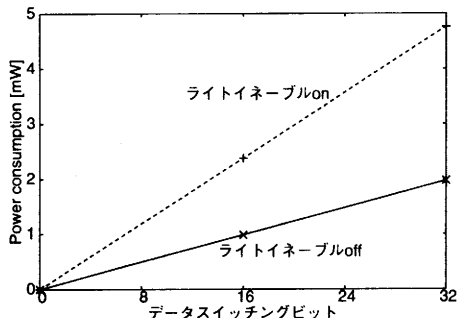


図3 ライトイネーブル E_w による消費電力変化

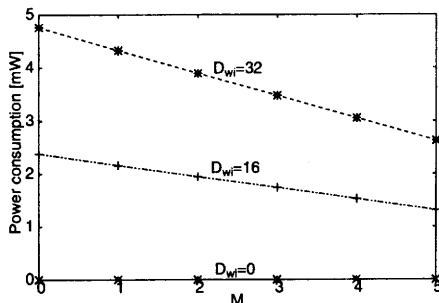


図4 アドレスの近さ M による消費電力変化

3. レジスタファイルの概要

対象とするレジスタファイルはRTL記述から論理合成して得られるもので、ブロック図を図1に示す。アドレスを m bit とすると、サイズは $32 \text{ bit} \times 2^m \text{ word}$ 、 $2n$ 読出し n 書込みで動作する。書込みアドレスと読出しアドレスが等しい場合、書込み入力から読出し出力へとバイパスされる。書込みセクタは所望のアドレスのときに1になる組み合わせ回路がマルチプレクサの入力となっている。読出しセクタはマルチプレクサがツリー状になっている。図2にワード数が32であるときの読出しセクタを示す。 $A_r[i]$ は読出しアドレスの第 i ビットである。 $A_r[i]$ は 2^i 個のマルチプレクサの入力であり、上位ビットほどより多くのマルチプレクサの入力になっている。

4. 消費電力モデル

本章では3章で説明したレジスタファイルの消費電力をISS(Instruction Set Simulator)の出力などから得られるアクセスパターンから見積るモデルについて述べる。このレジスタファイルはポート当たりの書込み電力とポート当たりの読出し電力に分けることができる。提案モデルではワード数、ポート数などの増減に対応したものになっている。したがって、ここでは例として32ワードの2読出し1書込みのレジスタファイルを想定してモデルの説明を行なっているが、一般性は失われない。

4.1 ポート当たりの書込み電力

ポート当たりの書込み電力 P_w はバイパス回路やライトイネーブルなどの特徴により以下のパラメータに依存する。

表 1 MSB(x) の例 (*は Don't Care を表わす.)

x(2進)	MSB(x)
00000	0
00001	1
0001*	2
001**	3
01***	4
1****	5

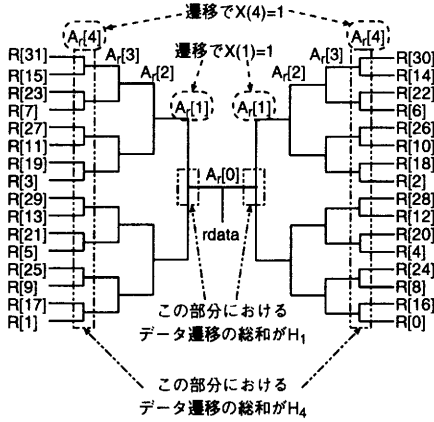


図 5 $X[i]$ と H_i の例

- 書き込み前と書き込み後のデータのハミング距離 D_w
- 書き込みデータ入力のハミング距離 D_{wi}
- ライトイネーブル E_w の状態
- 書き込みアドレス A_w と読出しアドレス $A_{r,k}$ (ポート番号 $k = 0, 1, \dots, 2n - 1$) の近さ M

ライトイネーブルによる消費電力変化を図 3 に示す。ライトイネーブル off の時は値は書込まれないが、書き込み入力の変化 D_{wi} で電力を消費する。on の時はそれに加えて書き込み前との値の変化 D_w で電力を消費する。それぞれ、変化ビット数が大きいほど大きな消費電力になることがわかる。

また、バイパス用回路のため、電力は書き込みアドレス A_w の他、読出しアドレス $A_{r,k}$ にも依存する。この傾向は式 (1) の書き込みアドレスと読出しアドレスの近さ M をパラメータとする性質を持つ。ただし、 x において 1 である最上位ビットを MSB(x) としており、その例を表 1 に示す。図 4 は M による消費電力変化である。このグラフから M が小さいほど、すなわち書き込みアドレスが読出しアドレスに近いほど電力が大きくなることがわかる。

$$M = \sum_{k=0}^{2n-1} \text{MSB}(A_{r,k} \oplus A_w) \quad (1)$$

4.2 ポート当たりの読出し電力

読出しセクタが図 2 のようなツリー状なので、読出し電力のアドレス依存性がビットによって不均一であり、レジスタファイル全体の値に依存する。したがって、ポート当たりの読出し電力 P_r は以下のパラメータに依存する。

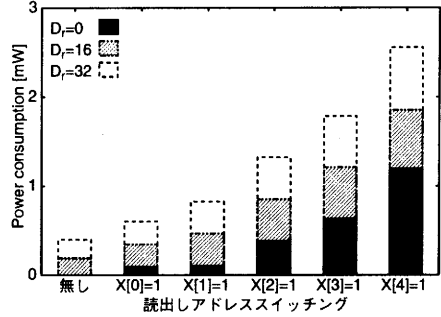


図 6 読出しアドレス変化の第 i ビット $X[i]$ による消費電力変化

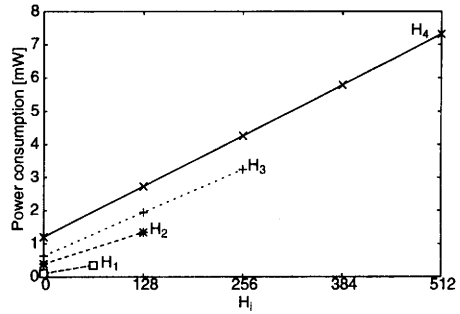


図 7 読出しアドレス第 i ビットが変化した時のツリーでスイッチングするビット数 $H(i)$ による消費電力変化

- 読出しデータ出力ハミング距離 D_r
- 読出しアドレス変化の第 i ビット $X[i]$ (アドレスビット幅 $m = 5$ の場合, $i = 0, 1, \dots, 4$)
- 読出しアドレスの第 i ビットが変化したときに読出しセクタの対応するツリーがスイッチングするビット数 H_i

$X(i)$ は読出しアドレスの時間変化 $A_r(t) \oplus A_r(t-1)$ の第 i ビットと同義である。図 5 に $X[i]$ や H_i の例を示す。ここで、 H_4 は $R[n]$ と $R[n+16]$ ($n = 0, 1, \dots, 15$) のハミング距離の総和を意味し、0~512 (32×16) までの値を取る。

図 6, 7 にそれぞれ $X[i]$, H_i による消費電力変化を示す。ただし、 H_0 に関しては電力変化がほぼ無視できるのでグラフに加えてない。これらのグラフから、より多くのマルチプレクサの入力となっているアドレスの上位ビットほど電力変化が大きくなることがわかる。

4.3 消費電力の解析式

アドレスビット幅 m , ワード数 2^m , $2n$ 読出し n 書き込みのレジスタファイルの消費電力は本章で述べたパラメータ D_w , D_{wi} , E_w , M , D_r , $X[i]$, H_i を用いて、下式のように表せる。

a) ポート当たりの書き込み電力

$$P_w = D_w E_w (-aM + b) + cD_{wi} \quad (2)$$

$$M = \frac{1}{2n} \times \sum_{k=0}^{2n-1} \text{MSB}(A_{r,k} \oplus A_w) \quad (3)$$

b) ポート当たりの読出し電力

$$P_r = P_a + P_d \quad (4)$$

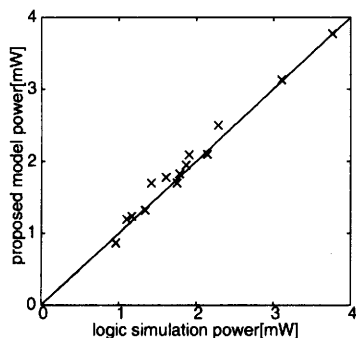


図8 平均消費電力比較 (32ワード, 2読出し1書込みの場合)

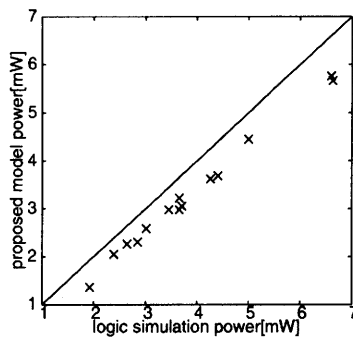


図10 平均消費電力比較 (32ワード, 4読出し2書込みの場合)

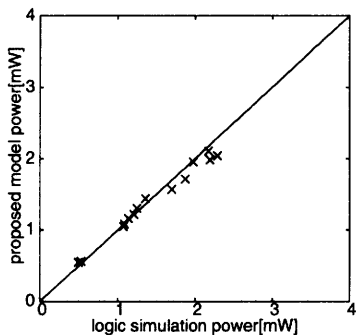


図9 平均消費電力比較 (16ワード, 2読出し1書込みの場合)

表2 各構成における提案モデルと論理シミュレーションとの相関係数

ワード数	読出しポート数	書込みポート数	相関係数
32	2	1	0.990
16	2	1	0.992
32	4	2	0.997

たISSの命令セットは32ワードの時はMIPS互換, 16ワードの時はSH互換である。

図8, 9, 10は7種類のプログラムについて2種類のデータを入力して実行した場合, つまり計14通りのアクセスパターンの各構成における平均電力比較を示す。横軸が論理シミュレーションによる消費電力, 縦軸が提案モデルによる消費電力である。表2はレジスタファイルの各構成における提案モデルと論理シミュレーションとの相関係数である。どの構成においても相関係数がほぼ1であることから, 相対評価には十分用いる事ができる。

図11, 12, 13は7種類のプログラムの内, 最も時間的な消費電力変化の大きいDCTに関して高電力データ入力, 低電力データ入力それぞれの消費電力波形比較を示す。これらの図から, 消費電力波形についても提案モデルは論理シミュレーションに類似した傾向を示すことがわかる。

32ワード, 4読出し2書込みの構成で提案モデルが論理シミュレーションの結果よりも小さく見積っている理由について述べる。提案モデルでは読出しアドレスにおいて複数ビットが変化したときは簡単のため同時に変化したものとして扱っている。しかし, 実際の回路においては各ビットの変化はまちまちであるので, ツリーでのデータ遷移が実際のものとずれを生じ, 誤差の原因となる。したがって, そのような誤差の原因となる読出しポートが多いほど全体の誤差が大きくなると言える。

次に, 提案モデルの速度面について考察する。アクセスパターンは与えられたものとして, レジスタファイルの消費電力を論理シミュレーションで見積った場合, 92.3Hzであった。一方, 提案モデルは式(2)~(7)を計算するだけで消費電力が求まるので, ほとんど時間を要しない。したがって, 提案モデルは論理シミュレーションに比べて圧倒的に高速である。

$$P_a = \sum_{i=0}^{m-1} \{(d_i H_i + e_i) X[i]\} \quad (5)$$

$$P_d = f_j D_r \quad (6)$$

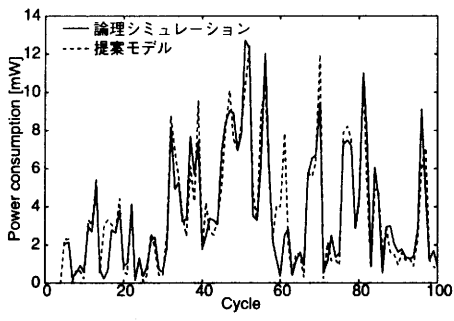
$$j = \text{MSB}(A_r(t) \oplus A_r(t-1)) \quad (7)$$

ここで, a, b, c, d_i, e_i, f_j は正の定数であり, 合成時の制約条件やプロセスによって決まる。

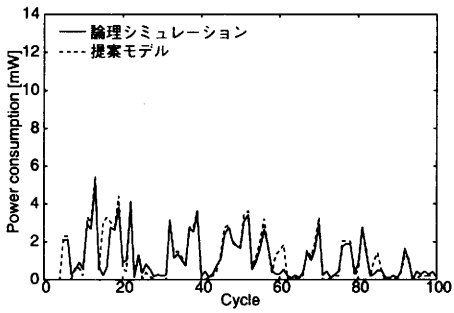
式(2)ではライトイネーブル E_w が0のときは書込み入力の遷移 D_w に依存する項のみからなる。1のときはそれにレジスタ値の遷移 D_w やアドレスに依存する項が加算される。式(3)では書込みアドレスと読出しアドレスの差を全ての読出しポートについて和をとっている。式(4)では読出し電力をアドレスに依存する項と, データに依存する項に分けている。式(5)ではアドレス遷移の各ビットについて, 図7の各グラフによる電力を足し合わせている。式(6)(7)では図6のデータスイッチングによる電力変化を表わす項になっており, 読出しアドレスの上位ビットの遷移による比例定数に優先される。

5. 評価実験

本章では4章の消費電力モデルの妥当性を平均消費電力と消費電力波形, 見積り速度において評価する。32ワード, 2読出し1書込みの構成を基本とし, ワード数を半分の16にした構成や, ポート数を2倍にした4読出し2書込みの構成について, ゲートレベルの論理シミュレーションによって算出された消費電力との比較を行なう。ただし, アクセスパターン生成に用い

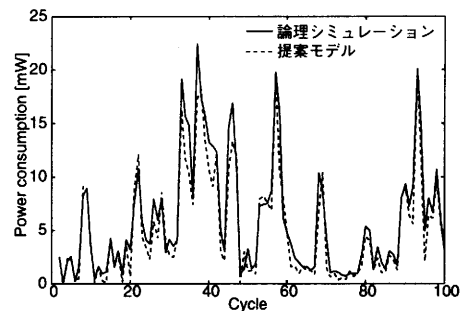


(a) 高電力データ入力

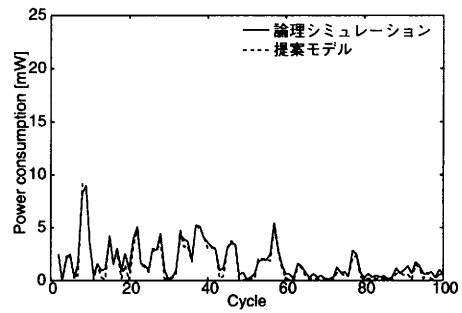


(b) 低電力データ入力

図 11 DCT 実行時の消費電力波形比較 (32 ワード, 2 読出し 1 書込みの場合)



(a) 高電力データ入力



(b) 低電力データ入力

図 13 DCT 実行時の消費電力波形比較 (32 ワード, 4 読出し 2 書込みの場合)

表 3 アセンブラ記述変更 (RR: Register Renaming, OS: Operand Swapping) によるレジスタファイルの低消費電力化 (単位 mW)

変更	提案モデル	論理シミュレーション
前	3.043	3.394
RR	2.165(28.9%低減)	2.658(21.7%低減)
RR,OS	2.046(32.7%低減)	2.533(25.4%低減)

6. 提案モデルを用いた低消費電力化の例

本章では提案モデルを用いた低消費電力化の例について述べる。式(2)~(7)よりプログラムに入力されるデータに依らず消費電力を下げるには、

(1) M を大きくする、つまり書込みアドレスと読出しアドレスを遠くする。

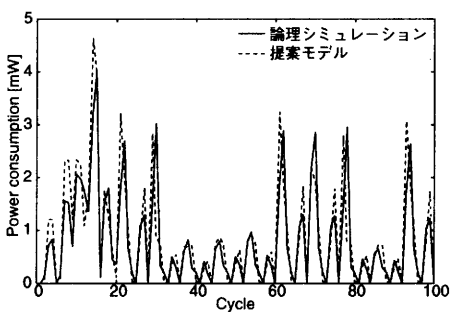
(2) 読出しアドレスの遷移を最小化する。特に上位ビットの遷移を減らす。

のアプローチが考えられる。しかし、(1)を優先すると読出しアドレスの上位ビットの遷移が増えることから、読出しセクタによる消費電力が大きいことから、(2)を優先して低消費電力化を行なう。(2)を以下の方法によって実現する。

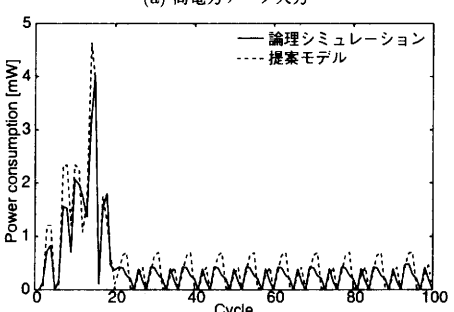
Register Renaming 使用するレジスタ番号を変更する。以下 RR。

Operand Swapping オペランドを交換する。(例) $A + B \rightarrow C$ から $B + A \rightarrow C$ へ変更する。以下 OS。

表 3 は配列の和を計算するアセンブラ記述のループ部分に対して、RR や OS による低消費電力化を行なった結果である。提

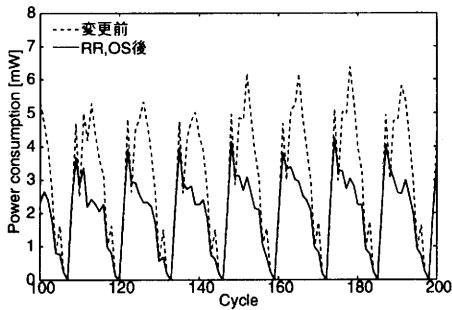


(a) 高電力データ入力

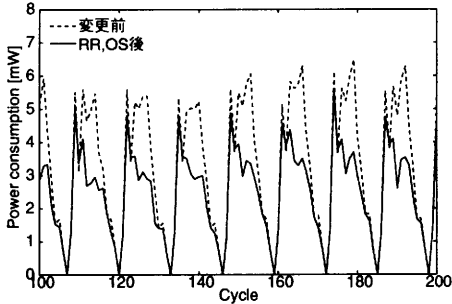


(b) 低電力データ入力

図 12 DCT 実行時の消費電力波形比較 (16 ワード, 2 読出し 1 書込みの場合)



(a) 提案モデル



(b) 論理シミュレーション

図 14 アセンブラ変更前後の消費電力波形

表 4 アセンブラ記述変更による各モジュールの消費電力変化 (単位 mW)

変更	regfile	fetch	decode	racc	exe	wback	all
前	3.394	0.326	0.883	0.494	19.96	1.187	26.25
RR	2.658	0.318	0.834	0.460	19.96	1.172	25.40
RR,OS	2.533	0.314	0.818	0.461	20.19	1.172	25.49

案モデルを用いて、消費電力を 25.4%低減できた。図 14 はアセンブラ記述変更前後の消費電力波形であり、ループに対して低消費電力化できている様子がわかる。

命令コードのレジスタ番号部の変更によって、レジスタファイルの消費電力を下げることができた。しかし、この変更によってプロセッサコアの他モジュールに対して悪影響を及ぼす可能性が考えられる。表 4 にアセンブラ記述変更による各モジュールの消費電力変化を示す。RR のみの場合は exe は不変でそれ以外は消費電力が下がっており、プロセッサ全体で消費電力が 3.2%低減されていることがわかる。読出しアドレス部の遷移を少なくし、他モジュールのスイッチングが減ったためである。一方、exe は入力となるレジスタ値が変わらないため、消費電力が変化しない。OS も行なった場合は exe は変更前に比べて消費電力が大きくなっており、全体で 2.9%低減されていることがわかる。OS により exe への入力となるオペランドのデータ遷移が増えたためである。しかし、オペランドのデータ遷移は入力データ依存なので、入力データの傾向が明確であるケース以外では、OS も行なった方が一般に消費電力低減ができる。

7. 結 論

本稿ではソフトコアプロセッサにおける ISS 出力からのアクセスパターンを入力としたレジスタファイルの消費電力モデルについて述べた。提案モデルはアドレス依存性を考慮しており、従来のデータスイッチングを最小にするレジスタアロケーションに加え、アドレス面での最適化も可能になる。主な特徴は書き込み電力はバイパス用回路により読出しアドレスにも依存し、読出し電力はマルチプレクサがツリー状になっている読出しセレクタによりレジスタファイル全体の値にも依存することである。評価実験の結果、提案モデルは様々な構成のレジスタファイルに対して相対精度の良い、論理シミュレーションより非常に高速な消費電力見積りができることがわかった。提案モデルを用いた命令コードのレジスタ番号部の変更により、レジスタファイルの消費電力を 25.4%低減できる例を示した。今後は、レジスタ番号部変更の最適化アルゴリズム構築と、実行ユニット部分をターゲットとした消費電力モデルの構築とそれを用いた低消費電力化を検討している。

文 献

- [1] Nios. <http://www.altera.com/jp/products/ip/processors/nios/nio-index.html>.
- [2] MicroBlaze. <http://www.xilinx.com/jp/>.
- [3] M32R. <http://www.renesas.com/jpn/products/mpumcu/32bit/m32r/index.html>.
- [4] MeP(Media Embedded Processor). <http://www.mepcore.com/>.
- [5] Atomium. <http://www.imec.be/design/atomium/>.
- [6] Orinoco®. <http://www.chipvision.com/orinoco/index.php>.
- [7] J. Henkel and Y. Li. "Avalanche: An Environment for Design Space Exploration and Optimization of Low-Power Embedded Systems". *IEEE Trans. VLSI Syst.*, Vol. 10, No. 4, pp. 454-468, Aug 2002.
- [8] V. Tiwari, S. Malik, and A. Wolfe. "Power analysis of embedded software: A first step toward software power minimization". In *IEEE Trans. VLSI Syst.*, Vol. 2, pp. 437-445, December 1994.
- [9] C. Chakrabarti and D. Gaitonde. "Instruction level power model of microcontrollers". In *ISCAS'99*, Vol. 1, pp. 76-79, 1999.
- [10] D. Sarta, D. Trigone, and G. Ascia. "A data dependent approach to instruction level power estimation". In *VOLTA 1999*, pp. 182-190, 1999.
- [11] P. Kalla and J. Henkel X. Hu. "SEA: Fast power estimation for micro-architectures". In *ASP-DAC 2003*, pp. 600-605, 2003.
- [12] A. Higuchi, K. Kobayashi, and H. Onodera. "Instruction-Level Power Estimation Method by Considering Hamming Distance of Registers". *IEICE Trans. on Fundamentals*, Vol. E87-A, No. 4, pp. 823-829, Apr 2004.
- [13] J. Chang and M. Pedram. "Register Allocation and Binding for Low Power". In *Proc. 32th DAC*, 1995.
- [14] C. Gebotys. "Low Energy Memory and Register Allocation Using Network Flow". In *Proc. 34th DAC*, 1997.
- [15] V. Zyuban and P. Kogge. "The Energy Complexity of Register Files". In *Proc. of ISLPED*, pp. 305-310, 1998.