

コンフィギュアラブルプロセッサを利用した 携帯機器向け 3D グラフィックスプロセッサ

竹本卓 竹中康晴 皆川勉 小泉友弘 牛島康之

柳田直昭 小原靖生 田中幸一 藤田康彦

(株)東芝 セミコンダクター社 〒212-8520 川崎市幸区堀川町 580-1

E-mail: (takashi.takemoto, yasuharu.takenaka, tsutomu.minagawa, tomohiro.koizumi, yasuyuki.ushijima,
naoaki.yanagida, yasuo.ohara, koichi2.tanaka, yasuhiko1.fujita)@toshiba.co.jp

あらまし 3.5Mpolygon/secの3DCG エンジン、15fps@QVGAのMPEG4 codec エンジン、最大2MpixelのJPEG エンジン、カメラ I/F、SD カード I/F、LCD I/F、および 20Mbit の DRAM を 1chip に集積した携帯機器向けメディアプロセッサ T4G の開発について述べる。3DCG エンジンは東芝のコンフィギュアラブルプロセッサ MeP を応用することにより実現されている。DRAM を内蔵したことにより、3D エンジンとメモリ間のバンド幅は 2Gbyte/sec に達する。このチップでは、0.13um CMOS DRAM 混載プロセスを使用し、20Mtransistor のロジックと 20Mbit の DRAM を集積した。3DCG 処理時の最大消費電力は 170mW である。

キーワード コンフィギュアラブルプロセッサ, MeP, 3D グラフィックス, 携帯電話, メディアプロセッサ

3D Graphics Processor for Mobile Set based on Configurable Processor

Takashi Takemoto, Yasuharu Takenaka, Tsutomu Minagawa, Tomohiro Koizumi,
Yasuyuki Ushijima, Naoaki Yanagida, Yasuo Ohara, Kouichi Tanaka and Yasuhiko Fujita

Semiconductor Company, Toshiba Corp. Kawasaki, Kanagawa 212-8520, Japan

E-mail: (takashi.takemoto, yasuharu.takenaka, tsutomu.minagawa, tomohiro.koizumi, yasuyuki.ushijima,
naoaki.yanagida, yasuo.ohara, koichi2.tanaka, yasuhiko1.fujita)@toshiba.co.jp

Abstract A media processor named T4G is described. T4G integrates 3.5M polygon/sec 3D Graphic engine, 15fps@QVGA MPEG4 engine, 2M pixel JPEG engine and 20Mbit DRAM into a single chip. It also provides several peripheral interfaces such as Camera I/F and LCDC. The 3D graphics engine was designed based on a Toshiba's configurable processor MeP (Media embedded Processor). Using eDRAM, the bandwidth between the 3D engine and the frame buffer reaches 2GByte/sec. This chip is fabricated using 0.13um CMOS technology and consumes maximum 170mW during 3D graphics operation.

Keyword Configurable Processor, MeP, 3D Graphics, Mobile Phone, Media Processor

1. Introduction

近年、携帯機器、特に携帯電話に対して要求される機能は飛躍的に増大し、カメラ機能、動画処理機能だけでなく、コンソールゲーム機器並みの処理能力を要する 3DCG 機能が要求されるようになってきている。一方、大変コストセンシティブな市場でもあり、上記要求を満たしつつトータルコストを最小にするソリュー

ーションが求められている。

以前、我々は携帯機器における MPEG4 codec の要求に対するソリューションとして T4 を開発した[1]。T4 は、専用 MPEG エンジンと eDRAM(embedded DRAM)の組み合わせにより、低コスト、低消費電力で高品位な動画の圧縮・伸張機能を携帯機器にもたらしめた。T4 は、eDRAM を集積したことで比較的容量の大

きな内蔵メモリを持つことになった。このことは、新たな機能を T4 に追加するときのコスト上昇を最小にする可能性がある。

今回我々は、T4 にコンソールゲーム機並みの 3DCG 描画能力を追加したメディアプロセッサ T4G を開発した。T4G は、T4 における MPEG 機能と同様、外付けメモリを全く必要とせずに、高品位な 3DCG 機能を実現できる。eDRAM は MPEG4 エンジンと 3DCG エンジンで共用する。外付けメモリが不要ということは、システムコストの面だけでなく、消費電力の面でも有利といえる。

T4G における 3D 処理の一部は、東芝のコンフィギュラブル且つ拡張可能な組み込み向けプロセッサ MeP[2][3]により実装されている。MeP を DSP 拡張することにより、完全なプログラマビリティと高い 3DCG 処理性能を両立することができる。このプログラマビリティにより、T4G は高い抽象度のコマンドを実行することができる。このことは、低コストな携帯電話システムにおいて常に問題となる、ベースバンドプロセッサとメディアプロセッサ間の通信バンド幅不足を緩和するために重要である。

この論文では、まず 3DCG の処理過程を説明し T4G の開発コンセプトについて述べる。次にアーキテクチャ設計過程および各ブロックの詳細について述べる。最後にチップの実装について述べる。

2. 3D グラフィックスの処理過程

一般的な 3D グラフィックスシステムの処理の階層を図 1 に示す。アプリケーションレイヤとはゲームであれば、シナリオの進行を制御したり、キャラクタの動作を決定したりする処理レイヤで、ゲームのメインプログラムに相当する。API レイヤとはアプリケーションレイヤに対して OpenGL・ES[4]等の API を提供するレイヤで、上位レイヤからの指示に従いデータを構築、必要なパラメータを生成するとともに、各種バッファの管理、レンダリングステータスの更新等を行う。頂点処理レイヤとは頂点単位の座標変換や照光処理を行うレイヤ、ピクセル処理レイヤとはピクセル単位のカラー演算を行うレイヤである。フレームバッファレイヤとは Color バッファや Z バッファといった物理的なメモリそのものを指す。一般に頂点処理レイヤから下、もしくはピクセル処理レイヤから下がハードウェア化される。また実際はハードウェアとソフトウェアの境界には、ハードウェアを抽象化するためのデバイスドライバレイヤが挿入される。

図 1 において、上の層にいくほどプログラマビリティが要求される傾向がある。また、下の層にいくほど、演算処理量が増え、層間のデータトラフィックも増大

する傾向がある。

携帯電話システムでは消費電力や輻射の問題から、チップ間の通信バンド幅は著しく制限される。よって、理想的にはアプリケーションレイヤからフレームバッファレイヤまですべてが 1chip になっていることが望ましい。アプリケーションを実行する高速な汎用プロセッサを集積して、アプリケーションレイヤ以下を 1chip で提供するの、いわゆるアプリケーションプロセッサのソリューションである。このソリューションは、大規模なソフトウェアを格納するための外付けメモリを必要とし、コストや消費電力の面からコストセンシティブなレンジの製品にはただちに適用しづらい面がある。このことから T4G では API レイヤからフレームバッファレイヤを 1chip 化し、コストとパフォーマンスのバランスをとることにした。

T4G システムではアプリケーションを実行するホストプロセッサは、演算負荷の大きい 3DCG 処理や MPEG codec 処理から解放される。大きなプログラムメモリが必要であるがスループットがそれほど要求されない処理はホストプロセッサ chip で、必要なメモリ量は限られるが非常に高いスループットが求められる処理はメディアプロセッサ chip で、という処理の切り分けが T4G の基本コンセプトである。

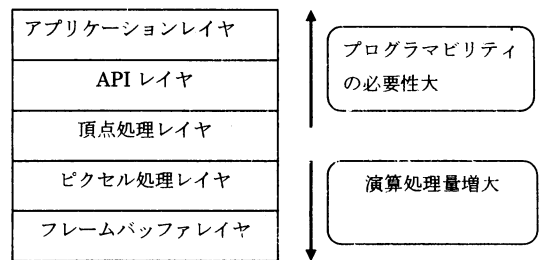


図1 3D グラフィックスの処理階層

3. アーキテクチャの設計

抽象度の高い API を定義すれば、ホストプロセッサと T4G 間の通信トラフィックを下げることができる。たとえば、100 トライアングルで構成された球を描画するとき、最も原始的なトライアングル描画命令しかなければ 100 命令になるが、より抽象度の高い球を描画する命令があれば 1 命令ですむ。このような高抽象度の API を提供するためには、API レイヤおよびその直下の頂点処理レイヤを担当するエンジンはプログラマブルであることが望ましい。ただし、頂点処理には非常に多くの浮動小数点演算が含まれるため、汎用の組み込みプロセッサで実用的な性能を得るのは難しい。

これらのことから T4G では、これらのレイヤを担当するエンジンとして、コンフィギュラブルプロセッサ MeP を採用した。

MeP を DSP 拡張することによりプログラマビリティと高いスループットを両立することができる。また、すでに確立された MeP Framework を使用できるため、ハードウェア、ソフトウェア双方の開発コストの多くを削減できる。特に今回、非常に短い開発期間しか与えられなかった我々にとって、このことは最も重要なことであった。

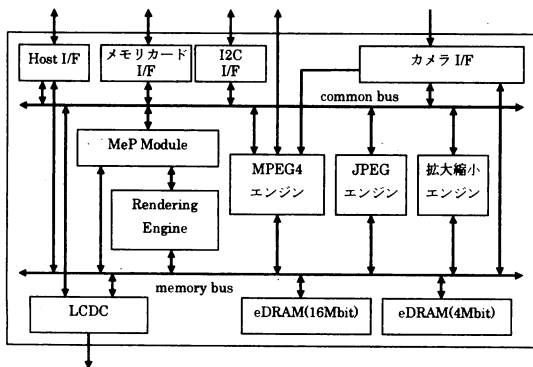


図2 T4G のブロックダイアグラム

T4G のブロックダイアグラムを図 2 に示す。3D エンジンは MeP Module と Rendering Engine からなる。MeP Module は API レイヤと頂点処理レイヤ内の照明処理までを担当する。頂点処理レイヤ内のクリッピング処理とピクセル処理レイヤ以下は Rendering Engine が担当し、それらはハードワイヤードロジックで実装されている。

eDRAM には、MeP のプログラムコード、頂点配列、テクスチャバッファ、カラーバッファ、Z バッファ等を自由に配置することができる (Unified Memory Architecture)。MPEG エンジン非動作時は 20Mbit すべてを、MPEG エンジン動作時は 16Mbit が動画処理に使われてしまうので残りの 4Mbit を、これらに割り当てることができる。

MeP Module は common bus を介して各デバイスを制御することができる。また、MeP Module 内の DSP は、一般的なジオメトリエンジン(たとえば三菱の Z3D[7]内の DSP)と異なり、汎用プロセッサにおけるコプロセッサに似た使い方ができる。これらのことから、MeP Module は、広く 3DCG 以外の用途にも使用できるようになっている。

MeP Module および Rendering Engine について、

詳細を以下に述べる。

3.1. MeP Module

MeP に浮動小数点計算能力を付加する時、その方法は 2 種類ある。1 つは DSP 拡張[5]、もう 1 つは VLIW 拡張[5][6]である。これらの主な違いは、データメモリに対するアクセス方法である。DSP 拡張では演算命令のオペランドに直接データメモリを指定することができる。一方、VLIW 拡張では、演算命令のオペランドにはレジスタしか指定できない。データメモリとレジスタ間のデータ転送は load/store 命令を別途使用しなければならない。その代わりに演算命令と load/store 命令が同時に発行できるようになっている。

表1 DSP 拡張と VLIW 拡張の評価結果

	DSP	VLIW
サイクル数	69 Cycles	67 Cycles
コードサイズ	252 Bytes	536 Bytes
ゲート規模	50 KGates	55 KGates

今回、それぞれに ISA を定義し、実際に頂点処理における最内ループ部分のコードを記述して、消費サイクル数およびコードサイズを評価した。また拡張部分のゲート数についても評価した。評価に使用したコードは、1 頂点について、座標変換と 1 平行光源の照明処理(ディフューズおよびスペキュラ)を行うコードである。これらの結果を表 1 に示す。

一般的には、VLIW アーキテクチャの方が、サイクル当たりにアクティブにできる実行ユニット数を増やしやすいので性能が高くなるが、今回の用途においては DSP アーキテクチャとさほど性能が変わらないことが分かった。一方、VLIW は DSP の 2 倍以上のコードサイズになる。コードサイズが大きいうことは、命令キャッシュのサイズや消費電力の面で不利である。このことから我々は、DSP 拡張を選択した。

DSP における演算は 32bit 浮動小数点形式で行われる。DSP の命令には、積和、逆数、逆数ルートといった 3D 処理でよく使われる命令に加え、さまざまな型変換命令を用意した。標準の 32bit 浮動小数点形式だけでなく、8bit、16bit、32bit の固定小数点形式および 16bit 浮動小数点形式を柔軟に利用できるようになっている。このことは、さまざまな頂点フォーマットへの対応を容易にするだけでなく、8bit や 16bit の形式を積極的に使用することで、頂点バッファのサイズおよびベースバンドプロセッサと T4G 間の通信トラフィックを節約することに役立つ。

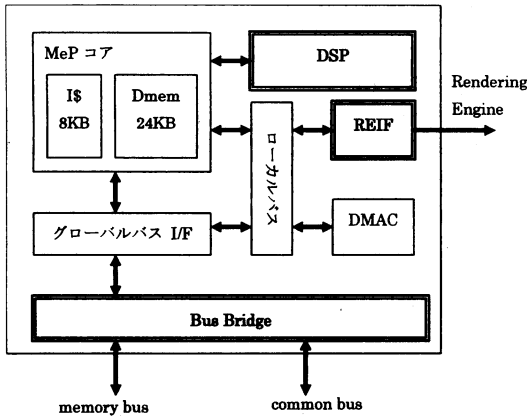


図3 MeP Module のブロックダイアグラム

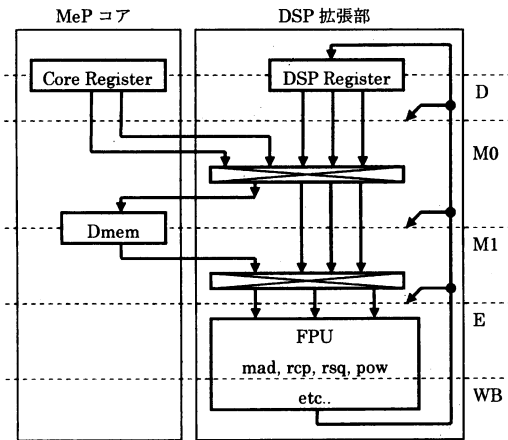


図4 DSP のパイプライン構造

MeP Module のブロックダイアグラムを図 3 に、DSP のパイプライン構図を図 4 にそれぞれ示す。図 3 において、新規に開発したユーザー拡張モジュールは DSP, REIF, BusBridge の 3 つである。それ以外は MeP Framework 内で用意されている標準 IP である。

REIF は Rendering Engine に頂点処理後のデータを転送する機能を持つ。BusBridge は各バス間のプロトコル変換を行う機能を持つ。

3DCG 処理時のデータの流の例を以下に述べる。まず DMAC が eDRAM 上にある頂点配列を MeP コア内のデータメモリ (Dmem) に転送する。次に、DSP が Dmem 内の頂点列に対して座標変換処理や照光処理を施す。変換後の頂点列は、REIF と DMAC により、Dmem から Rendering Engine に転送される。DSP による演算処理と DMAC によるデータ転送は同時に動作する。したがって、DSP はその性能をほぼ 100% 発

揮することができる。MeP アーキテクチャでは、MeP Module 内に高速なローカルバスが定義されている。このため、REIF と DMAC は、グローバルバスに負荷をかけずに、効率よく変換後の頂点を Rendering Engine に渡すことができる。

この MeP Module の頂点処理の性能は、照光処理なしの場合およそ 3.5M Vertex/sec(@125MHz)、1 平行光源の照光処理を行う場合およそ 1.5M Vertex/sec(@125MHz) である。

3.2. Rendering Engine

Rendering Engine のブロックダイアグラムを図 5 に示す。この Rendering Engine は我々が過去に開発した IP をベースにしている。この IP は、スケーラビリティを持っており、テクスチャエンジン以降のパイプライン数を自在に増減することができる。今回は携帯機器という市場にあわせ、最小構成 (1 pipe 構成) を取った。この Rendering Engine の特徴を以下に列挙する。

- View Volume Clipping 機能を内蔵。
- パースペクティブコレクトつきテクスチャマッピングをサポート。
- テクスチャフィルタリングをサポート (bi-linear, tri-linear, anisotropic)。
- α ブレンディングをサポート。
- ステンシルおよび Z バッファリングをサポート。
- Color および Z バッファは 16bit および 32bit フォーマットのいずれかを選択可能。
- ピクセル処理性能は最大 125M Pixel/sec(@125MHz)。

Rendering Engine は 2Gbyte/sec という極めて高いバンド幅で eDRAM に接続されている。このため、 α ブレンディング等の高いメモリバンド幅を必要とする処理を行っても性能が低下することはない。

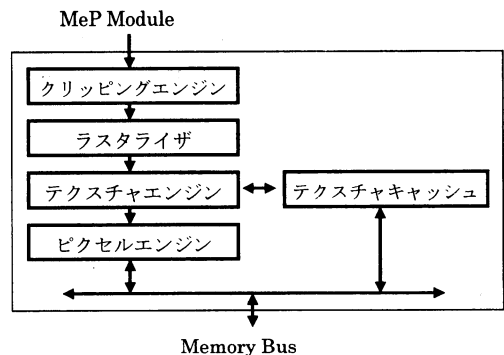


図5 Rendering Engine のブロックダイアグラム

4. LSI の実装

表 2 に T4G の仕様を示す。メタル 5 層 0.13um CMOS プロセスにより製造され、20Mtransistor のロジックと 20Mbit の DRAM が集積されている。動作周波数は 125MHz で、消費電力は 3DCG 処理時最大 170mW、MPEG 処理時最大 230mW である。この値は DRAM の消費電力を含んでいる。

図 6 にチップ写真を、図 7 にこのチップを搭載した評価ボードの写真を示す。

今回の開発では、MeP と Rendering Engine という 2 つの IP を利用することにより、設計期間を短縮することができた。3D エンジンの開発期間は、概要仕様 Fix から最終ネット Fix まで 6 ヶ月である。この中には論理設計や検証だけでなく、アーキテクチャの検討および評価も含まれる。

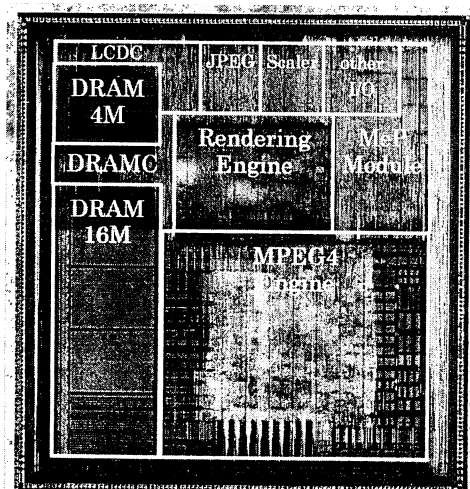


図 6 T4G チップ写真

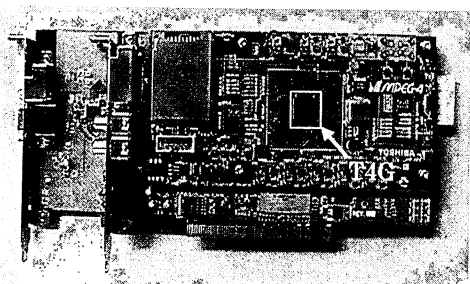


図 7 評価ボード

表 2 LSI 仕様

プロセス	0.13um CMOS 5-layer metal
周波数	125 MHz
トランジスタ数	20M transistors (SRAM 込み。DRAM 除く)
電源電圧	1.5V (Logic) 2.5V (eDRAM) 3.3V (I/O)
消費電力	170 mW (3D 処理時) 230 mW (MPEG 処理時)
パッケージ	345 pin PFBGA
パッケージサイズ	12.0mm×12.0mm

5. 性能評価

評価ボードを用いて実機による性能評価を行った。評価に用いた描画オブジェクトは図 8 に示すようなお馴染みの Teapot である。この Teapot は 6768 頂点で構成されている。その他の条件は以下の通り。

- 1 平行光源による照光処理を行う。スペキュラ効果あり。
- テクスチャマッピングあり。

評価は以下の 3 つのケースで行った。

- A) 1 頂点につき 1 回の API コマンドを発行。すなわち Teapot を描画するのに 6768 回のコマンドが必要。コマンドの引数(頂点座標データ)は 32bit 浮動小数点形式。
- B) A)と同じく、1 頂点につき 1 回の API コマンドを発行。ただし、頂点データは固定小数点形式を利用した圧縮フォーマット。圧縮率は 5/8。
- C) 1 回の API コマンドで Teapot を描画。Teapot の頂点座標データはあらかじめ eDRAM 上にデータベースとして登録しておく。コマンドの引数は頂点座標データではなく、データベース内の Teapot に対応した ID。

評価結果を図 9 に示す。横軸は上記のケース (A),(B),(C) に対応する。縦軸はフレームレート(フレーム/秒)である。

(A)から(B)への性能向上率は $47.1/30.0=1.57$ であり、これは頂点データの圧縮率の逆数 $8/5=1.6$ とほぼ同じである。つまり、(A)および(B)に関しては、ホストプロセッサと T4G 間のバスのバンド幅がボトルネックになっているといえる。

(C)の結果から頂点性能を計算すると、 $6768 \times 117.2 \div 0.8M \text{ Vertex/sec}$ となる。1 平行光源時の理論最大性能は $1.5M \text{ Vertex/sec}$ であるので、最大性能の 53% 程度であることがわかる。最大性能に到達しない理由として以下が挙げられる。

1. 頂点座標変換や照光処理といった純粋な演算処理以外の雑多な処理が、思った以上に MeP のサイクルを消費している。
2. 命令キャッシュのミスによるペナルティ。
3. Rendering Engine 側のネック。

今回の性能評価では、OpenGL を API として搭載した。OpenGL のような標準 API は仕様が広く、すべての機能を網羅する汎用的な構造のファームウェアを書くと、個々の機能の性能が犠牲になっていく傾向がある。上記の 1. はこのことを意味している。今後は、頻繁に使用される機能やモードに対しては専用ルーチンを用意するなどファームウェアの最適化を行い、上記の 1. と 2. を最小にするよう努力していきたい。

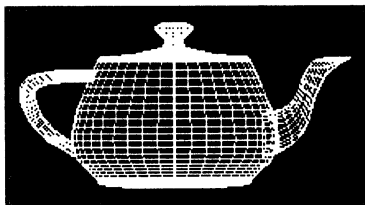


図8 評価に使用したオブジェクト

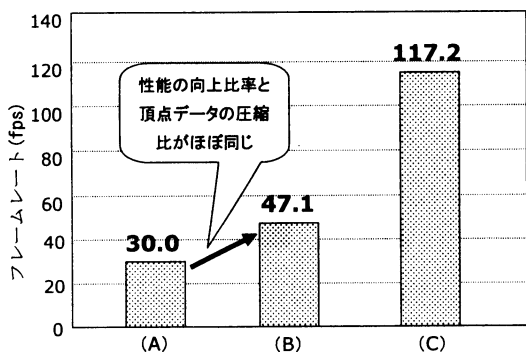


図9 性能評価結果

6. まとめ

3DCG 機能を搭載した携帯機器向けメディアプロセッサ T4G の開発について述べた。コンフィギュラブルプロセッサ MeP とスケーラビリティを持つ Rendering Engine および eDRAM を組み合わせることにより、現在の携帯電話システムに対して実践的な 3DCG ソリューションを提供するメディアプロセッサを開発した。

7. 謝辞

T4G 開発に携わった全ての方に感謝します。長嶋一郎氏、松田潤一氏、平井佳代氏、佐藤秀比古氏、小原義久氏に対し、日頃の開発業務支援に感謝致します。また、MeP の技術的な質問に快く対応してくれた田辺淳氏に感謝致します。

文 献

- [1] http://www.semicon.toshiba.co.jp/prd/ics/mpeg/mpeg_top.html
- [2] T.Miyamori, "A Configurable and Extensible Media Processor", Embedded Processor Forum, 2002.
- [3] <http://www.MePcore.com/>
- [4] Neil Trevett, "Bringing 3D Graphics to Embedded Systems", SIGGRAPH, 2003.
- [5] S.Ishiwata, et al., "A Single-Chip MPEG-2 Codec Based on Customizable Media Microprocessor", Proc. CICC 2002, pp.163-166, May 2002.
- [6] Y.Kondo, et al., "A 4GOPS 3Way-VLIW Image Recognition Processor Based on a Configurable Media-processor", IEEE ISSCC digest of technical papers, pp.148-149, 2001.
- [7] M.Kameyama, et al., "3D Graphics LSI Core for Mobile Phone Z3D", Graphics Hardware, 2003.