

高プロセスばらつき耐性, 高ノイズ耐性を有する マルチメディアプロセッサ用多ポートレジスタファイルの開発

池田 雄一郎, 炭田 昌哉

† 松下電器産業 半導体社 〒617-8520 京都府長岡京市神足焼町 1

E-mail: ikeda.yuuichirou@jp.panasonic.com, sumita.masaya@jp.panasonic.com

あらまし マルチメディアプロセッサでは, 命令の同時並行処理のために 32 ビット, 64 ワード, 読み出し 9 ポート, 書き込み 7 ポートを有するレジスタファイルが必要とされる. この多ポートレジスタファイルでは, 実装プロセスが最先端微細化プロセスであること, 及び膨大な内部配線を有することから, 強いプロセスばらつき耐性, クロストークノイズ耐性を有することが必須となる. 以上を鑑み今回, 新規回路の考案, 配線レイアウトの工夫, 基板電圧制御による MOS トランジスタ特性の制御を行うことにより, 両耐性を持つ多ポートレジスタファイルを実現したので, その詳細について報告する.

キーワード マルチメディアプロセッサ, 多ポート, レジスタファイル, プロセスばらつき, ノイズ

Noise and process variation-tolerant multi-ported register file using 130 nm technology

Yuuichirou Ikeda, Masaya Sumita

Matsushita Electric Industrial Co., Ltd., 1, Kotari-yakemachi, Nagaokakyo City, Kyoto, 617-8520 Japan

E-mail: ikeda.yuuichirou@jp.panasonic.com, sumita.masaya@jp.panasonic.com

Abstract We have developed a 32-bit, 64-word 9-read, 7-write ported register file for a processor based on 130 nm process technology. This register file has several circuits for improving noise and process variation tolerance, such as self-timing control circuits and crosstalk reduction circuits. Body bias voltage control can also be employed. These circuits and techniques confer tolerance to noise and process variation, allowing the register file to be operated over a wide voltage range from 0.6 V to 2.2 V.

Keyword multi-media processor, multi-ported, register file, process variation, signal noise

1. はじめに

マルチメディアプロセッサでは一般に, 複数命令の同時並行処理が行われる. この処理は命令のオペランド数と同一のレジスタファイルアクセスを必要とするため, 複数の同時読み出し, 書き込みが可能なレジスタファイルが必要となる.

加えて昨今のマルチメディアプロセッサでは, 高速動作モードと低消費電力モードの両立が要求されるため, 広い範囲の電源電圧で動作することも要求される.

ここで電源電圧が高い場合, 配線間のクロストークグリッチ (ノイズ) が顕著となる. これはプロセスの微細化に伴い, 配線間隔が狭くなっていることに起因

する. このクロストークグリッチは回路の誤動作を引き起こすため, 抑制する対策が必要である.

一方電源電圧が低い場合, MOS トランジスタの閾値電圧が電源電圧に近接するため, プロセスばらつきによる飽和電流, すなわち動作遅延のばらつきが顕著となる. よってレプリカ回路を使用し, 各チップに適した正確な書き込み, 読み出しの動作タイミングを生成することにより, このばらつきを抑制することが必要である.

以上を踏まえ今回, プロセスばらつきを抑制するために, 書き込み時間を正確に反映できるレプリカ回路 (Write-Accurate Self-Timing Circuits ; WASTC) を考案,

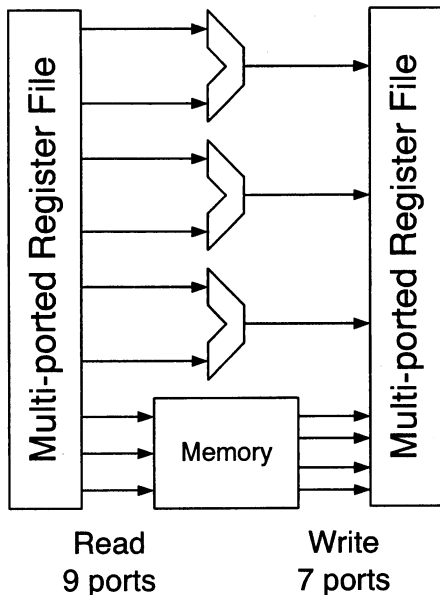


図 1: レジスタファイルのインタフェイス

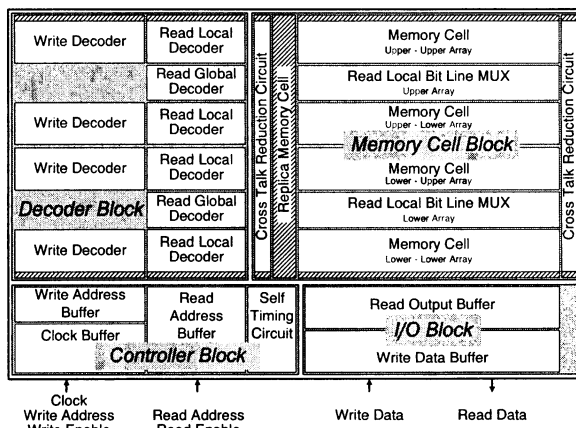


図 2: フロアプラン

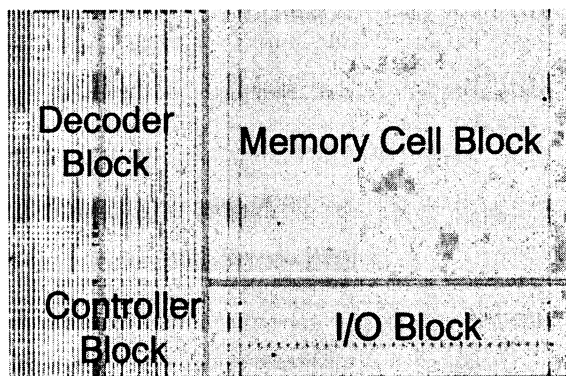


図 3: チップ写真

実回路への適用を行った。また配線間のクロストークグリッチを抑制するため、配線レイアウトの工夫、クロストーク抑制回路の考案、実回路への適用を行った。また基板電圧制御を使用した場合の、MOSトランジスタ特性の改善によるクロストークグリッチの抑制効果の確認も行った。以下、これらの回路、技術について詳述する。

2. 取り組み

2.1. レジスタファイルの概要

マルチメディアプロセッサにおける、本レジスタファイルのインタフェイスを図 1 に示す。プロセッサでは 3 命令の同時並行処理が行われる。この演算器に対するアクセスのために、読み出し 6 ポート、書き込み 3 ポートを使用する。またメモリアクセスのために、読み出し 3 ポート、書き込み 4 ポートを使用する。よって本レジスタファイルは、読み出し 9 ポート、書き込み 7 ポートが必要である。

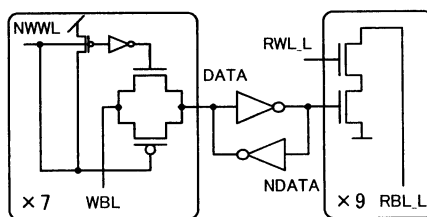


図 4: メモリセル回路図

本レジスタファイルのフロアプランを図 2 に、チップ写真を図 3 に示す。大きく分けてメモリセルブロック、コントローラブロック、デコーダブロック、IO ブロックの 4 ブロックからなる。図 3 より、メモリセルブロックが大部分を占めていることがわかる。図 3 中で編模様状に見えるのは、配線である。図 4 にメモリセルの回路図を示す。メモリセルは SRAM 等のメモリセルに広く使用されている双ビット線構造ではな

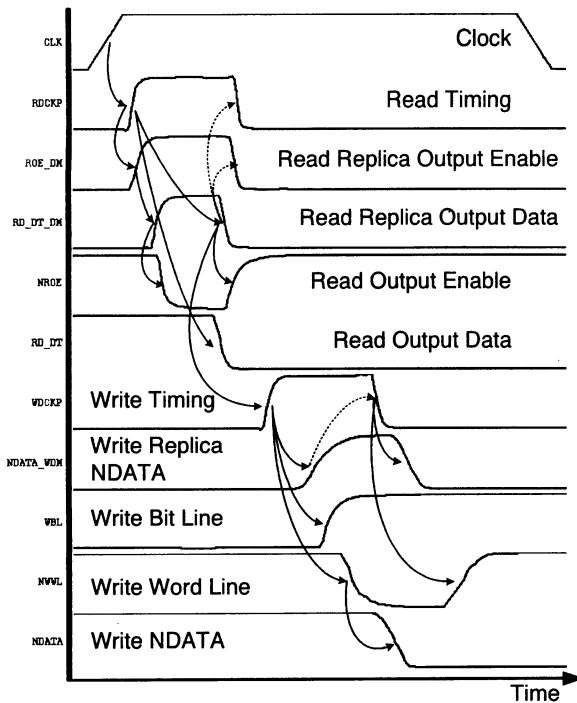
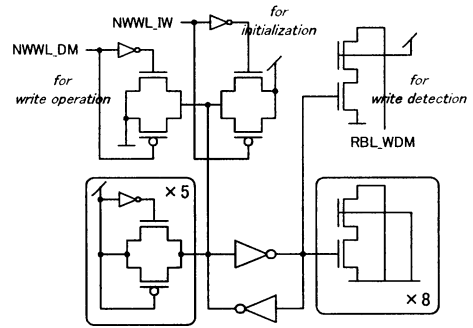


図 7: セルフタイミング波形図

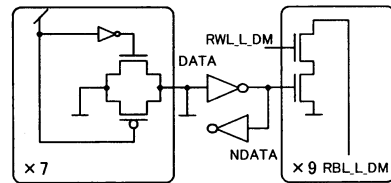
ためには、読み出しタイミングのみならず、書き込みタイミングもレプリカ回路を使用して生成する必要があることがわかる。本レジスタファイルではこれに基づき、書き込みタイミングを生成するレプリカ回路、すなわち WASTC (Write-Accurate Self-Timing Circuits) 回路を設け、低い電源電圧領域でも正確な書き込み時間を生成できる様になっている。

回路の詳細を図 6 に示す。書き込みレプリカメモリセルはメモリセルブロックの最下部に配置しているため、書き込み完了の検知パスは読み出しパスの一部のみでよく、全パスを使用する従来の考えと比して余分な遅延は 40% まで削減している。図 7 に波形図を、図 8 に書き込み、読み出しのレプリカメモリセルの回路図を示す。なお読み出しレプリカメモリセルは、書き込み用とは別にメモリセルブロックの最上部に配置しており、通常メモリセルからの読み出し時間の内、最も悪いタイミングを生成できる様になっている。

以上の様に、本レジスタファイルでは読み出し、書き込みタイミング共にプロセス状態、及び回路の使用条件に応じて生成されるため、回路は広範な電源電圧領域で動作が可能である。



(a) 書き込みレプリカセル



(b) 読み出しレプリカセル

図 8: レプリカメモリセル

2.3. ビット線、ワード線レイアウト

本レジスタファイルは多ポートであるため、ビット線、ワード線等、多くの内部配線を持つ。レイアウト面積を小さく抑えるためには、これらの配線を最小間隔で配置する必要があるが、配線間の容量は増大し、配線間のクロストークが大きくなる。

よってクロストークグリッチを抑制するため、本レジスタファイルでは読み出しワード線、書き込みワード線を交互に配置している。この配置により、読み出し動作中は書き込みワード線をシールド線として使用することが可能であり、その逆もまた同様である。また、ビット線についても同様の配置としている。

2.4. クロストーク抑制回路

書き込み、読み出しワード線は、2.3 で述べた様に交互に配置されており、読み出し動作中は書き込みワード線をシールド線として利用している。しかしながらこの場合、シールド線には動作線側からのクロストークによるグリッチが重畳し、誤動作を引き起こすことがある。

このクロストークグリッチは、シールド線側を非選択電圧に固定する回路を追加することにより、抑制することが可能である。図 9 に本レジスタファイルの書

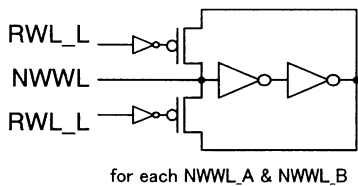


図 9: クロストーク抑制回路

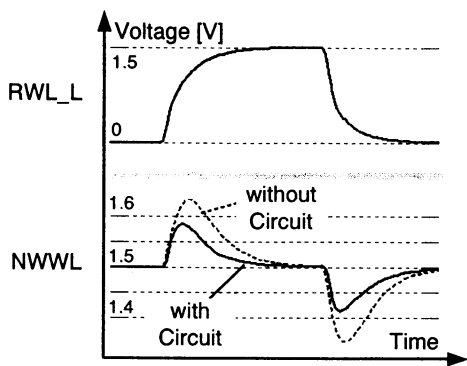


図 10: クロストーク抑制回路の効果

書き込みワード線に使用しているクロストーク抑制回路を示す。図中、NWWLは書き込みワード線、RWL_Lは読み出しワード線である。この回路により、各書き込みワード線は、隣接する読み出しワード線が動作する場合には非選択電圧に固定されるため、書き込みワード線に重畳するクロストークグリッチを低減することが可能である。

図 10 に書き込みワード線に乗るクロストークグリッチを、クロストーク抑制回路を設けない場合と設けた場合とで比較したシミュレーション結果を示す。この図より、抑制回路を設けた場合は、設けない場合に比べクロストークグリッチが半減することを確認できる。

2.5. 基板電圧制御

配線間のクロストークグリッチ等のノイズに対するマージンは、2.4 で説明したクロストーク抑制回路で改善されるが、これ以外にも MOS トランジスタの閾値電圧を上昇させ、配線が動作、すなわち反転しにくくすることによっても改善可能である。MOS トランジスタの閾値電圧の制御は、MOS トランジスタの基板端子の電圧を制御する、基板電圧制御により実現可能である。

図 11 に、本レジスタファイルの読み出しビット線の

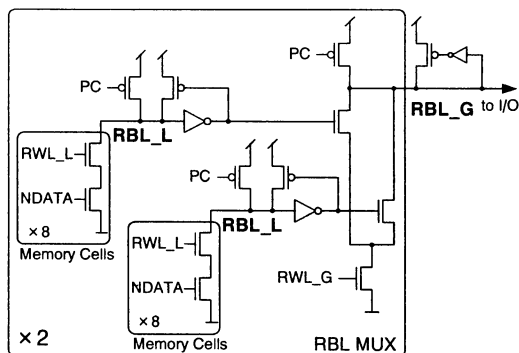


図 11: 読み出しビット線構造

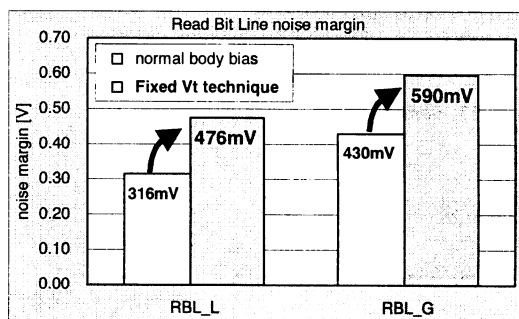


図 12: 基板電圧制御によるノイズマージン改善

構造を示す。ビット線 RBL_L、RBL_G は動作しない時には電源電圧にプルアップされており、動作する時のみ、NMOS を通じてディスチャージされる。この回路構造は一般にダイナミック回路と呼ばれる。ダイナミック回路は、通常の CMOS 回路では必要な、動作のための PMOS を必要としないために、高速、小面積な回路となるが、反面、動作しない時にはビット線は弱い駆動能力でのみプルアップされているため、ノイズに弱いという特徴を持つ。

従ってダイナミック回路では、NMOS の閾値電圧を上昇させることによりビット線は引き落とされにくくなるため、ノイズマージンを強化することができる。閾値電圧の制御は、MOS トランジスタの基板電位を NMOS はグランド電位よりも低く、PMOS は電源電位よりも高くする基板電圧制御により行われる。

図 12 に、基板電圧制御を行った場合と行わない場合とで、読み出しビット線のノイズマージンを比較したシミュレーション結果を示す。基板電圧制御を行った場合は、ノイズマージンが 160mV 改善されることがわかる。

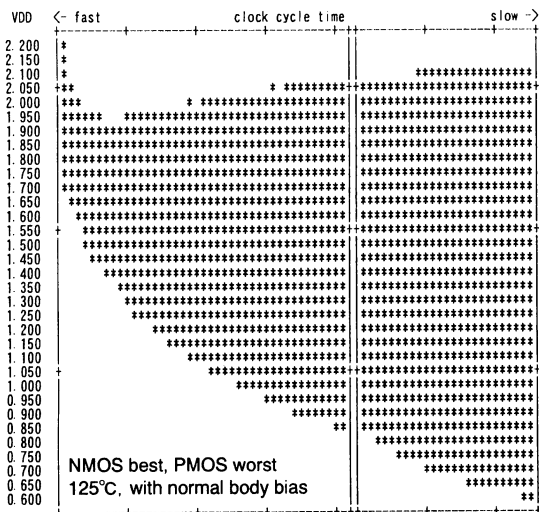


図 13: Shmoo プロット (基板制御なし)

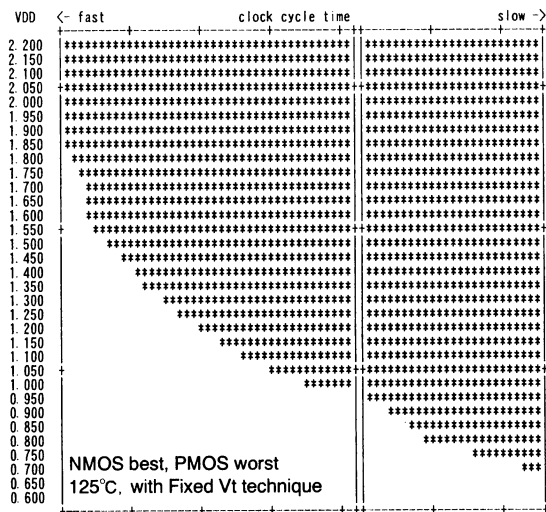


図 14: Shmoo プロット (基板制御あり)

3. 実測結果

ノイズマージンが最も厳しい条件である 125 度、プロセス NMOS best, PMOS worst 条件におけるテストチップの Shmoo プロットを図 13 に示す。図中、*は動作するポイントを、空白は動作しないポイントを示す。図 13 より、電源電圧の高い領域で配線間のノイズにより、動作しない領域があることを確認できる。

同一条件下において、基板電圧制御を適用した場合の Shmoo プロットを図 14 に示す。この図より基板電圧制御によりノイズマージンが改善され、高い電源電圧領域での動作しない領域がなくなり、動作上限電圧が 300mV 改善されていることがわかる。

また図 13, 図 14 において、0.7V の領域でも動作していることを確認できるが、これは WASTC 回路を使用したことによる帰結である。

4. まとめ

本開発では、書き込みタイミングを正確に生成可能な WASTC 回路を提案、使用することにより、低い電源電圧領域でも動作可能なレジスタファイルを実現した。

同じくクロストーク抑制回路を提案、使用することによりワード線間のクロストークグリッチを抑制し、高い電源電圧領域でも動作可能なレジスタファイルを実現した。

また基板電圧制御を行うことによりノイズマージ

ンが改善され、動作上限電圧が 300mV 改善することを、テストチップを使用した実測により確認した。

本開発を踏まえ今後、高プロセスばらつき、ノイズ耐性を有しつつ、さらなる高速動作が可能なレジスタファイルを開発し、マルチメディアプロセッサの性能向上に寄与することが期待される。

5. 参考文献

- [1] M. Sumita, S. Sakiyama, M. Kinoshita, Y. Araki, Y. Ikeda, K. Fukuoka, "Mixed Body-Bias Techniques with fixed Vt and Ids Generation Circuits," 2004 IEEE International Solid-State Circuits Conference, no. 8.5, San Francisco, America, Feb. 2004.
- [2] N. Tzartzanis, W. W. Walker, H. Nguyen, A. Inoue, "A 34-Word x 64b 10R/6W Write-Through Self-Timed Dual-Supply-Voltage Register file," 2002 IEEE International Solid-State Circuits Conference, no. 25.4, San Francisco, America, Feb. 2002.
- [3] Y. Ikeda, M. Sumita, "A 32-bit 64-word 9-read, 7-write ported, noise and process variation-tolerant and wide-voltage-range-operative register file using 130 nm technology," Asia-Pacific Advanced System Integrated Circuit 2004, no. 9.3, Fukuoka, Japan, Aug. 2004.