

0.18 μm プロセスによる差分光再構成型ゲートアレイ

渡邊 実[†] 小林史典[†]

[†]九州工業大学 情報工学部 〒 820-8502 福岡県飯塚市大字川津 680-4

E-mail: †{watanabe,koba}@ces.kyutech.ac.jp

あらまし 差分光再構成型ゲートアレイは、FPGA (Field Programmable Gate Array) の一種であるが、回路情報を電気的に書き込む FPGA とは異なり、光学的な書き込みを可能にしたデバイスである。これまでに 0.35 μm プロセスを用いた差分光再構成型ゲートアレイを開発済みであるが、本稿では、さらに高密度実装した 0.18 μm 高密度差分光再構成型ゲートアレイの設計例について示す。この設計では 7.82 mm^2 のチップに、4 個の論理ブロック、5 個のスイッチング・マトリックス、16 ビットの I/O ビットを実装した。本稿では、再構成回路部、ゲートアレイ部の実装について述べ、受光部に関しては実験結果も示す。

キーワード FPGA, ORGA, 光再構成, 動的再構成デバイス

An Optically Differentiable Reconfigurable Gate Array using a 0.18 μm CMOS process

Minoru WATANABE[†] and Fuminori KOBAYASHI[†]

[†] Faculty of Computer Science and Systems Engineering,
Kyushu Institute of Technology,

680-4, Kawazu, Iizuka, Fukuoka, 820-8502 Japan

E-mail: †{watanabe,koba}@ces.kyutech.ac.jp

Abstract This paper presents the design of a high-density optically differentiable reconfigurable gate array (ODRGA) using a 0.18 μm - 5 Metal CMOS process technology. ODRGA is a type of Field Programmable Gate Arrays (FPGAs). However, unlike conventional FPGAs, ODRGAs are reconfigured optically using an external optical system. Although ODRGAs have already been fabricated using a 0.35 μm - 3 Metal CMOS process technology, their gate-density remains unsatisfactory. For that reason, a new ODRGA-VLSI chip with four logic blocks, five switching matrices, and 16 I/O bits was fabricated on a 7.82 mm^2 chip using more advanced process technology. This paper presents the detailed design of a fabricated ODRGA-VLSI chip, the optical reconfiguration circuit, the gate array structure, the CAD layout, and an ODRGA-VLSI chip mounted on an estimation board. This study also includes experimental results regarding the reconfiguration period.

Key words FPGAs, ORGAs, Optical Reconfiguration, Dynamically Reconfigurable Devices

1. はじめに

近年、FPGA (Field Programmable Gate Array) の使用が、プロトタイプ的な用途から、少量生産ではあるものの、マイクロプロセッサの処理では不可能な高速演算を必要とする分野へ広がりを見せている [1][2]。これらの FPGA 実装の多くでは、電源起動時以外には殆ど再プログラミングが行われない実装方法、つまり、ASIC (Application-Specific Integrated Circuit) やフルカスタム VLSI に近い実装方法が適用されてきた。しかし、このような単純な実装方法では、FPGA の汎用化された LUT (Look Up Table) 構造やスイッチングマトリックスのスイッチの影響

により、ASIC を超える性能とコストを実現することは困難であった。このことが、FPGA の量産品への普及を妨げてきた。

そこで、最近では、そのプログラム可能な性質をより頻りに利用することで、性能とコストの両方の問題を解決しようとする研究、動的再構成デバイス、DAP/DNA チップ、DRP チップの研究開発が進められている [3][4]。これらデバイスでは、FPGA が 1 つの回路情報を記憶する SRAM を持つのに対し、複数の回路情報を記憶できる複数のバンクを持つメモリを実装しており、このバンクを切り替えることで ALU (Arithmetic and Logic Unit) の高速な再構成を実現している。これらの研究は、ALU 全ての処理回路を完全に実装しておくのではなく、その瞬間に

必要となる回路のみを実装することで、非常に高速に、そしてコンパクトに実装可能であることを示した。

我々は、この例で示されるように、次世代のプログラマブルデバイスでは、クロックサイクルでの動的なプログラムが必須となり、汎用的で複雑な回路を実装するのではなく、1クロックの間に必要な機能のみを実装することになると考えている。この結果、各回路は非常にコンパクトに、高速に実装可能となり、また並列性においてASIC以上の性能が発揮できるようになると予測している。しかし、そのような次世代のプログラマブル・デバイスには、高速再構成の性能に加えて、その高速再構成を維持できる技術が不可欠になると予測している。

さて、これらの次世代デバイスの機能をFPGAを使用して実現する場合を仮定してみる。FPGAでは、1つの回路情報パターンを記憶するメモリとゲートアレイ部が1つのパッケージ内に実装され、外部メモリから回路情報が転送され再構成される。現状のFPGAでは、この再構成に使用する配線は1本から数本であることから、数10ms以上の時間がかかり、再構成回数が多くなるほど、処理時間中の再構成時間の割合が増加し、実用的でないことが分かる。ここで仮に、100万ビットの再構成ビットを持つゲートアレイがあり、再構成に用いる配線を1000本に拡張し、それを100MHzのクロックで再構成する場合を仮定する。しかし、このように配線数を増大させてもゲートアレイのプログラム要素数が非常に多いことから、1本あたりの転送周波数は100GHzにもなり、通常のCMOSでの実現は困難であることが確認できる。

ここで再度、DAP/DNA、DRPが、その高速再構成を維持できるのかどうかについて検討する。これらデバイスでは、複数のバンクのメモリとALUをまとめて1チップに実装していることから再構成速度は劇的に高めることができるが、チップ内のメモリを増大させることは、ダイサイズの制限から困難であり、大量の再構成データを定常的に供給し続けることは困難である。よって、以上の結果から、我々は既存の電気配線技術では、大容量の再構成データと高速な再構成の両立は困難であると考えている。

一方、光を利用したデバイスとして、1999年にFPGAにフォトダイオードアレイを加える構造で光再構成型ゲートアレイ(OPGA: Optically Programmable Gate Array)が開発されている[5]-[11]。このデバイスでは、VLSI技術に垂直配線が容易な光配線技術と大容量光メモリを加えたデバイス構造を取ることで、16 μ sの再構成速度と50パターンの再構成パターンを実現した。しかし、このデバイスではクロック毎の再構成までは想定されていなかったことから、我々は2000年からデバイスの開発に着手し、VLSI実装方法を見直し、0.35 μ mプロセスにより、10ns以下での再構成が可能な差分光再構成型ゲートアレイVLSIを開発し、評価を進めてきた[12]-[17]。

本稿では、より高密度化した0.18 μ m差分光再構成型ゲートアレイの試作結果について詳細に述べる。また、再構成時間に関する実験結果と、実装面積に対する評価を示す。

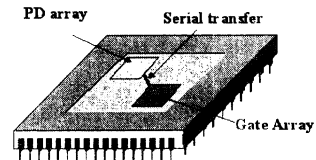


図1 PDとゲートアレイの分離レイアウト手法
Fig. 1 Separation layout method of PD array and gate array.

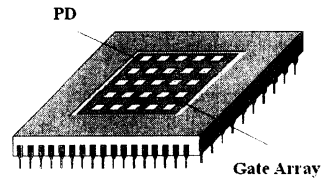


図2 PDとゲートアレイの均一分散レイアウト手法
Fig. 2 Homogeneous dispersed layout method of PD array and gate array.

2. ODRGA-VLSI

2.1 実装手法

初期のOPGA[8],[9]では、PD(PhotoDiode)とゲートアレイを分離実装する図1のレイアウトとPDとゲートアレイを均一に分散しレイアウトする図2レイアウト手法の二つの実装方法が検討され、分離実装するレイアウトが採用されていた。分離実装するレイアウトでは、光エネルギーを一箇所に集中できることから、光効率を高くできること、また、照射エリアを限定できることから、光を遮断するメタルレイヤーが不要となり配線層全てをゲートアレイの配線に利用できるメリットがある。その反面、PDとゲートアレイ部を平行で接続することが配線リソースの点から難しく、OPGAではシリアル転送方式を採用していた。しかし、このシリアル転送が、高速再構成を妨げており、初期のOPGAでは16 μ s程度の再構成速度しか実現できていなかった。

一方で、PDとゲートアレイを均一に分散しレイアウトする図2のレイアウトでは、ゲートアレイ部とPD部とを分離せず、ゲートアレイ部のプログラム要素近くにPDを分散レイアウトすることで、その間の配線を最小にでき、かつ余分なシリアル転送用の回路は不要にできる。この結果、PDからの情報をゲートアレイ部に並列的に伝えることが可能となり、先の手法に比べて再構成速度を劇的に高めることが可能になる。しかし、受光部は分散していることから、光照射が一部に限定出来ず、チップ全体となり、照射光からトランジスタを保護するメタルレイヤーが1層必要になることと、光エネルギーを受光部にのみ集中させる必要があることから、レンズアレイ等も必要となる。しかし、近年では多層のメタル層を持つプロセスが多く、メタル層の問題は大きくは無いこと、またレンズアレイ等の光デバイスも安価に作る事ができることから、我々は高速

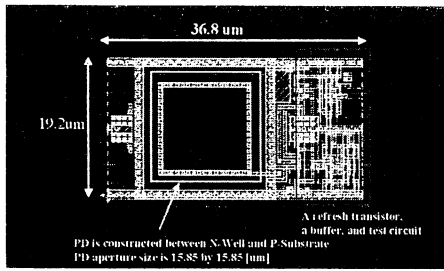


図3 受光セルのレイアウト

Fig. 3 CAD Layout of a photodiode cell.

再構成の性能を最大限に高めることができる分散レイアウトを採用した。

2.2 差分再構成手法

差分光再構成型ゲートアレイでは、ビット単位での部分再構成が実現できるように、差分再構成手法を導入している。この差分再構成手法とは前状態と異なる部分にのみ指示、つまり光照射を行う手法で、照射しないエリアは前状態を保つことから、光学部において自由に部分再構成の区分を決めることができる。ここで、 i 番目の再構成パターンを N ビットのベクトル α_i 、同様に、 $i+1$ 番目の再構成パターンを N ビットのベクトル α_{i+1} 、光メモリからの i 番目の光照射パターンを N ビットのベクトル γ_i として定義する。差分再構成の式は排他的論理和を用いて以下の式で表される。

$$\alpha_{i+1} = \gamma_i \oplus \alpha_i \quad (1)$$

差分ベクトル γ_i の要素値 1 が光を照射する状態を示す。この回路は 1 ビット当り 1 つの T-flip-flop で実現できる。

2.3 受光部と差分再構成回路

分散レイアウトを導入することで、シリアル転送回路は不要となり、受光回路は電荷蓄積型 (Charge-Integration Photocircuit) のシンプルな構成となる。0.18 μm プロセスによる PD の CAD レイアウトを図 3 に示す。この PD は N-WELL と P-Substrate 間で実現され、その受光サイズは $15.85\mu\text{m} \times 15.85\mu\text{m}$ である。1 つの受光セルには 1 つの PD、PD の接合容量に電荷を蓄積する為の 1 つのリフレッシュトランジスタ、1 つのバッファ、そして光配線を確認するテスト回路が含まれており、そのサイズは $36.8\mu\text{m} \times 19.2\mu\text{m}$ である。近い将来、テスト回路はゲートアレイ構造を利用した読み出し手法により削除される予定である。

3. VLSI 仕様

0.18 μm 5-Metal CMOS プロセスを用いて差分光再構成型ゲートアレイ VLSI を試作した。ゲートアレイ部はスタンダード・セル・ベースで設計し、論理合成ツールに Synopsys 社の Design Compiler、配置配線ツールに Synopsys 社の Apollo を使用した。PD 等、一部のセルのみカスタムレイアウトとした。仕様を表 1 に示す。チップサイズは 2.9mm 角で、I/O PAD エリアを除くコア領域は 1.4mm 角である。このコア面積は、従来の 0.35 μm プロセスの同ゲート規模の VLSI と比較して、1/5 の面

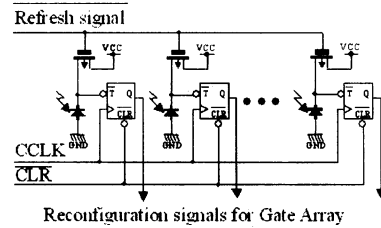


図4 差分光再構成回路

Fig. 4 Schematic diagram of an array of optical differential reconfiguration circuits.

表 1 光再構成型ゲートアレイの仕様

Table 1 Specification of an optically reconfigurable gate array.

Technology	0.18 μm 5-metal CMOS process
Chip size	2.9 \times 2.9 [mm]
Core size	1.4 \times 1.4 [mm]
Supply Voltage	Core 1.8V, I/O 1.8V
Photodiode size	15.85 \times 15.85 [μm]
Horizontal distance of photodiodes	69.2 [μm]
Vertical distance of photodiodes	38.4 [μm]
Number of Photodiodes	605
Number of Logic Blocks	4
Number of Switching Matrices	5
Number of I/O Blocks	4

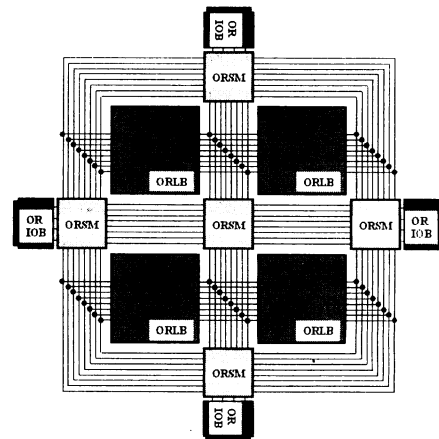


図5 光再構成型ゲートアレイのゲートアレイ構造

Fig. 5 Block diagram of an optically reconfigurable gate array.

積である。PD は水平方向の間隔が $69.2\mu\text{m}$ 、垂直方向の間隔が $38.4\mu\text{m}$ で等間隔に実装された。PD の総数は 605 個で、592 個がゲートアレイ部のコントロールに、13 個は他の機能の選択

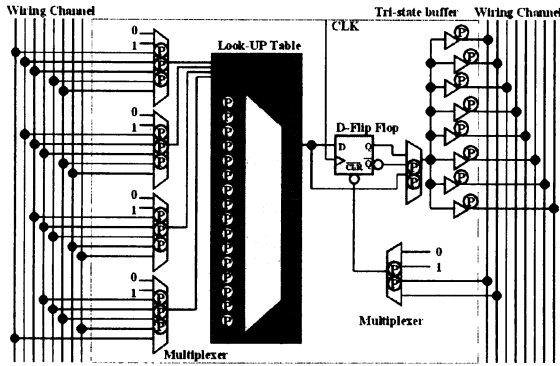


図6 論理ブロックの構造

Fig.6 Block diagram of an Optically Reconfigurable Logic Block (ORLB).

に使用される。5層目のメタルレイヤー全てと4層目のメタルレイヤーの一部は外部照射からのトランジスタ保護に使用した。その他の層は配線に使用した。電源電圧は、コア領域、I/O領域共に1.8Vである。実装したゲートアレイのブロック図を図5に示す。実装したゲートアレイは、論理ブロック (ORLB: Optically Reconfigurable Logic Block) が4個、スイッチング・マトリックス (ORSM: Optically Reconfigurable Switching Matrix) が5個、4bitのI/Oを含むI/Oブロック (ORIOB: Optically Reconfigurable I/O Block) が4個であり、総ゲート数は68である。以下に実装した論理ブロック、スイッチング・マトリックス、I/Oブロックの詳細な構造を示す。基本的な回路構造は既存のFPGAと同様である。

3.1 論理ブロック構造

論理ブロックのブロック図を図6に示す。図に示すように配線領域とは22本の入力と8本の出力とで接続される。この論理ブロックには、4入力1出力のLUTが1つあり、その各々の16状態は16ビットの光再構成ビットによって、光によるプログラムが可能である。そのLUTの4本の入力は4つのマルチプレクサを介して配線領域と結合され、入力信号の選択性を向上させている。これらのマルチプレクサもLUT同様、光によって全状態プログラムが可能である。LUTからの出力はD-FF (Delay-Flip-Flop) に直結され、その後段にあるマルチプレクサによって、D-FFの出力、同D-FFの反転出力、LUTの出力が、2ビットの光再構成ビットによって選択される。このマルチプレクサにより、組み合わせ回路、順序回路の選択が可能で、この選択も光によってプログラムされる。D-FFの状態は、リセット信号をコントロールするマルチプレクサやLUTとその前段のマルチプレクサの状態から光プログラムが可能である。ただし、このD-FFは、通常の運用では光書き込みが行われることは少なく、回路構造が再構成された時に、前状態を保持する目的として使用されることが多いと考えている。配線領域への接続はスリーステートバッファを介して行われ、それぞれ1ビットの光再構成ビットによって接続、非接続が決定される。本論理ブロック1個に必要なPDの数は40個となる。

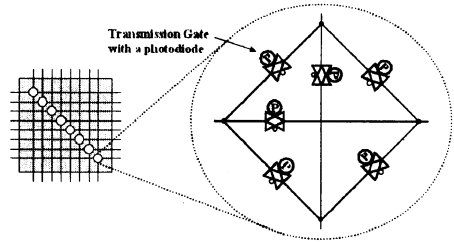


図7 スイッチング・マトリックス構造

Fig.7 Block diagram of an Optically Reconfigurable Switching Matrix (ORSM).

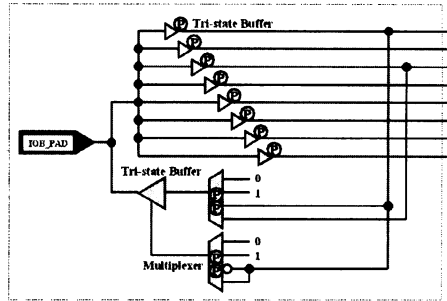


図8 I/Oブロックの1ビットの構造

Fig.8 Block diagram of a single bit of an Optically Reconfigurable I/O Block (ORIOB).

3.2 スイッチング・マトリックス構造

スイッチング・マトリックスのブロック図を図7に示す。各スイッチはトランスミッションゲートによって構成され、垂直・水平の4方向にある配線領域の交差点に置かれる。1つのスイッチング・マトリックスには8個の4方向スイッチが用いられ、その各スイッチは、既存のXILINX社のFPGAと同様に、6個のトランスミッションゲートによって構成される。全てのトランスミッションゲートには光再構成回路が接続され、全状態の光プログラムが可能である。本スイッチング・マトリックス1個分に必要のPDの総数は48個である。

3.3 I/Oブロック構造

I/Oブロックは、他のブロックに比べて再構成される頻度が低いと予測されるが、本デバイスでは論理ブロック、スイッチング・マトリックスと同様に光書き込みを可能とした。これは図8にI/Oブロック内の1ビット分の回路を示す。I/Oブロックは、同期用のフリップ・フロップは含めず、バッファのみの単純な構造としている。パッドに対する出力はマルチプレクサによってオープンコレクタ、スリーステートバッファ、プッシュプル出力のいずれかが光プログラムによって選択される。I/O1ビットに必要なPDの数が12個であることから、1つのI/Oブロックに必要なPDの総数は48個になる。

4. 評価システムと実験結果

4.1 評価システム

差分光再構成型ゲートアレイ VLSI の評価用に専用ボードを

表2 差分光再構成型ゲートアレイのセル面積評価
Table 2 Estimation of cell implementation area.

PDs	Transistors	Total
0.43[mm ²]	0.42[mm ²]	0.85[mm ²]

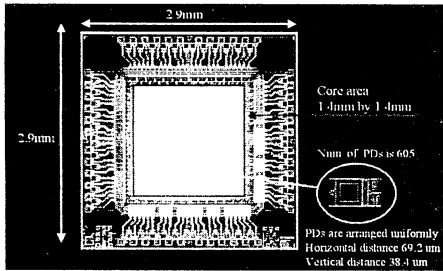


図9 光再構成型ゲートアレイのレイアウト

Fig. 9 Layout of Optically Reconfigurable Gate Array.

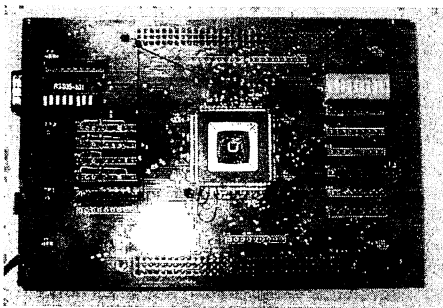


図10 光再構成型ゲートアレイのチップ写真

Fig. 10 ODRGA-VLSI chip implemented on an experimental board.

開発し、実装して評価を行った。そのボードとボード上に実装されたチップの写真を図10に示す。差分光再構成型ゲートアレイ・評価ボードは、アルテラ社のEP20K200CF484C8によるタイミング制御信号によってコントロールされ、USB2インターフェースを介してパーソナルコンピュータと情報のやり取りができるように構成されている。現在、パーソナルコンピュータはODRGAの状態や光結合のチェックなどの目的に使用されているが、将来的にはこのような環境も不要となり、ODRGA-VLSIをコントロールする僅かな制御回路もODRGA-VLSI内に実装されることになる。

本ボードを使用して構築した光学システムを図11に示す。この度は、20mW-He-Neレーザー、液晶パネル、偏光板、レンズ類を使用し評価システムを構築した。そして再構成時間に関する計測を行った。その結果10ns以下で再構成可能な事を確認した。

4.2 全体評価

この度の試作では、空間光変調素子や光メモリの設計を容易にすることを最優先にして、PDのサイズは15.85μmと大きくし、またPDの間隔を完全な等間隔とした。この実装におけるPDセル領域とゲートアレイを構成するトランジスタ領域の比を表2にまとめる。この度の実装では約1:1の実装比となっ

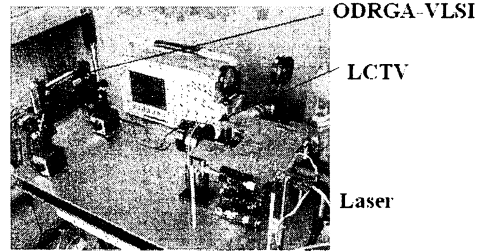


図11 光学実験システム

Fig. 11 Optical estimation system for testing ODRGA-VLSI chips.

たが、この比は将来的にはPDのサイズの縮小化やテスト回路の削除によって改善される予定である。

ここで、今回の実装を12mm角のチップに適用した場合について考察すると、2.9mm角では68ゲート規模であったが、12mm角の場合、ゲート規模は3808ゲートになる。それでも、市販のFPGAと比べてゲート規模は大きいとは言えないが、それでも転送レートについて評価すると、この時のゲートアレイ部のPDの数が33152個であり、各再構成ビットが10nsの再構成スピードを有することから3315.2Gbit/sでの再構成が実現できたことになる。既存の電気配線による再構成デバイスでは不可能な転送レートであると言える。今後、ゲート規模については、先の受光部の改善に加えて、フルカスタムレイアウトによって高密度化していく予定である。

5. まとめ

これまでに0.35μmプロセスを用いた差分光再構成型ゲートアレイを開発済みであったが、本稿では、さらに高密度実装した0.18μm-5Metal CMOSプロセスを用いて、差分光再構成型ゲートアレイの試作例について示した。この設計では4個の論理ブロック、5個のスイッチング・マトリックス、16ビットのI/Oビットを7.82mm²のチップ内に実装した。これは0.35μmのプロセスを用いた場合の約1/5である。また差分光再構成型ゲートアレイ専用の評価ボード、評価システムを開発し、光再構成回路部の動作について評価を行い、10ns以下で再構成可能な事を確認した。さらに、前述の実装面積の結果を基に、12mm角のチップに3808ゲートの差分光再構成型ゲートアレイが構築できることを示した。

今後はさらにPDを縮小するとともに、ゲートアレイ部をスタンダードセルレイアウトからフルカスタムレイアウトに移行し高密度化を目指す予定である。また、高容量光メモリ部を開発することが課題である。

謝辞 本研究は、一部、日本学術振興会科学研究費補助金、及び、文部科学省・北九州知的クラスター創成事業の補助金により行われた。

文献

- [1] Altera Corporation, "Altera Devices," <http://www.altera.com/products/devices/dev-index.html>
- [2] Xilinx Inc., "Xilinx Product Data Sheets," <http://www.xilinx.com/partinfo/databook.html>

- [3] H. Nakano, T. Shindo, T. Kazami, M. Motomura, "Development of dynamically reconfigurable processor LSI," *NEC Tech. J. (Japan)*, vol. 56, no. 4, pp. 99–102, 2003.
- [4] <http://www.ipflex.co.jp>
- [5] T. H. Szymanski, M. Saint-Laurent, V. Tyan, A. Au, and B. Supmonchai, "Field-programmable logic devices with optical input-output," *Appl. Opt.*, vol. 39, pp. 721–732, 2000.
- [6] S.S. Sherif, S.K. Griebel, A. Au, D. Hui, T. H. Szymanski, and H.S. Hinton, "Field-programmable smart-pixel arrays: design, VLSI implementation, and applications," *Appl. Opt.*, vol. 38, pp. 838–846, 1999.
- [7] M. F. Sakr, S. P. Levitan, C. L. Giles, and D.M. Chiarulli, "Reconfigurable processor employing optical channels," *Proc. SPIE - Int. Soc. Opt. Eng.*, vol. 3490, pp. 564–567, 1998.
- [8] J. V. Campenhout, H. V. Marck, J. Depreitere, and J. Dambre, "Optoelectronic FPGAs," *IEEE J. Sel. Top. Quantum Electron.*, vol. 5, pp. 306–315, 1999.
- [9] J. Mumburu, G. Panotopoulos, D. Psaltis, X. An, F. Mok, S. Ay, S. Barna, and E. R. Fossum, "Optically Programmable Gate Array," *Proc. SPIE - Int. Soc. Opt. Eng.*, vol. 4089, pp. 763–771, 2000.
- [10] J. Mumburu, G. Zhou, X. An, W. Liu, G. Panotopoulos, F. Mok, and D. Psaltis, "Optical memory for computing and information processing," *Proc. SPIE - Int. Soc. Opt. Eng.*, vol. 3804, pp. 14–24, 1999.
- [11] J. Depreitere, H. Neefs, H. V. Marck, J. V. Campenhout, R. Baets, B. Dhoedt, H. Thienpont, and I. Veretennicoff, "An optoelectronic 3-D field programmable gate array," *FPL '94. Proc.*, pp. 352–360, 1994.
- [12] M. Watanabe, F. Kobayashi, "An optically differential reconfigurable gate array and its power consumption estimation," *IEEE International Conference on Field-Programmable Technology*, pp. 197–202, 2002.
- [13] M. Watanabe, F. Kobayashi, "An Optically Differential Reconfigurable Gate Array with dynamic reconfiguration circuit," *10th Reconfigurable Architectures Workshop*, p. 188, 2003.
- [14] M. Watanabe, F. Kobayashi, "Design of an Optically Differential Reconfigurable Gate Array VLSI chip with optically and electrically controlled logic blocks," *16th Annual IEEE International ASIC/SOC Conference*, pp. 287–288, 2003.
- [15] M. Watanabe, F. Kobayashi, "An Optically Differential Reconfigurable Gate Array with a partial reconfiguration optical system and its power consumption estimation," *17th International Conference on VLSI Design*, pp. 735–738, 2003.
- [16] M. Watanabe, F. Kobayashi, "Timing Analysis of an Optically Differential Reconfigurable Gate Array for Dynamically Reconfigurable Processors," *International Conference on ENGINEERING OF RECONFIGURABLE SYSTEMS AND ALGORITHMS*, p. 311, 2004.
- [17] M. Watanabe, F. Kobayashi, "An Optically Differential Reconfigurable Gate Array using a 0.18 μm CMOS process," *IEEE International SOC Conference*, pp. 281–284, 2004.