

クロストークノイズの低減を指向した配置手法

落合真和[†] 吉川雅弥[†] 藤野 毅[†] 寺井秀一[†]

[†]立命館大学大学院 理工学研究科 〒525-8577 滋賀県草津市野路東1丁目1-1

E-mail: re003004@se.ritsumeai.ac.jp

あらまし

本論文ではクロストーク低減手法として、配置処理の段階で、隣接配線の信号の遷移タイミングによってクロストークの影響が変化することに着目し、隣接配線が同時に逆方向に遷移するパターンを削減するクロストーク低減手法を提案する。すなわち、タイミング制約の厳しいクリティカルパスの隣接配線に対し、配線の伝播する信号遷移確率を考慮した配置処理を行う。基本アルゴリズムとして遺伝的アルゴリズム (Genetic Algorithm 以下 GA) を用いる。

キーワード クロストーク, クリティカルパス, GA

A novel Placement Procedure for crosstalk noise

Masakazu OCHIAI[†] Masaya YOSHIKAWA[†] Takeshi FUJINO[†] Hidekazu TERAI[†]

[†]Science & Engineering, Ritsumeikan University

1-1, Nojihigashi 1 chome, Kusatsu, Shiga 525-8577, Japan

E-mail: re003004@se.ritsumeai.ac.jp

Abstract

This paper presents a crosstalk reduction method. At the stage of the placement processing, we considered that the effect by the crosstalk changes depending on the transition timing of the adjacent signal, and reduce the adjacent wiring that changes in the same timing as the reverse. That is, to the adjacent wiring of the critical path to which the timing constraint is hard, this placement processing is done in consideration of the signal transition probability to which wiring spreads. The genetic algorithm (Genetic Algorithm GA) is used as a basic algorithm.

Keyword crosstalk, criticalpath, GA

1. はじめに

プロセスの微細化に伴い、タイミングクロージャおよびシグナルインテグリティの問題がより複雑化し、設計期間の増大を招いている。特にクロストークノイズの問題については、図1に示すように微細化技術が進むに伴い配線寸法が縮小されるため、配線間容量も配線間の距離の減少と共に大きくなり、配線の信号遅延と相互干渉が大きくなる事が指摘されている[1]。

クロストークノイズ問題に対する対策として、電界による影響をRC等価回路によってモデル化し、与えられた回路におけるクロストークの影響を低減させる配線手法[2]や、配線を一切変更することなく、詳細配線後の回路を最適化することでクロストークノイズの見積りに必要な配線の情報を正確に得る事ができる手法[3]や、詳細配線プログラムに対して緩い制約を与えてクロストーク遅延を削

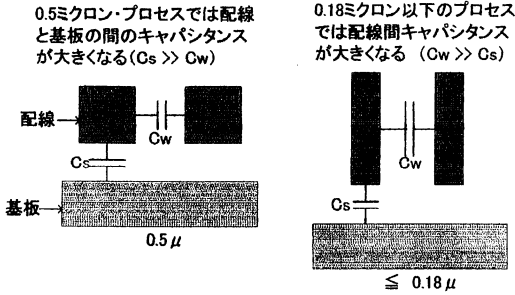


図1 プロセスにおける配線間キャパシタンス

減する手法[4]などがある。現状のクロストークノイズ問題に対するレイアウト面での対策としては、レイアウト処理後にクロストークノイズ解析を行い、検出したエラーネットへバッファ挿入、あるいはスペーシング配線によってエラー削減を行っているのがほとんどである。この方法ではクロストークエラーが多い場合、レイアウト修正量が多くなりレイアウト対策に時間がかかり、集積度が高いLSIでは自動で修正できない場合もある。クロストークエラーの抜本的対策としては、初期配置においてクロストークエラーが発生しないようにレイアウトすることが望まれる。

そこで本研究では、配置の初期の段階から総合的にクロストークノイズの削減を考慮した配置手法を提案する。提案手法の基本アルゴリズムは、遺伝的アルゴリズム (Genetic Algorithms: GA) であり、著者らは文献[5]において、GAをセル配置問題に適用し、動作原理としての有効性を確認している。セルとはAND/ORなどの基本ゲートやフリップフロップなど比較的小規模の論理エレメントであり、LSIレイアウト設計の単位要素である。また、GAは生物の進化の過程を工学的にモデル化したアルゴリズムであり、選択・交叉・突然変異という3つの遺伝オペレーションを適用することにより世代交代を繰り返し、集団を進化させ解を導く。GAをLSIレイアウト問題に適用した報告として、フロアプラン[6]、[7]やチャネル配線[8]~[12]に関する報告があるが、本論文で提案するクロストークノイズの低減を指向した配置手法は新しいアプローチである。

2. 準備

ここでは、組み合わせ論理回路の出力信号の状態確率を定義して、その後状態遷移確率をモデル化する。

2.1 組み合わせ論理回路の信号遷移モデル

論理回路の出力信号は、論理設計の結果に応じて変化す

るが、本研究では出力信号に対して以下のようなモデルを設定する。

- システムクロックに同期して変化する。
- その変化特性が統計的に確率的な遷移であるとし、次の状態(“0”または“1”)は、現在の状態(“0”または“1”)に依存する。
- 複数の信号がある場合、それらの変化は互いに独立である。

次に出力信号の状態遷移確率表現を示す。十分遷移が起こった後の定常状態で、出力 z が“0”、“1”である状態遷移確率をそれぞれと P_{z0} と P_{z1} とする。すると出力 z が“0”から“1”に変化する状態遷移確率は式(1)のように二つの状態確率の積となる。

$$P_{z0 \rightarrow 1} = P_{z0} \times P_{z1} \quad (1)$$

図2のような全ての状態に対して状態遷移確率を表すことが出来る。

2.2 隣接容量モデル

クロストークの原因となる隣接容量をモデル化し、信号遷移確率を考慮した隣接容量期待値の算出方法を提案する。

まず、隣接容量は二つの配線のスイッチング関係に大きく依存するため、図3のように3つのパターンにモデル化する。

Case1: 一つの配線のスイッチングが起こり、もう一方は静止の場合の隣接容量期待値を C_c とする。

Case2: 二つの配線が同時に逆方向にスイッチングする場合の隣接容量期待値を $2C_c$ とする。

Case3: 二つの配線が同時に同方向にスイッチングする場合の隣接容量期待値を 0 とする。

これは、同時に逆方向にスイッチングする配線パターンが最も隣接容量におけるクロストークの影響を受けやすいことを示している。つまり、クロストークを削減するには、同時遷移の有無を調べて、逆方向にスイッチングする確率の高い配線を隣接しないように配線することが有効である。

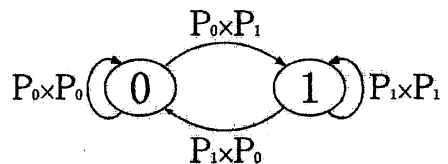


図2 出力Zの状態遷移図

3. 基本アルゴリズム

本研究で提案する配置手法は、概略配置と詳細配置の2ス

トップで構成した。まず概略配置では、図4(1)に示すように、配置領域を4つに分割し、各分割領域ごとにセルの割り振りを行い、これを繰り返すことによって配置を段階的に決定していく。すなわち、セルを4つのグループに分け、各グループをLSIチップの4つの領域にそれぞれ対応させる。各部分領域とそのセルグループに対して、上と同様の4分割処理を逐次繰り返し、部分領域とセルグループを細かくしていく。後段の詳細配置に比べて解空間が狭くなるために探索に要する時間は短くなる。概略配置がチップ領域の多分割を繰り返すことによって配置を求める手法であるのに対し、詳細配置では、図4(2)に示すように、LSI上に2次元グリッドを設定し、概略配置の最終段階で得られている各部分領域内でのセルの最適な配置位置を決定する。解空間が広いため探索には時間がかかるが、配置領域を直接扱うため探索が十分に行われた場合には、最適な解を取得できる可能性が高い。

また最適化問題にGAを適応するには、対象となる問題のモデル化が必要である。概略配置でのコーディングは、図5のように行った。図5は概略配置の途中のステップ、8個のセルをAからDの4つの領域に分割した例を示したものである。遺伝子座にセルIDを、遺伝子に配置領域名を対応させる。すなわち、セルID順に分割領域名を保存する形で個体（1つの個体は、1つの配置パターン）を表

Case	Switching	隣接容量期待値
1	Aggressor 	Aggressor Cc
	Victim 	Victim
2	Aggressor 	Aggressor 2Cc
	Victim 	Victim
3	Aggressor 	Aggressor 0
	Victim 	Victim

図3 スイッチング効果による隣接容量

現する。図5では、'2'と'8'のセルがArea-Aへ、'5'と'6'がArea-Bへ分割されている。一方、詳細配置でのコーディングは、図6のように行った。図6は、5個のセルの配置例を示したもので、遺伝子座にセルIDを、遺伝子に左端の配置グリッド名を対応させる。

4 評価演算

4.1 メッシュ分割による制約

隣接容量は配線形状と配線混雑度に大きく依存している。しかし、これらは配置の段階では正確に知ることはできな

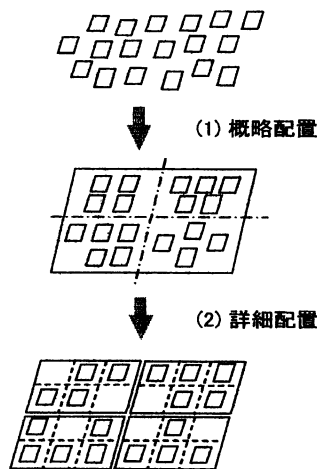


図4 階層化配置手法

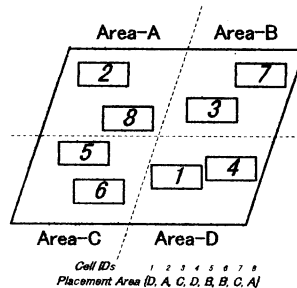


図5 概略配置のコーディング

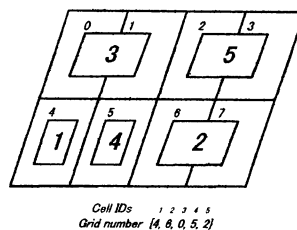


図6 詳細配置のコーディング

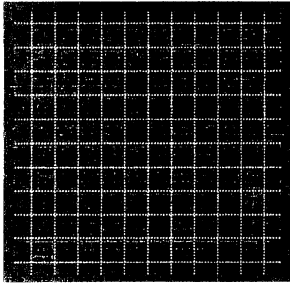


図7 メッシュ分割によるグリッド

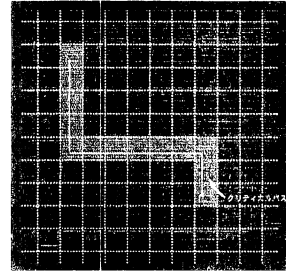


図8 クリティカルパスの形状

い。そこで、図7のように配置領域を均一なメッシュに分割し、仮想配線長を用いてメッシュのグリッド毎にクロストーク解析を行う。まず、第一段階として、グリッドを通過する配線数を用いて、グリッドを通過する配線数をグリッドの混雑度とする。そして混雑度の標準偏差をクロストーク係数とし、混雑度係数を平準化することで配線の混雑を緩和する。グリッドを垂直・水平方向の二つの成分に分けてグリッドを通過する配線の数を加算する。グリッド i のクロストーク係数は (2) のようになる。

$$\text{Congestion}(i) = \text{horizontal_net} + \text{vertical_net} \quad (2)$$

但し、horizontal_net は水平方向に通過するネット数、vertical_net は垂直方向に通過するネットの数である。ここでクロストーク係数の算出方法を示す。配線の混雑度を考えた場合、配置領域全体に配線が平準化されている方が混雑度をより緩和されているといえる。従って、グリッド全ての混雑度係数の標準偏差を配線混雑度のクロストーク係数とする。

$$\text{Crosstalk_congention} =$$

$$\sqrt{\frac{\sum_{i=1}^{\text{gridnum}} (\text{Congestion}(i) - \text{AVE})^2}{(\text{gridnum} - 1)}} \quad (3)$$

但し、gridnum はグリッドの数、AVE は全てのグリッドの Congestion(i) の平均値とする。クロストーク係数を小さくなるように制御すると、チップ全体に配線が分散するのでクロストークに影響を与える、混雑度を緩和できる。

4.2 信号遷移を考慮した隣接容量見積り制約

タイミング制約に影響を与えるクリティカルパスについてより厳密なクロストーク解析を施す。まず図8のようにクリティカルパスが通過するグリッドを求める。グリッ

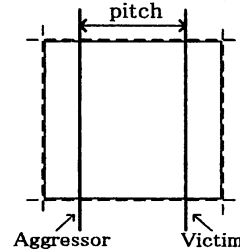


図9 グリッド内の配線間隔

ド内でクリティカルパスを Victim ネット、その他の配線を Aggressor ネットとして、二つの配線の信号遷移確率から隣接容量を見積もる。着目するグリッドに Victim ネットと Aggressor ネットが通過する場合、図9のように配線間隔 (pitch) を定義する。

5. 実験結果と考察

5.1 実験要項

信号遷移確率を考慮したクロストーク削減手法によって得られた配置結果の質を評価する。前評価として、5.2でグリッド分割による隣接配線混雑度の評価を行い、その後5.3でクリティカルパスの隣接容量期待値の評価を行う。そして、提案手法と仮想配線長のみでの評価の従来手法により配置処理を行った後、市販ツールにより配線処理を行い配線結果の質を比較し評価する。評価は、0.35 μm プロセスで設計された評価用回路を用いた。評価用回路の概要を表1に示す。評価プラットフォームは VineLinux2.5, Pentium4 2.4GHz を用いた。世代モデルは連続世代モデルとし、トーナメント戦略およびエリート保存戦略を採用した。GA の各パラメーターは、ジェネレーションギャップを 0.8, トーナメントサイズを 4, 個体数を 500, 突然変異率を 0.01, 世代数を 2000 とした。

表 1 評価用回路概要

	セル数	ネット数
回路 A	186	221
回路 B	1512	1518

5.2 実験 1

グリッド分割による配線混雑の有効性を確認する為に、配置領域を 400 個のグリッドに分割して、グリッドを通過する配線数の標準偏差をクロストーク係数として評価した。配置処理にグリッド分割による配線混雑緩和制約を施して配置処理を行う。結果を表 2 に示す。このクロストーク係数が少ないほど、グリッドを通過する配線が様に分布し、クロストークの原因になる隣接配線を低減できる。提案手法では、従来手法に対して回路 A では 10.7%、回路 B では 7.2%程度削減できており、提案手法の有効性を確認できた。さらに、提案手法による実行時間増加の割合を評価するため、配置処理にかかった CPU 時間を比較した結果を表 3 に示す。図 10, 11 に配置領域上での配線の分布を表す。クロストーク制約を与えたほうが、詳細配線の結果でも配線が配置領域全体に分布しているのがわかる。実行時間は、回路 A で 2.5 倍、回路 B で 2.3 倍であり、十分に許容できるものである。

5.2 実験 2

タイミング制約に影響を与えるクリティカルパスに対して、隣接容量の計算を行い、隣接容量をクロストーク係数として評価した。まず、配置領域を 400 個のグリッドに分割して、グリッドの配線混雑度を緩和すると同時に、クリティカルパスの通過するグリッドには、隣接容量の計算を行い、グリッド表の配線混雑度と隣接容量の 2 つを最適

表 2 グリッド分割によるクロストーク係数結果

	従来手法	提案手法	改善率
回路 A	2.95035	2.63899	10.7%
回路 B	10.4217	9.67305	7.2%

表 3 グリッド分割による隣接配線混雑度の評価実行時間

	従来手法	提案手法
回路 A	21[sec]	54[sec]
回路 B	1441[sec]	3273[sec]

(本)
16

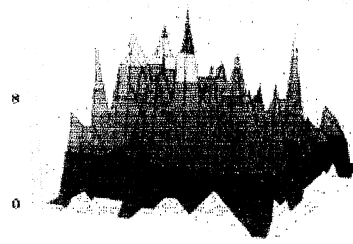


図 10 グリッド分割制約を与えていない回路 A のグリッド混雑度

(本)
16

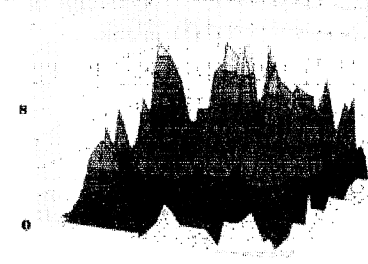


図 11 グリッド分割制約を与えた回路 A のグリッド混雑度

表 4 隣接容量計算によるクロストーク係数結果

	従来手法	提案手法	改善率
回路 A	32.0C _x [nF]	28.9C _x [nF]	9.7%
回路 B	130.4C _x [nF]	125.7C _x [nF]	3.6%

表 5 隣接容量計算による隣接容量の評価実行時間

	従来手法	提案手法
回路 A	21[sec]	65[sec]
回路 B	1441[sec]	4525[sec]

化する。このような多目的最適化問題に対して、個体選択手法は文献[13]で有効性が確認されている階層化ランキングアプローチを用いた。

結果を表 4 に示す。このクロストーク係数が小さいほど、クロストークの原因となる隣接容量を削減することができる。提案手法では、従来手法に対して回路 A では 6.8%、回路 B では 3.6%の削減ができており、提案手法の有効性が確認できた。なお配置処理にかかった CPU 時間を比較した結果を表 5 に示す。但し、C_xは単位配線長当りの容量値 (単位は[nF/μm]) とする。また、計算した隣接容量は、隣のトラック配線との平行配線長のみである。従来手

法と比べて提案手法はクロストーク係数を回路 A では 9.7%、回路 B では 3.6%の削減が見られる。これはクロストーク係数が配線長だけに依存しているのではなく、隣接配線のスイッチングパターンに依存していることが分かる。実行時間は回路 A、回路 B ともに 3.1 倍であり、十分に許容できるものである。

6 まとめ

本論文では、クロストークノイズの低減を指向した配置手法を提案し、グリッド分割による配線混雑度の緩和と信号遷移確率を考慮した隣接容量の期待値をクロストーク係数として配置処理の段階で制御することで、配線結果での隣接容量が従来手法と比べ削減することをいくつかの評価実験で確認した。

今後の課題としては、大規模データでの有効性の確認が挙げられる。

参考文献

- [1] K.L.Shepard, V.Narayanan, P.C.Elmendorf and G.Zheng, "Global Harmony: Coupled Noise Analysis for Full-Chip RC Interconnect NetWorks", Proc. Intl. Conf. Computer-Aided Design, pp.139-146, 1997
- [2] 曾根原 理仁, 戸川 望, 柳澤 政生, 大附 辰夫: "RC 等価回路に基づくクロストーク低減配線手法", 情報処理学会論文誌 No.012, pp17-24, 2001.
- [3] 橋本 昌宜, 高橋 正郎, 小野寺 秀俊: "ポストレイアウトトランジスタ寸法最適化によるクロストークノイズ削減手法", 情報処理学会論文誌 No.117, pp39-44, 2002.
- [4] 依田 友幸, 中野 幹雄, 南 文裕, 山田 正昭: "クロストーク遅延予防のための詳細配線制約生成手法", 情報処理学会論文誌 No.120 pp.211-216, 2003
- [5] 吉川雅弥, 寺井秀一, 「遺伝的アルゴリズムをベースとする LSI セルの並列配置手法」, 電気学会論文誌 C, Vol.120-C, No.11, pp.1528-1538, 2000.
- [6] S. Nakaya, T. Koide, and S. Wakabayashi: "An adaptive genetic algorithm for VLSI floorplanning based on sequencepair", Proc. IEEE Int. Symposium on Circuits and Systems, Vol.3, pp.65-68 (2000)
- [7] K Hatta, S. Wakabayashi, and T. Koide: "Solving the rectangular packing problem by an adaptive GA based on sequencepair", Proc. of Asia and South Pacific Design Automation Conference, 6D.10, pp.181-184 (1999)
- [8] J. Lineig and K. Thlasiraman: "A GeneticAlgorithm for Channel Routing in VLSI Circuits", Evolutionary Comput., Vol.1, No.4, pp.293-311 (1994)
- [9] J. Lineig and K. Thlasiraman: "GASBOR: A Genetic Algorithms for Switchbox Routing in Integrated Circuits", J. Circ., Syst. Comput., Vol.6, No.4, pp.359-373 (1996)
- [10] J. Lienig: "A parallel genetic algorithm for performance driven VLSI routing", IEEE Trans., Evolutionary Comput., Vol.1, No.1, pp.29-39 (1997)
- [11] B.B. Parahlada, Rao, L.M. Patnaik, and R.C. Hansdah: "An Extended Evolutionary Programming Algorithms for VLSI Channel Routing", Evolutionary Programing IV, Proc. 4th Annu. Conf. Evolutionary Programing, J.R. McDonnel, R.G. Reynolds and D.B. Fogel, Eds. Cambridge, MA, MIT Press (1995)
- [12] B.B. Parahlada Rao and R.C. Hansdah: "Extend Distributed genetic Algorithms for channel routing", Proc. IEEE Symp. Parallel and Distributed Proc., pp.726-733 (1993)
- [13] 吉川雅弥, 河村渡, 寺井秀一, 「配線混雑度・消費電力分散化を考慮した VLSI 配置手法」, DA シンポジウム 2002 論文集, pp95-100