

ソフトコアを用いた組込システム開発環境

戸田 賢二[†] 中島 俊夫[†] 佐谷野 健二[‡]

[†]産総研 情報処理研究部門 〒305-8568 茨城県つくば市梅園 1-1-1 中央第二

[‡]産総研, レクセオン・テクノロジー

E-mail: k-toda@aist.go.jp, skywalker-nakajima@aist.go.jp, sayano@rexeon.com

あらまし M32R プロセッサソフトコアをロケット I O を備えた FPGA ボード REX2 で動作させた。更に、ロケット I O を活用し、仮想フレームバッファや PPP over rocketIO の開発を行った。また、DDR メモリ対応の 2 次キャッシュの開発も行った。これらの開発環境は、ソースコードとして参照可能であり、様々な組込システム開発に柔軟に対応でき、開発期間も短縮することができる。

キーワード 組込システム, 開発環境, M32R, ソフトコア, FPGA, 移植, ロケット I O

Embedded System Developing Environment using Soft-core

Kenji TODA,[†] Toshio NAKAJIMA[†] and Kenji SAYANO[‡]

[†] Information Technology Research Institute,

National Institute of Advanced Industrial Science and Technology (AIST)

Tsukuba Central 2, Umezono 1-1-1, Tsukuba, Ibaraki 305-8568, JAPAN

[‡] AIST, Rexeon Technology

E-mail: k-toda@aist.go.jp, skywalker-nakajima@aist.go.jp, sayano@rexeon.com

Abstract M32R processor soft-core works on REX2, the FPGA platform having rocket IO, high-speed communication ports. By utilizing rocketIO, virtual frame buffer and PPP over rocketIO are developed. The second cache is also developed for DDR memory. Hence source codes of these developing environments are available, various embedded systems can be developed for short period.

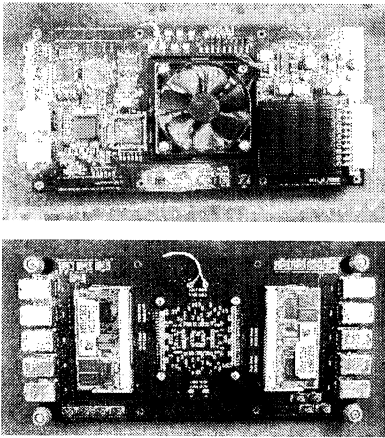
Keyword Embedded System, Developing Environment, M32R, soft-core, processor, FPGA, porting, Rocket IO

1. はじめに

我々は、ユビキタスコンピューティングの実現のため、通信機能やセキュリティなどの基本能力を備えつつ、応用に固有な機能や独自の入出力なども付加できる柔軟な組込システムの開発環境の構築を目指している。本開発環境の特徴は、ハードウェアから実時間 OS までソースコードが参照できることであり、これにより、様々な組込応用に対する柔軟性と開発期間の短縮を実現している。本稿では、本開発システムのハードウェアとソフトウェアの概要について紹介する。

ハードウェアは、ロケット I O と呼ばれる高速なシリアル通信ポートを 10 個有する大容量の FPGA (Field Programmable Gate Array) ボード REX2 を開発し、その上で、組込用プロセッサのソフトコア (M32R)

を動作させ、そこに GNU/Linux 及び実時間の ART-Linux を移植した。さらに、ロケット I O を用いた PPP である PPPoR (PPP over RocketIO) を実現し、NFS によるファイルシステムの共有やグラフィック用メモリをパソコンで実現する仮想フレームバッファの開発を行った。また、REX2 の DDR メモリに対応した 2 次キャッシュの構築も行った。本開発環境は、ハードウェアから OS までのソースコードが参照可能で、あらゆるレベルでの変更や機能付加が容易であり、その動作や性能が OS や応用レベルで確認できるため、プロセッサアーキテクチャ研究、組込機器開発、OS やソフト開発、LSI 開発などに有用である。本稿では、開発システム全般 (ART-Linux の移植は別稿に譲る) について報告する。



<p><u>REX2</u></p> <p>FPGA: Xilinx XC2VP70~125</p> <p>Logic Cell: 74,448~125,136</p> <p>Block memory: 5,904~10,008 Kbits</p> <p>Network Port: Rocket I/O, 10 ports</p> <p>Network Performance</p> <p>(1 port): 2~3.125 Gbps, bi-directional</p> <p>(Total): 20~31.25 Gbps, bi-directional</p> <p>Memory (DRAM): DDR SODIMM, 2 modules, up to 2 GB</p> <p>Memory (SRAM): DDR2, 18/36 MB</p> <p>Bus: IEEE1394, 400Mbps</p>
--

図 1. REX2 ボード

2. REX2 及び各種アダプタボード

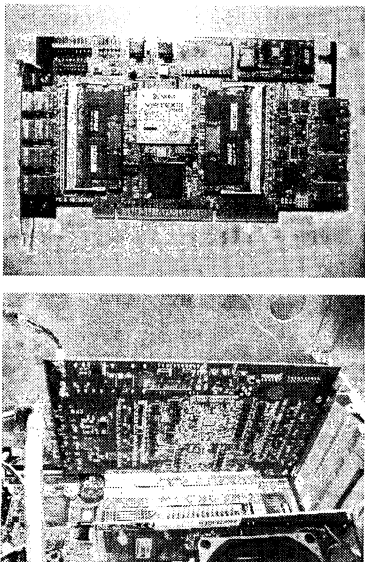
● REX2

REX2 (Reconfigurable EXperimental equipment 2)は、REX[1]の経験をもとにロケット IO と呼ばれる高速シリアルポートを装備した大容量 FPGA ボードである。図 1 に写真と仕様である。ロケット IO を 10 ポート備え、クロックにより 20~31.5Gbps (双方向で×2) の通信バンド幅を有する。メモリも、SRAM は 36MB, DRAM は DDR を 2GB まで搭載可能である。FPGA の容量も 100 万ゲート相当 (論理セルのみ) である。FPGA のプログラミングは、IEEE1394 を用いる他、ロケット IO

を用いても可能である。

● REXNET/PCI-X アダプタ

REXNET は、パソコンの PCI-X スロットに挿し、ロケット IO を 8 ポート備え、16~25Gbps (双方向で×2) のバンド幅を提供し、パソコンとは 64bits 133MHz の 8.5Gbps のバンド幅を持つ。図 2 に写真と仕様を示す。FPGA の容量は、最大 50 万ゲート規模であり、メモリは、REX2 と同様に、DDR を 2GB まで搭載可能である。本ボードは、REX2 のロケット IO と接続しパソコンとの橋渡しを行う他、パソコン同志をロケット IO で接続することにより、クラスタを構成することも可能である。FPGA を小型化しメモリも省いた廉価版の PCI-X アダプタも開発済である。



<p><u>REXNET</u></p> <p>FPGA: Xilinx XC2VP20~50</p> <p>Logic Cell: 20,880~53,136 cells</p> <p>Block Memory: 1,584~4,176 Kbits</p> <p>Network Port: Rocket I/O, 8 ports</p> <p>Network Performance</p> <p>(1 port): 2~3.125 Gbps, bi-directional</p> <p>(Total): 16~25 Gbps, bi-directional</p> <p>Memory (DRAM): DDR SODIMM, 2 modules, up to 2 GB</p> <p>Bus: PCI-X 64 bits, 133MHz, 8.533 Gbps</p>
--

図 2. REXNET

- ネットワークアダプタ

REX2 にイーサネットポートを付加するもので、小型FPGAを搭載し、ロケットIO 2ポートと1000BASE-T(1ギガビット)2ポートを有する。なお、10ギガビットイーサ用アダプタも開発中である。

- DVIアダプタ

小型FPGAを搭載し、REX2との間を8Gbpsのローカルバスで接続し、DVI入力ポートと出力ポートを備えた画像入出力用アダプタである。UXGA 60fpsの処理能力を持つ。

- デジタルIO(オーディオ/カメラ)アダプタ

小型FPGAを搭載し、REX2と接続する4GbpsのローカルバスとHSTL(High Speed Transceiver Logic)の汎用のIOポートを持つ。このポートに接続できるデジタル光オーディオ出力基板が開発済である。

意されている。

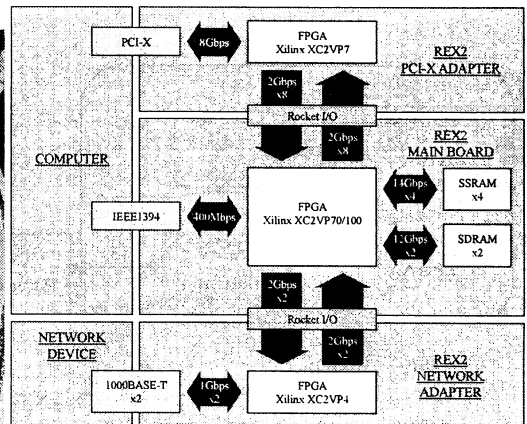
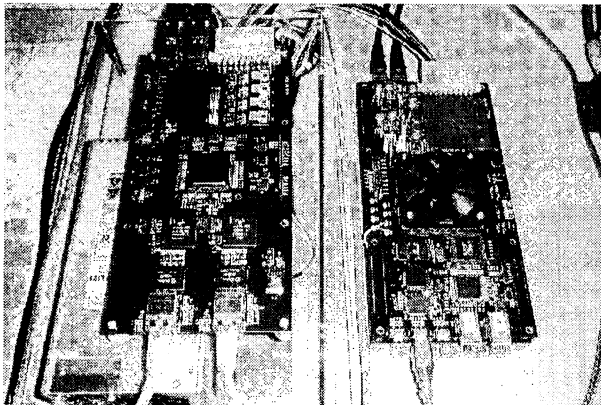
M32RのREXへの移植については既に報告している[3]。従って、本稿では、REXからREX2への移植における差分を中心に述べる。

2.2 DDRメモリへの対応

M32R移植におけるREXとREX2での最も大きな違いはメモリシステムである。REXはSDRメモリであるためM32Rのメモリコントローラをそのまま用いることができるが、REX2ではDDRメモリ(Double Data Rate Synchronous Dynamic Random Access Memory)であるため、M32RのIOバスに新たに開発したDDRメモリコントローラを実装した。これにより、REX2でもM32RでLinuxが動作するようになった。REXでは、動作周波数は20MHzで約16BogoMipsであったが、REX2では50MHzで40BogoMipsと2.5倍の性能向上となった。これは主にFPGAの動作速度の違いによるものである。

2.3 2次キャッシュメモリ

M32RのDDRメモリコントローラは、比較的低速な



(C)レクセオンテクノロジー

図3. 1ギガビットイーサ ネットワークアダプタを用いたパケット処理システムの構成例

2.1 ソフトコア M32R の REX2 への移植

M32Rは、(株)ルネサステクノロジーの開発した組込機器用32ビットプロセッサであり、携帯電話、デジカメ、自動車などに用いられている。メモリはSDRAM

(Synchronous Dynamic Random Access Memory) 対応で、MMU (Memory Management Unit) 内蔵、FPU (Floating Point Unit)非搭載である。OSは、GNU/Linux、μI-TRON (T-engineプラットフォーム有)などが動作する。M32Rは、「設計データ使用許諾契約」[2]を締結することにより、研究・教育目的では無償でソースコードを手取できる。また、Debian GNU/Linuxの動作環境やクロスコンパイラやデバッガなどの開発環境も用

IOバスに実装されているため2次キャッシュが有効である。図4に2次キャッシュ回りのデータバスを示す。現時点では、以下の仕様で、2次キャッシュの動作により大きいファイルのデコンプレスで25%の速度改善が得られた。IOバスのバースト転送モードに対応し、キャッシュのラインサイズやキャッシュサイズを増加させることで2倍程度の速度向上が期待できる。

1次キャッシュメモリ (M32Rコア内蔵) の概要

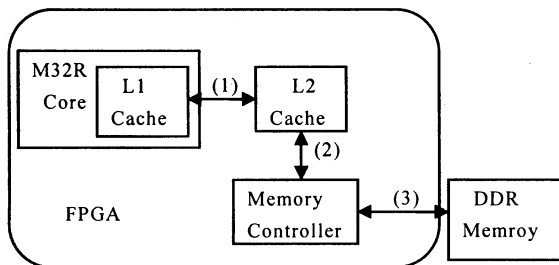
- 容量 命令8kバイト、データ8kバイト
- 動作モード 命令キャッシュ、データキャッシュ独立にON/OFF可能

- マッピング方式 命令、データとも2ウェイセットアソシアティブ

- リプレース方式 LRUアルゴリズム
- 主記憶更新方式 ライトスルー
- コヒーレンシ保証 なし、
- ラインサイズ 128ビット
- キャッシング領域 物理アドレス領域H' 0000 0000 ~ H' 1FFF FFFF
- タグアドレス A3-A19(17ビット)
- ラインアドレス A20-A27 (8ビット)
- データ部 16バイトx256エントリx2ウェイ=8kバイト

2次キャッシュメモリ (M32RのIOバス接続)の概要

- 容量 32Kバイト
- マッピング方式 ダイレクトマップ
- 主記憶更新方式 ライトバック
- ラインサイズ 128ビット



- (1) 32bits 50MHz
(バーストリード 32bits×4有、現状未使用)
- (2) 128bits 50/100MHz (DDR アクセス単位の128bits (64bits*2バースト)に合わせた)
- (3) 64bits 200MHz(100MHz*2)
(8B*200MHz=PC1600を使用)

図4. 2次キャッシュ回りのデータパス

2.4 ロケットIOを活用した仮想デバイスの実現

以下はREXにおけるソフトコアのロードからLinux動作までの手順である。

1. FPGAへM32Rソフトコアロード(1394使用)
2. RAMへブートローダとLinuxカーネルイメージ(RAMディスクイメージ)のロード(1394使用)
3. (1394からM32Rをたたき)M32Rがブートローダを読み出し、ブートローダがRAMディスクからカーネルを読み出しLinuxを起動させる。

4. M32R側からのシリアルポートとパラレルポートの入出力はIEEE1394に割付

仮想デバイスは、M32R側からは特定の番地へアクセスするとそれをロケットIOを経由してパソコンが受付て所望の動作を行うものである。実現方法は、M32RのアクセスをFPGAのFIFOでためておき、パソコン側からはポーリングでそれを取り出すという手法を採った。この方法の利点は、少ないコード量で、汎用的な機能が実現できることである。

2.5 仮想フレームバッファの実現

上記方法でフレームバッファの実現も行った。現在の仮想フレームバッファは、VGA(640×480×24bits)のビデオRAMに見立てたアドレスにM32Rがデータを送るとアドレスとデータのペアをFIFO(アドレスデータそれぞれ32bits データを2KB保持)に蓄え、パソコンからそれをポーリングし、ディスプレイ上に表示する。図6がデモ風景である。本方式は、ドット単位の表示であるため速度は速くないが現状の律速は、M32Rの描画速度である。パソコン側の高速化のためには、Linuxのルーチンのオーバヘッドの削減のためにデータを複数バーストで読みとる方法が有効である。M32R側の速度向上のためには、データ転送をフレーム単位とし、描画ハードが実際のデータ転送を行う手法が有効であろう。

2.6 仮想デバイスの利点

シリアルポート、パラレルポート、フレームバッファを仮想化した仮想デバイスの利点には以下の点が挙げられる。

- 実際に備えていないIOを使うことができる。デバッグにだけ用いるようなIOも実現し易い。
- 実際のデバイスよりも単純化することにより短時間で動作環境を作ることができ、必要に応じ、後に詳細な仕様が決まったらそれと置き換えることができる。
- パソコンでIOをエミュレーションしているので、条件を付けたトリガなどが容易に設定できデバッグや開発段階で有用である。

今後開発予定の仮想デバイスとしては、仮想USBポートを予定している。これによりUSB経由のフラッシュROMブートを実現して、RAMディスクなどより高速なブートが行えるようになる。組込機器のブート手段としても有用であり、組込システム開発のインフラとして役立つことが期待できる。

2.7 ロケット IO を用いた PPP (PPPoR) の実現

PPP は Linux における基本通信インフラであり, PPP (Point-to-Point Protocol)の標準入力と出力をそれぞれロケット IO で実現することにより, ロケット IO で TCP/IP の通信が全て行えるようになった. PPPoR (PPP over RocketIO) のプログラムは, C 言語で 300 行程度でありその半分がロケット IO 関連である. この他 PCI-X のドライバ (C で 500 行程度) と回路の開発を行った. REXNET の PCI-X の最大バンド幅は 8.5Gbps であり, ロケット IO 4 本の理論スループットは 6.4Gbps (プロトコルオーバーヘッドがあり 2Gbps×4 本の 8 割程度) である. REXNET を挿したパソコン同志を 4 本のロケット IO で接続しメモリ間のコピーを行った場合のバンド幅の実測データは 2.7Gbps であった. このスピード低下の原因は Linux のシステムコールのオーバーヘッドである. PPPoR ではさらにこれに若干のオーバーヘッド加わる. 現在 4KB/トランザクションであるが, このサイズを大きくすればバンド幅の増加が期待できる. 図 7 のディスプレイが表示している動画は PPPoR で相手のパソコンからデータを転送しているものである. M32R 上の Linux にも PPPoR を実装しており, これによる NFS(Network File System)が動作している. 図 5 はこのデモ風景であり REX2 と REXNET を装着したパソコンが 4 本のロケット IO で接続されている.

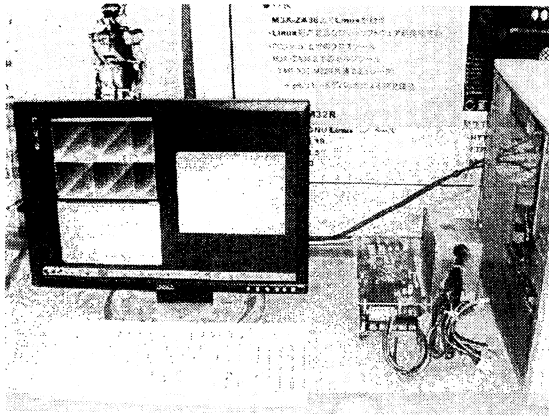


図 5 . M32R Linux ブート風景(PPPoR による NFS)

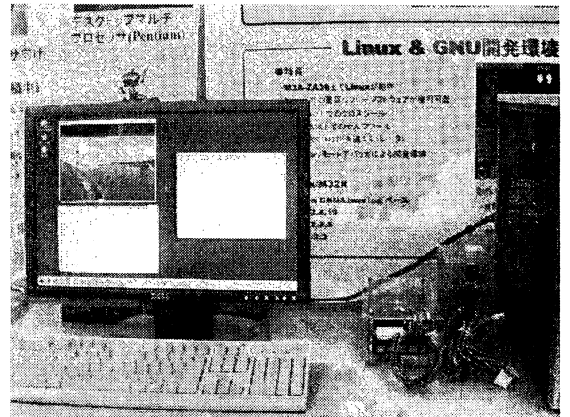


図 6 . M32R Linux フレームバッファのデモ

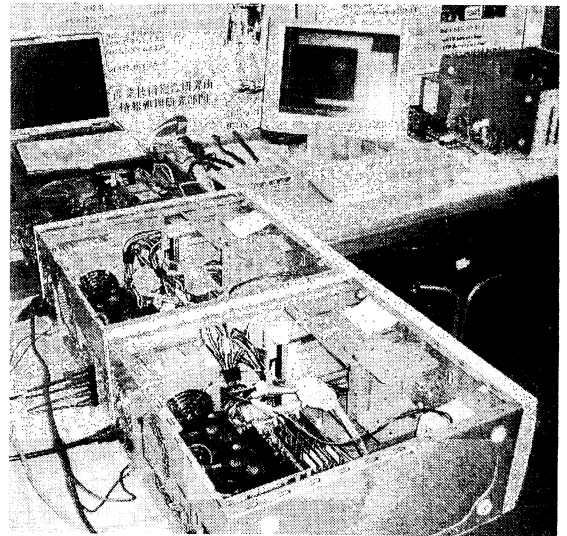


図 7 . パソコンによる PPPoR のデモ

3. 今後の展開

本稿で述べた開発環境の内, REX2 等のハードウェアは, 産総研ベンチャーのレクセオンテクノロジー(株)から発売している. 回路やソフトウェアについては, 準備ができたものからソース公開を行う方針である. 今後も組込システム用の優れた開発環境の構築を目指し, 開発活動を行っていきと共に, 開発の成果をフィードバックしていただける環境作りにも取り組みたい. また, 本開発環境を活用して, 実時間 Linux の加速ハードの開発[4]を初め, ネットワークフィルタリング[5]やコンテンツ保護[6]など, 幅広い応用分野の組込システム開発も行っていきたい.

謝 辞

本研究を遂行するにあたって、M32R ソフトコア及び技術情報を提供して下さった (株) ルネサステクノロジの皆様に感謝いたします。

文 献

- [1] Kodama, et. Al., "REX: A Reconfigurable Experimental System for Evaluating Parallel Computer Systems", IEICE Transaction Inf.&Syt., Vol.E86-D, No.10 Oct. 2003.
- [2] (株) ルネサステクノロジ, 「M32R ソフトコア」提供プログラム
<http://www2.vdec.u-tokyo.ac.jp/CHIP/M32R/M32R.html>
- [3] 戸田, 佐谷野, 「M32R プロセッサソフトマクロのFPGA を用いたマルチプロセッサ実検用プラットフォーム REX への移植」, 信学技法 CPSY2003-51, pp.39-43, 3月 2004 年.
- [4] 堀, 中島, 片下, 関山, 戸田, 「専用ハードウェアによる ART-Linux の高性能化に向けて」, 電子情報通信学会, ETNET2005 (CPSY/SLDM) 予稿集, 3月 2005 年.
- [5] 片下, 坂巻, 乾, 名古屋, 戸田, 「ネットワークフィルタリング装置の試作」, ETNET2005 (CPSY/SLDM) 予稿集, 3月 2005 年.
- [6] 横山, 戸田, 「FPGA を用いたコンテンツ保護システムの開発」, ETNET2005 (CPSY/SLDM) 予稿集, 3月 2005 年.