

FBC を用いた 333MHz ランダムサイクル DRAM

初田幸輔 藤田勝之 大澤 隆

(株)東芝 セミコンダクター社 〒247-8585 神奈川県横浜市栄区笠間 2-5-1

E-mail: kosuke.hatsuda@toshiba.co.jp

あらまし FBC(Floating Body Cell)を用いた DRAM は高速読み出し動作において 1T1C-DRAM に比べていくつかの有利な点を持っているということに注目し、高速なランダムサイクル時間(t_{RC})実現を検討した。ここでは 2セル/ビットでの動作を前提として、センスアンプを対称化しカレントミラー比を変えた時の信号増幅時間を見ることによってより高速でバラツキに強い回路の設計条件を見つけ出した。その最適化されたセンスアンプを採用することで、ワースト条件下のシミュレーションにより $t_{RC}=3ns$ が実現できることを確認し、FBC-DRAM が 333MHz 読み出し動作可能なメモリであることを示唆した。FBC はスケラブルでありセルサイズが小さいということを見ると、従来の eDRAM/eSRAM の置き換えとして十分期待できるセルであり、オンチップキャッシュやゲーム用メモリなどの高速で高密度なメモリとして幅広い用途が考えられる。

キーワード SOI, キャパシタレス DRAM, FBC, ゲインセル, エンベデッドメモリ

A 333MHz Random Cycle DRAM Using the Floating Body Cell

Kosuke HATSUDA, Katsuyuki FUJITA and Takashi OHSAWA

SoC Research and Development Center, Toshiba Corp. Semiconductor Company

2-5-1 Kasama, Sakae-ku, Yokohama, Kanagawa, 247-8585 Japan

E-mail: kosuke.hatsuda@toshiba.co.jp

Abstract A Monte Carlo simulation shows that a DRAM using the floating body cell (FBC) realizes a 333MHz high-speed random cycle with an introduction of a symmetrical sense amplifier circuit and an optimization of its current mirror ratio. Since the FBC DRAM having a superior affinity with logic LSI process is also shown to have its macro size smaller than the conventional 1T-1C DRAM, the FBC is a promising candidate for next generation embedded DRAM cells.

Keyword SOI, Capacitor-less DRAM, FBC, Gain Cell, Embedded Memory

1. はじめに

SRAM は高速プロセッサの L2, L3 キャッシュとして広く用いられている。しかし、世代とともにプロセッサ性能は急速に向上しており、それに伴いキャッシュ容量の増大が必要とされている今日、セルサイズの大きい SRAM はチップ増大を招くため非常に不利である。

そのため、SRAM の代わりにセルサイズの小さい DRAM を使用することができればよい [1] が、現状の DRAM では SRAM ほどの高速化は難しい。その一つの理由として、DRAM は破壊読み出しセルを用いるため毎サイクルのフルリストアが必要であることが挙げられる。そのリストア時間は、世代にかかわらず十分確保しなければならない記憶容量 (C_s) と、記憶ノードの寄生抵抗やスタック DRAM での記憶ノードコンタクト抵抗、トレンチ DRAM でのベリドストラップ抵抗などの和 (R_p) の積に比例するため、高速化を実現させるときの大きな弊害になっており、また、微細化によって短縮させるのは困難である。

構成が 1T のみでありフローティングボディの電荷量で 0/1 データを判断する FBC は、基本的に非破壊読み出しセルである [2-6]。そのため、FBC を用いた DRAM では従来の DRAM にあるような問題を解決し、また DRAM 以上の高速化の可能性を十分に持っている。

本論文では、セルアレイ構成とセンスアンプを最適化することにより、ランダムサイクル時間 (t_{RC}) = 3ns (333MHz) が実現することをモンテカルロシミュレーションを用いることで示す。また、従来のメモリと比較することにより、FBC がサイズ、高速化、プロセスなど総合的な性能において優れていることを示す。

2. 従来 1T1C DRAM の読み出しサイクル

従来 1T1C DRAM の読み出し動作を図 1 に示す。WL を上げると、セル記憶容量と BL 寄生容量の電荷共有で BL-/BL 間に電位差が生じ (t_{CH_SHARE})、その電位差をラッチセルの記憶ノード (SN) へのリストアを行う

(t_{RESTORE})。BL のプリチャージ(t_{BLoff})は、WL を下げた (t_{WLoff})後に行う。1T1C DRAM の読み出しサイクル t_{RC} は、 $t_{\text{CH_SHARE}} + t_{\text{RESTORE}} + t_{\text{WLoff}} + t_{\text{BLoff}}$ と表せる。

Conventional-DRAM

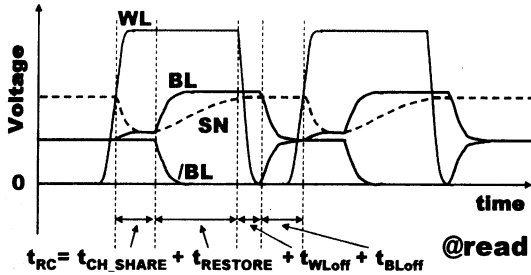


図 1. 従来 1T1C DRAM の読み出し動作

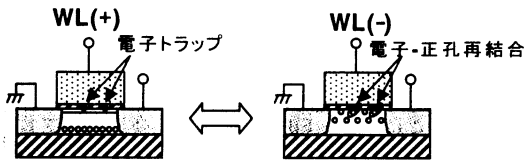
従来の DRAM セルは破壊読み出しセルであるため、毎サイクルリストアが必要であり、90%のリストアを行うのに $t_{\text{RESTORE}} \sim 2R_p C_s$ だけかかる。 t_{RESTORE} は $R_p \sim 30k\Omega$ 、 $C_s \sim 30fF$ の時には約 2ns となり、これは高速なランダムサイクル実現には大きな障害となる。また、BL のプリチャージを WL を下げる前の行ってしまうと、 t_{RESTORE} の期間にリストアしたデータが失われる。そのため、WL をスイッチングトランジスタが完全に off になるまで下げた後でないと、BL をプリチャージできない。これも高速化実現には不利な点である。

3. FBC DRAM の読み出しサイクル

FBC は基本的には非破壊読み出しセルであるが、完全ではない。それは、WL の上げ下げを行うと数個

シリコン表面が反転状態において、数個の電子が Si-SiO₂ の界面準位にトラップされる

シリコン表面が蓄積状態において、近づいてきた正孔がこれらのトラップ電子と再結合し正孔が数個消滅する



"1"セルのボディから1回のWL サイクルで1-2個の正孔が消滅
 $\Delta n_{\text{hole}} = -1 \sim -2 / \text{cycle}$

図 2. チャージポンピング現象

のホールが消滅してしまうチャージポンピング現象 (図 2) による [7]。それゆえ、WL を上げる度にチャージポンピング現象によって失われた数個のホールを "1" セルに注入する必要がある [8]。

FBC-DRAM

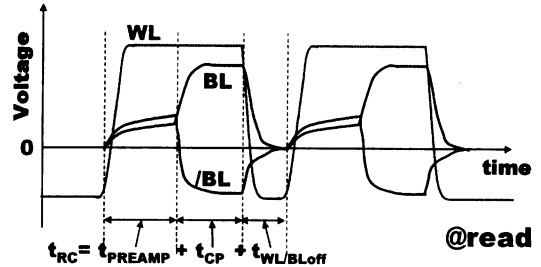


図 3. FBC DRAM の読み出し動作

FBC DRAM の読み出し動作を図 3 に示す。WL を上げると同時に BL に電流負荷を与えることによって、BL-/BL 間に信号差が生じる (t_{PREAMP})。チャージポンピング現象の対策のため短期間のリストアを行い (t_{CP})、プリチャージする ($t_{\text{WL/BLoff}}$)。FBC の読み出しサイクル t_{RC} は、 $t_{\text{PREAMP}} + t_{\text{CP}} + t_{\text{WL/BLoff}}$ と表せる。

FBC では 1T1C DRAM と違い、WL と BL を同時にプリチャージしてもデータ破壊は生じない。また、1T1C DRAM での t_{RESTORE} に当たる t_{CP} は短期間でいいので、さらなる高速化が望める。

ただし、 t_{PREAMP} は一般的に $t_{\text{CH_SHARE}}$ より長いと考えられ、そのため、FBC DRAM の t_{RC} 高速化実現には t_{PREAMP} を短くすることが必須である。次章からは、2セル/ビットを前提として t_{PREAMP} を短くすることが可能なセンスアンプについて議論していく。

4. 信号の初期増幅

4.1. 対称センスアンプの提案

図 4 にこれまで我々が用いてきた、特に 1セル/ビットで用いるセンスアンプを示す。

中央部 (Pre-amp) にカレントミラーがあり、ここで右側の BL を左側の BL の電流差を検出する。その左側に示しているものがラッチ回路 (Latch) であり、DQ 線にデータ出力する役割とチャージポンピング現象対策の役割を担う。BL とセンスノード (SNL, SNR) を分離する nFET (M3) は読み出し時に使用、CMOS トランスファークロークは書き込み時と t_{CP} 時に使用する。

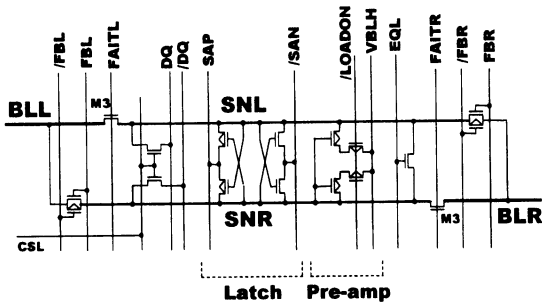


図 4. FBC DRAM の 1セル/ビット用センスアンプ

1セル/ビットでの t_{PREAMP} は約 10ns である[8]。より高速読み出しサイクルを実現させるのに 10ns では非常に遅いため、本論文では逆データをリファレンスとする2セル/ビットを用いることにする。

図4の1セル/ビット用センスアンプを2セル/ビットモードで用いたときのシミュレーション結果を図5に示す。

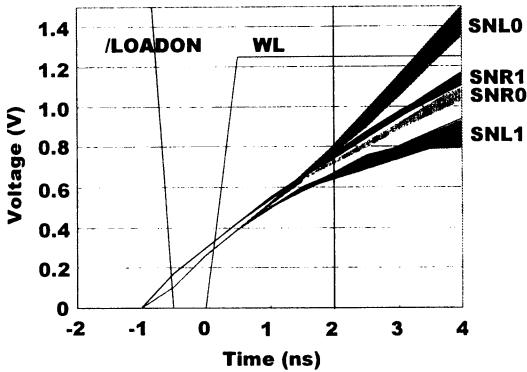


図 5. 1セル/ビット用センスアンプを用いたときのシミュレーション波形@2セル/ビット (モンテカルロシミュレーション)

これらは 1000 回ランダムサンプリングのモンテカルロシミュレーションに基づいており、セルの条件として信号差 $\Delta V_{th}=0.4V$ 、"0"セルパラツキ $\sigma_{v_{th0}}=38mV$ 、"1"セルパラツキ $\sigma_{v_{th1}}=32mV$ 、また、カレントミラー pFET と M3 のペアパラツキ $\sigma_{\Delta V_{th}}=4mV$ としている。これらの値は実測に基づく。セルアレイ部に関しては、セルサイズ $W/L=0.18\mu m/0.15\mu m$ 、セル数 64セル/BL、128セル/WL と仮定。シミュレーションは読み出し時のみなので、 $SAP=VDD$ 、 $/SAN=VSS$ に設定してラッチ回路は動作させず、M3 は on、CMOS トランスファー

ゲートは off 状態にしている。BLL は SNL、BLR は SNR に接続されており、SNL0 と SNR0 はそれぞれ BLL 側と BLR 側に"0"セル、SNL1 と SNR1 はそれぞれ BLL 側と BLR 側に"1"セルがあるのに相当する。

図5を見ると-0.5ns付近ではSNRの電位の方がSNLの電位より高くなっている。このことは、SNR0/SNL1 センス時には協力的だが、SNL0/SNR1 センス時には逆に不利である。初期増幅では、"0"セル側に接続されているセンスノードの電位が高くなるのが正しいセンスであるためである。その-0.5ns 付近の電位差の原因はセンスアンプの非対称性にある。負荷がセンスアンプに与えられたときセンスノード電位が上昇し始めるが、ドレインゲート間の容量カップリングにより、2つの pFET が接続されている SNR 電位の方が接続されていない SNL 電位よりも高くなる。したがって、この非対称性は高速センスを実現するためには非常に不利である。

そのため、本論文では図6のように2組のカレントミラーを対称的に配置することで、センスアンプを対称化させた。

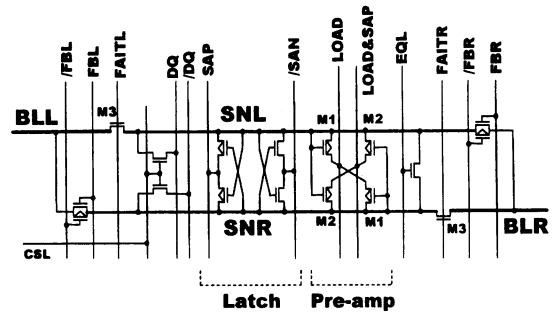


図 6. 2組のカレントミラーを用いて対称化したセンスアンプ

対称化することにより2セル/ビットでは全読み出し系が対称となるため、上記のような問題は解消されることが期待できる。この対称センスアンプを用いて行ったシミュレーション結果を図7に示す。読み出し系が対称であるため、左側に"0"セルがあり右側に"1"セルがある状況(逆でもよい)だけ考えればよく、データ極性依存がなくなる。-0.5ns 付近に生じていたセンスノードの電位差はなく、また、同じ時刻でみたセンスマージンも増加している。図8は2ns時のセンスマージン分布を示したもので、センスマージンが大幅に増加している様子がよくわかる。

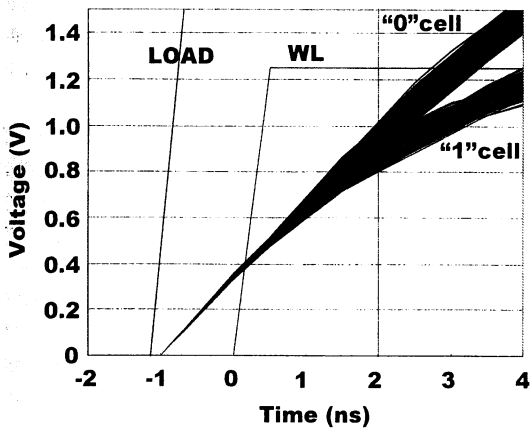


図 7. 対称センスアンプを使用したときのシミュレーション波形

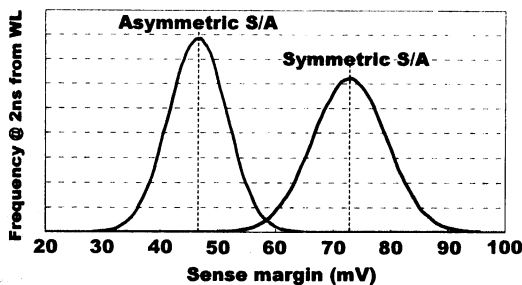


図 8. 対称センスアンプを用いたときのセンスマージン分布 @2ns

これは、容量カップリングによる電位差がなくなったことだけでなく、非対称センスアンプではリファレンスとしてしか利用していなかった SNR 側も対称センスアンプでは増幅の役割を担うことができるためでもある。これらからセンスアンプを対称化することによって大幅な高速化が可能であることがわかる。

4. 2 カレントミラー比の最適化

前章ではカレントミラーを対称化することで高速化を図ったが、その対称センスアンプを採用することで、さらなる高速センスが望める。それは、2組のカレントミラーを導入したことでフィードバックループが生じ、そのループゲインを操作できるようになったためである。以降、そのループゲインをカレントミラー比(CMR)と定義して、CMRを1より大きくすることによるさらなるセンスマージン増大と高速センスにつ

いて議論する。

モンテカルロシミュレーションを用いて t_{PREAMP} の CMR 依存性を調べた。その結果を図 9 に示す。

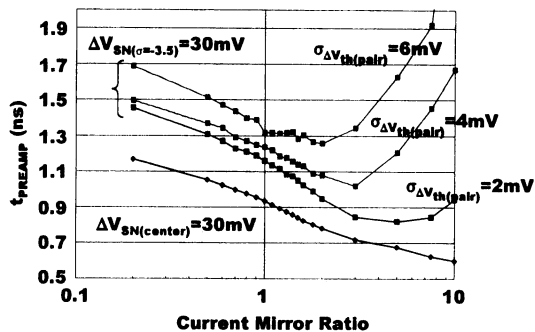


図 9. 初期増幅時間 (t_{PREAMP}) のカレントミラー比依存性

一番下の線はセンスマージン分布の中心値が 30mV^1 になる時刻をプロットしたものである。つまりバラツキを考慮していない場合の t_{PREAMP} に相当する。その場合 CMR を大きくしていくとセンスマージンも増大するため、センス時間は早くなっていく。しかし、上の 3本の線のように、バラツキを考慮した場合はその傾向が変わる。これらはセンスマージン分布の $-3.5\sigma^2$ の値が 30mV になる時刻をプロットしたものである。3本はペアトランジスタバラツキの差の大きさが違っており、上から $\sigma_{\Delta V_{\text{th}}} = 6\text{mV}, 4\text{mV}, 2\text{mV}$ である。

一番下の線との差がセンスマージンのバラツキに相当すると考えてよい。図 9 を見ると、CMR が 2~5 まではセンスマージンの中心値と同じようにセンス時間が早くなっており、ある CMR 値で最速になる。しかし、ある CMR 値を超えると急速にセンスマージンバラツキが増大し t_{PREAMP} は遅くなっていく。これは、CMR つまりループゲインを大きくすることでセンスマージンも大きくなるが、バラツキも大きく増幅してしまうため、結果的にそれらの兼ね合いで最適な CMR 値が存在することになる。我々の実測結果ではトランジスタのペアバラツキは約 4mV であることがわかっているため、その値を用いると $\text{CMR} \sim 2.5$ のときに最速 $t_{\text{PREAMP}} \sim 1.1\text{ns}$ が実現できることになる。CMR=2.5 の時のシミュレーション波形を図 10 に、センスマージン分布を図 11 に示す。

¹ 誤ラッチしないと思われる電位差。

² ここでは 2Mb 中 16bit 分のリダンダンシがある系を仮定しており、その場合 -3.5σ 以上はずれたものは救済可能である。

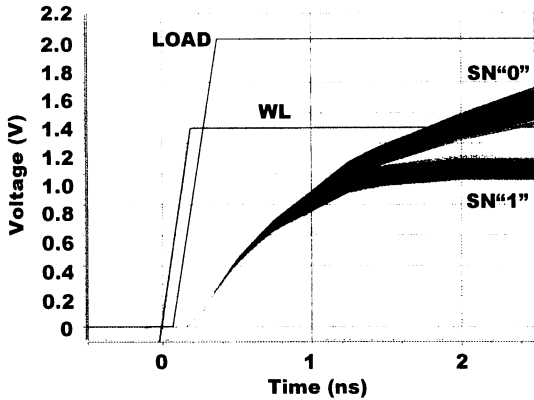


図 10. カレントミラー比を最適化したときのシミュレーション波形

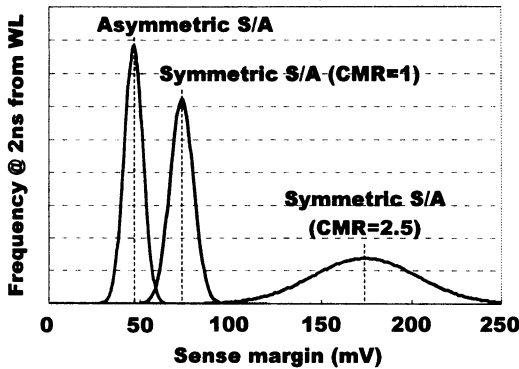


図 11. カレントミラー比を最適化したときのセンスマージン分布@2ns

CMR の最適化によって分布のパラッキも増大するが、それに増して中心値が大幅に増大しているため、高速化が図れる。

以上から、センスアンプを対称化して、さらにループゲインを最適化することにより高速センスの可能性が示唆された。次章では、この最適化されたセンスアンプを用いたときのランダムサイクル(t_{RC})とともに、総合的な性能を他の既存メモリと対比しながら議論していく。

5. FBC DRAM の性能

5.1 読み出しサイクル時間

前述のように、FBC のランダムサイクル時間(t_{RC})は

$t_{PREAMP} + t_{CP} + t_{WL/BLoff}$ と表せる。前章ではこれらの要素の中の t_{PREAMP} について解析してきた。この章では、前章で最適化されたセンスアンプを用いたときの t_{RC} のシミュレーション結果について述べる。

シミュレーション条件として、アレイ構成は 64 セル/BL, 128 セル/WL であり、セルサイズなどは前述と同様である。 t_{PREAMP} は前章で解析した通りの約 1.1ns の値を用いる。 t_{CP} は FBC のボディの中に数個のホールを注入する期間であり、我々の実測結果から BL 電圧が 2V で 0.5ns 必要であることがわかっている。また、温度:85 度、電源電圧:標準値-5%、周辺 Tr の Vth:標準値+10%、のワースト条件で行っている。これらの条件を仮定したシミュレーション結果を図 12 に示す。

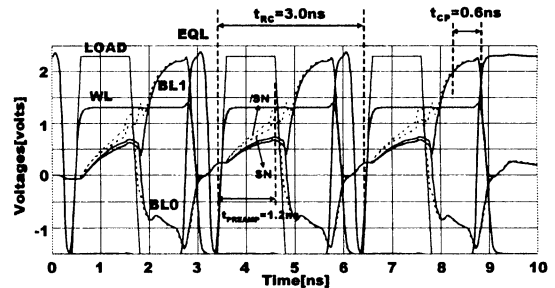


図 12. FBC DRAM の読み出しサイクルシミュレーション結果

この波形は図 3 と対応する波形であり、WL が上がって最初の期間が t_{PREAMP} 、次にラッチ回路により電位差を増幅しデータ出力するとともにチャージポンピング現象対策を行っている。最後に WL と BL を同時にプリチャージする。シミュレーション波形からわかる通り、 $t_{RC}=3ns$ が実現しており、FBC DRAM が 333MHz 読み出し動作が可能であることを示唆している。

ここではセル特性で決まる書き込みサイクルに関しては述べられていないが、デバイスの最適化と BL 電圧の最適化によりセルの書き込み速度を 1ns 以下まで高速にできることが我々の研究でわかっている。したがって、上記の読み出しサイクルと同じサイクルで書き込みを行うことが可能である。

5.2 既存メモリとの性能比較

前章のシミュレーションは 64 ビット/BL であったが、BL 沿いのセル数をより減らすことによってさらなる高速化は可能であり、また逆に、セル数を増やすことで t_{RC} は遅くなるがより高密度なメモリとなりうる。BL 沿いのセル数を変化させた FBC DRAM の性能とともに既存メモリの性能を示したものが表 1 である。

	eSRAM 180nm 130nm 165nm	1T-SRAM 180nm 130nm 165nm	eDRAM 180nm 130nm 165nm	FBC (1) 165nm	FBC (2) 165nm	FBC (3) 165nm
Macro size (mm ² /Mb)	7.2[9] 3.6[10] 6.1*	3.6[11] 2.5[12] 3.0*	1.3[13] 0.65[13] 1.1*	2.3	1.5	0.94
t _{RC} (ns)	3.3[9] 3.7[10] 3.4*	2.8[11] 2.5[12] 2.6*	20[13] 12[13] 17*	3	4.5	5.2
Process	Standard	Standard	Standard + capacitor	Standard		

表 1. FBC および既存メモリの性能

(*は 180nm プロセスの値と 130nm プロセスの値の外挿)

性能評価としてマクロサイズ、ランダムサイクル時間、プロセス工程について述べる。FBC(1)はこれまで同様 64 セル/BL であり図 12 の場合である。FBC(2)は 128 セル/BL を仮定したものであり、FBC(3)は階層 BL 構造を用いた 1024 セル/BL を仮定したものである。FBC(2)と FBC(3)は FBC(1)に対して BL 沿いのセル数が多いので t_{RC} は遅くなっているが、それほど不利なものになっているわけではなく、それ以上にマクロサイズ縮小の利点が多い。

FBC(1)は eSRAM と比較して速くまたサイズも 1/3 である。FBC(3)は eDRAM と比較して小さい上に速く、またプロセスにおいても優れている。1T-SRAM は FBC(1)に比べても速いが、非常に近い値でありサイズの面では大きく劣る。

また、FBC は微細化によって BL 容量を減少させつつ信号量を不変に保つことが可能であるため、世代毎にサイクル時間と短縮させることができる。

6. 結論

本論文で、我々はセンスアンプを最適化することによってフローティングボディセル(FBC)を用いた DRAM が 333MHz の高速ランダムサイクルが可能であることをモンテカルロシミュレーションにより示した。また総合的性能について既存 RAM と比較し、FBC が非常に優れたメモリセルであることを述べた。そのため FBC は、従来の eDRAM/eSRAM の置き換えとして十分期待できるセルであり、高速で高密度なメモリとして幅広い用途が考えられる。

- [1] R.E.Matick and S.E.Schuster, "Logic-based eDRAM: Origins and rationale for use", IBM J. Res. Dev., Vol.49, No.1, January 2005
- [2] S.Okhonin, M.Nagoga, J.M.Sallese and P.Fazan, "A SOI capacitor-less 1T-DRAM concept", IEEE Int. SOI. Conf., pp.153-154, October 2001
- [3] T.Ohsawa, K.Fujita, T.Higashi, Y.Iwata, T.Kajiyama, Y.Asao and K.Sunouchi, "Memory design using one-transistor gain cell on SOI", ISSCC Dig. Tech. Papers, pp.152-153, February 2002
- [4] A. Villaret, R.Ranica, P.Mazoyer, P.Candelier, F.Jacquet, S.Cristoloveanu and T.Skotnicki, "Triple-well nMOSFET evaluated as a capacitor-less DRAM cell for low-cost & high density applications", 2005 Silicon Nanoelectronics Workshop, pp.40-41, June 2003
- [5] C.Kuo, T-J.King, C.Hu, "A capacitorless double-gate DRAM cell", IEEE Electron Device Letters, Vol.23, No.6, pp.345-347, June 2002
- [6] E.Yoshida and T.Tanaka, "A design of a capacitorless 1T-DRAM cell using gate-induced drain leakage (GIDL) current for low-power and high-speed embedded memory", IEDM Tech. Dig., pp913-916, December 2003
- [7] S.Okhonin, M.Nagoga and P.Fazan, "Principles of Transient Charge Pumping on Partially Depleted SOI MOSFETs", IEEE Electron Devices Letters, Vol.23, No.5, pp.279-281, May 2002
- [8] T.Ohsawa, K.Fujita, K.Hatsuda, T.Higashi, M.Morikado, Y.Minami, T.Shino, H.Nakajima, K.Inoh, T.Hamamoto and S.Watanabe, "An 18.5ns 128Mb SOI DRAM with a Floating Body Cell", ISSCC Dig. Tech. Papers, Paper 25.1 February 2005
- [9] Don Weiss, John J.Wuu and Victor Chin, "The On-chip 3MB Subarray Based 3rd Level Cache on an Itanium Microprocessor", ISSCC Dig. Tech. Papers, Paper 25.1 February 2005
- [10] J.Chang, J.Shoemaker, M.Haque, M.Huang, K.Truong, M.Karim, S.Chiu, G.Leong, K.Desai, R.Goe, S.Kulkarni, A.Rao, D.Hannoun and S.Rusu, "A 0.13 μm triple-Vt 9MB third level on-die cache for the Itanium®2 Processor", ISSCC Dig. Tech. Papers, pp.496-497, February 2004
- [11] "1T-SRAM® Ultra-Dense Embedded Memory 0.18-Micron Standard Logic Processes", Preliminary Information, Rev1.06, MoSys, Inc. 2000 (<http://www.mosys.com/files/pdf/sr1t18.pdf>)
- [12] "1T-SRAM® Ultra-Dense Embedded Memory 0.15-Micron Standard Logic Processes", Preliminary Information, Rev1.06, MoSys, Inc. 2000 (<http://www.mosys.com/files/pdf/sr1t15.pdf>)
- [13] Steve Tomashot, "An Embedded DRAM Approach", IBM Corporation 2003 (<http://www-306.ibm.com/chips/techlib/techlib.nsf/products/Embedded%20DRAM>)