

## オンチップグローバル配線における確定的/確率的ノイズとエラー率のモデル化

湯山 洋一<sup>†</sup> 小林 和淑<sup>†</sup> 小野寺秀俊<sup>†</sup>

<sup>†</sup> 京都大学大学院情報学研究科通信情報システム専攻

あらまし 本稿では、チップ上配線におけるエラー検出/訂正符号化の研究には不可欠といえるエラーの発生確率自体のモデル化方法を提案する。「確定的なノイズ」と「確率的なノイズ」を同じようにモデル化していた従来手法とは異なり、提案手法では両者を区別してモデル化する。これにより、よりノイズ量やエラー率を見積る上で現実的なモデル化が可能となる。従来手法により見積られるエラー率との比較を行ない、その差が100倍以上となることを確認した。また、提案手法においても、「確定的なノイズ」のモデル化方法により100倍程度エラー率が異なることが分かった。

キーワード オンチップグローバル配線, エラー率モデル化

## Deterministic/Probabilistic Noise and Bit Error Rate Modeling on On-chip Global interconnect

Yoichi YUYAMA<sup>†</sup>, Kazutoshi KOBAYASHI<sup>†</sup>, and Hidetoshi ONODERA<sup>†</sup>

<sup>†</sup> Dept. of Comm. and Comp. Eng., Graduate School of Informatics, Kyoto University

**Abstract** This paper proposes a bit error rate modeling methodology for error detection/correction encoding of on-chip global interconnect. We classify “Deterministic Noise” and “Probabilistic Noise” that are mixed up by conventional method. Our method enables realistic noise and bit error rate modeling. We compare bit error rate estimated by conventional and our proposed method, both are 100 times different.

**Key words** On-Chip Global Interconnect, Bit Error Rate Modeling

### 1. はじめに

近年のLSI製造プロセスの進歩により、LSI内部の回路規模は増大し続けている。これまでSoC(System on a Chip)上ではそれ程多数のコンポーネントが搭載されることはなく、コンポーネント間通信には主にバス構成などが使用されてきた。これからのSoCにおいては、プロセッサなどのコンポーネントが、現在とは比べものにならない程多く、チップ上に搭載されると予想される。今後はコンポーネント数の急激な増加に対応したコンポーネント間接続アーキテクチャが必要となる。今後は、動作周波数の増大や、チップ内の信号の劣化やタイミングのずれも大きな問題となる。物理レベルにおける情報の欠如を前提とし、不確かな情報の上に確実に動作するシステムを構築する技術が必要となる。

このため、既存の通信技術/ネットワーク技術をチップ

上のコンポーネント間の通信に適用するNoC(Network on Chip)技術がさかんに研究されている。通信技術やネットワーク技術は、通信の物理層に問題がありエラーが発生するような場合でも、通信の信頼性を確保することができる。NoC技術における、エラー検出/訂正のための符号化方式については、様々なものが研究されている[1-6]。しかし、これらにおいては、確率的なエラーが起こることを前提としており、そのエラーの発生自体のモデル化はほとんど行なわれていない。

本稿では、エラー検出/訂正符号化の研究には不可欠といえる。エラーの発生確率自体のモデル化方法を提案する。第2章では、NoCの概要や関連研究について説明する。第3章では、確率的なノイズのモデル化の方法と、確率的なノイズのモデル化手法によるエラー率の違いについて説明する。第4章で、確定的なノイズの分布モデルの違いによる、エラー率の違いを評価する。最後に第

5. 章でまとめと今後の展望について述べる。

## 2. 関連研究

ここでは、NoCの概要、チップ内通信の性能、チップ内通信におけるエラー率のモデル化などの関連研究に関して説明を行なう。

半導体テクノロジーロードマップ [7] によると LSI のトランジスタの集積度は今後も Moore の法則に従って増加し続け、10 年後 (2013 年) には 519M トランジスタ/cm<sup>2</sup> に達すると言われている。これは ARM7TDMI (コア:74K トランジスタ) に換算すると、7,000 個以上になる。実際にはマルチプロセッサ SoC では各プロセッサ毎にメモリが必要となるが、これを合わせても、1cm 角のチップ上に 100 個以上にプロセッサが搭載されることになる。これに伴ない、チップ上の通信量は非常に大きくなっていくことが予想される。これからの SoC においては、大量のデータのやりとりが可能なチップ上通信技術が必須であるといえる。文献 [8] では、様々な通信方式、配線構造、ビットレートにおける通信性能の評価などを行なっている。この文献では、解析式やシミュレーションから算出したアイパターンの大きさによって、通信性能の評価を行なっている。

これまでの LSI 設計においては、チップ内における信号伝送は、全てエラーフリーとなるように設計が行なわれてきた。しかし、今後は、動作周波数の増大や、動作電圧/信号電圧の低下、配線のサイジング、クロストークの影響の増加などにもともない、チップ内の信号の劣化が大きな問題となる [9,10]。これらの問題に対処し、信頼性のある通信を実現するため、様々な技術が研究されている [11,12]。しかし、物理層だけの対応では限界があり、物理層で問題があってもさらに上位の層でそれを補償する技術が重要である。NoC では、物理レベルでのエラーの発生を前提として、通信時に符号化を行なうことで、エラー発生時にそれらを検出/訂正する [1-6]。これにより、システム全体としての信頼性を向上させることができる。

## 3. 確率的なノイズのモデル化手法

これまで、NoC の分野においては、確率的なエラーが発生することを前提として、符号化などの方式が研究されてきた。しかし、この確率的なエラーをどのようにモデル化するかは、ほとんど検討がなされていない。この章では、確定的なノイズと確率的なノイズについて述べ、確率的なノイズや、それによって発生するエラーの確率をどのようにモデル化するかについて説明する。

### 3.1 確定的なノイズと確率的なノイズ

チップ上通信におけるエラーは、「確定的なノイズ」によるものと「確率的なノイズ」のよるものに分類することができる。「確定的なノイズ」とは、比較的モデル化が

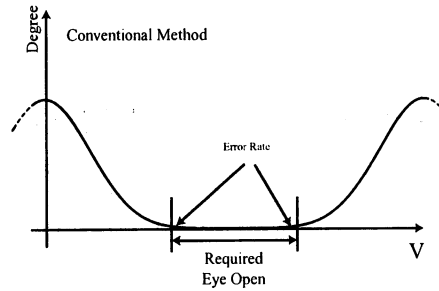


図 1 従来の確率的なノイズとエラー率のモデル化

容易な要因による信号の劣化である。この例としては、近接した配線からのクロストークによるノイズや、配線における信号の減衰などがあげられる。これらは、限られた範囲での現象であるため、解析式やシミュレーションなどにより、その影響をある程度、高精度かつ容易に見積ることができる。

一方、「確率的なノイズ」とは、モデル化が非常に困難な要因による信号の劣化である。この例としては、電源電圧のゆらぎや、周辺の数万本の配線からくる EMI ノイズなどがある。これらの周辺の配線や回路の動作状況を正確にモデル化し、シミュレーションなどで、その影響を見積るのは事実上不可能である。これらの影響は、確率論的に捉えた上でモデルに組み込む必要がある。

### 3.2 従来の確率的エラーのモデル化

従来の SoC における符号化の検討においては、確率的なエラーが発生することを前提として議論がなされてきた。しかし、そのエラーのモデルに関しては、あまり検討がなされておらず、非常に単純なモデル化のみがなされてきた。

例えば、文献 [13] においては、非常に簡単なモデル化がなされている。このモデルにおいては、確定的な要因によるノイズも、それ以外の要因による確率的なノイズも区別せずに、モデル化を行なっている (図 1)。つまり、クロストークや減衰などの、限られた条件における確定的な要因によるノイズと、周辺の無数の配線からくる EMI ノイズなどを、全て一括りにあつかい正規分布状のノイズが発生するとしている。これでは、ノイズの量やエラー率の見積もりが非常に不正確になってしまう。

### 3.3 提案する確率的なノイズとエラーのモデル化

文献 [13] においては、確定的なノイズと確率的なノイズを同じようにモデル化し、エラー率を評価している。このため、ノイズの量やエラー率の見積もりが非常に不正確になってしまう。これに対し、提案手法では、シミュレーションなどで確定的なノイズをモデル化し、そこに、さらに不確定的なノイズを正規分布状に付加することで、ノイズ全体をモデル化する。

図 2 に示すように、線路のシミュレーションなどをも

とに、線路終端でのアイパターンを作成する。このアイパターンから、アイの上端と下端の電圧  $V_1$  と  $V_2$  を求め、これらから確定的なノイズの最大値を求める。図3に示す提案手法 (a) では、アイの上端と下端の電圧 ( $V_1, V_2$ ) を中心に正規分布状の大きさのノイズが発生するものとしたモデルである。確定的なノイズと確率的なノイズはモデル化により分離されており、文献 [13] などのモデルよりは現実的なモデルであるといえる。しかし、この方式では、 $V_1$  と  $V_2$  を中心に正規分布状の確率的ノイズを加えることになる。このため、常に最悪の確定的なノイズが起こると仮定したようなモデル化となり、悲観的な見積もりとなってしまふ。

そこで、図4の提案手法 (b) では、確定的なノイズ量に分布をもたせることで、この問題を解決する。提案手法 (a) では、常に最悪の確定的なノイズが起こることを仮定したモデル化であり、 $V_1$  と  $V_2$  を中心に正規分布状のノイズを加えているため、悲観的な見積もりとなっていた。しかし、アイパターンというのは、様々な波形の重ね合わせであり、波形の電圧は常にアイの上端や下端の電圧になるわけではなく、さまざまな電圧値をとりうる。そこで、アイパターンから確定的なノイズ量の分布を作成することで、悲観的な見積もりにならないモデル化を行なうことができる。例えば、アイパターンにおける確定的なノイズの分布が均等であるとして、0 から  $V_2$ ,  $V_1$  から  $V_{dd}$  の各点を中心とした正規分布を足しあわせることで、ノイズ全体をモデル化している。

両モデルでのエラー率の見積もり結果を評価した。元のアイの開口は  $0.6V$ 、正常な通信のために必要とされるアイの大きさを  $0.3V$  とし、 $3\sigma=0.05V$  のノイズを加えたモデルとした。この結果、手法 (a) ではビットエラー率が  $1.13 \times 10^{-19}$  になったのに対し、手法 (b) では  $1.03 \times 10^{-21}$  と 100 倍程度見積り値に違いがあることが分かった。また、文献 [13] の手法でエラー率を見つめた場合、 $3\sigma=0.1V$  のノイズでは  $4.32 \times 10^{-26}$ 、 $3\sigma=0.2V$  のノイズでは  $7.60 \times 10^{-8}$  となった。

#### 4. 確定的なノイズ分布モデルと全体のノイズ分布/エラー率の関係

本章では、確定的なノイズモデルを変えた場合などの、全体的ノイズ分布とエラー率の評価をする。

##### 4.1 仮想的な分布モデルによるエラー率の違い

前章の図4の提案手法 (b) では、確定的なノイズの分布を持たせることで、悲観的にならないモデル化を行なう。前章ではこの確定的なノイズ量の分布が一様であるとして、エラー率の評価を行なった。しかし、通信におけるノイズ量は、その通信の状況によって大きく変わってしまうことが多い。前章での評価のように、様々な大きさのノイズが一様に起こる場合もあれば、比較的小さなノイズが多く発生し、稀に大きなノイズが発生するよ

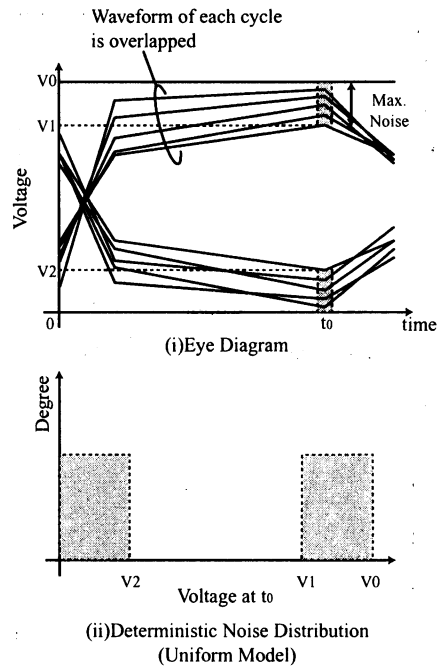


図2 アイパターンの構成と確定的なノイズのモデル

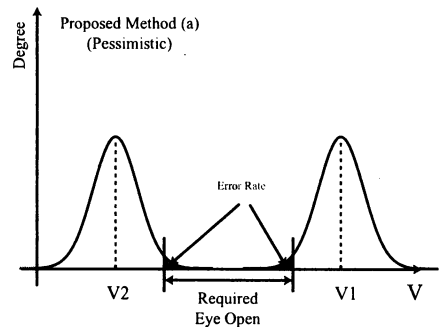


図3 提案する確率的なノイズとエラー率のモデル化 (a)

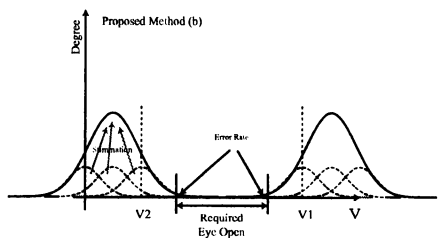


図4 提案する確率的なノイズとエラー率のモデル化 (b)

うな場合もある。このような、状況による確定的なノイズ分布の違いによって、どのように全体的なノイズやエラー率が変わるかを評価する。ここでは、確定的なノイズ量の分布が、下記の場合について、評価を行なう。

- 一様の場合 (図5)

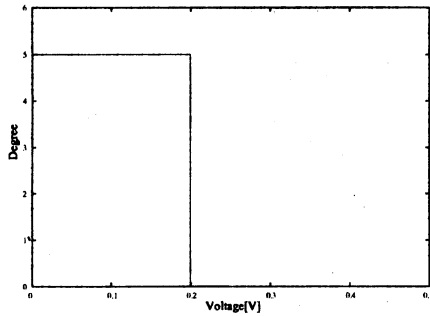


図5 確定的なノイズ分布 (一様分布)

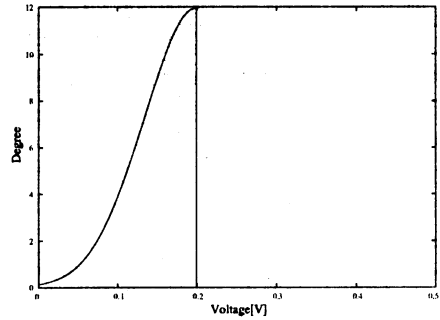


図8 確定的なノイズ分布 (上寄り正規分布)

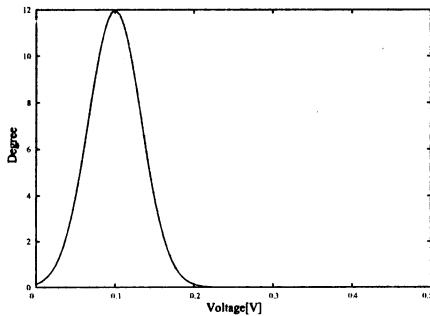


図6 確定的なノイズ分布 (正規分布)

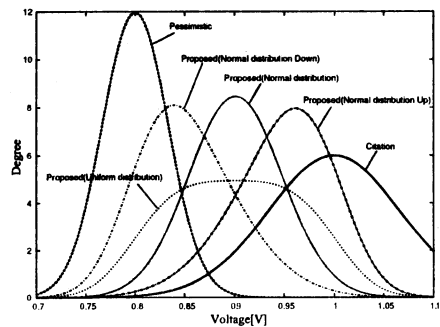


図9 全体的なノイズの分布

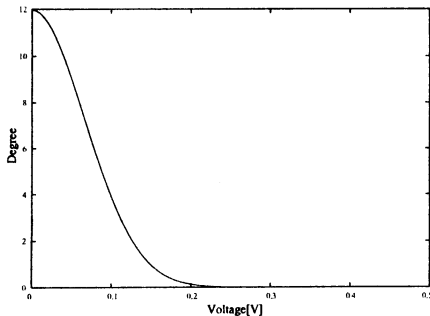


図7 確定的なノイズ分布 (下寄り正規分布)

- 正規分布の場合 (図6,  $\mu=0.1$ ,  $3\sigma=0.1$ )
- 下寄りの正規分布の場合 (図7,  $\mu=0.0$ ,  $3\sigma=0.2$ )
- 上寄りの正規分布の場合 (図8,  $\mu=0.2$ ,  $3\sigma=0.2$ )

図9に、確定的なノイズと確率的なノイズ ( $3\sigma=0.1V$ ) をあわせた場合の波形の分布を示す。確定的なノイズの分布モデルによって、全体的なノイズによる波形分布が大きく異なることが分かる。この場合のエラー率は、表2のようになる。ただし、文献[13]のモデルは確率的なノイズと確定的なノイズを同じものとしてモデル化しているため、ノイズの  $3\sigma=0.2V$  としている。エラー率に関しても  $10^{-7}$  から  $10^{-9}$  と、確定的なノイズの分布によって二桁も異なることが分かる。このため、全体的なノイズやエラー率の評価を正確に行なうためには、確定的な

表1 各モデルでのエラー率

手法	エラー率
文献 [13]	$7.60 \times 10^{-8}$
提案手法 (a)	$3.40 \times 10^{-6}$
提案手法 (b)(一様分布)	$1.16 \times 10^{-7}$
提案手法 (b)(正規分布)	$6.32 \times 10^{-9}$
提案手法 (b)(下寄り正規分布)	$4.28 \times 10^{-9}$
提案手法 (b)(上寄り正規分布)	$2.75 \times 10^{-7}$

ノイズのモデル化を正確に行なう必要がある。また、確定的なノイズの分布を「上寄りの正規分布 (図8)」のようにできる符号化や配線方式などを用いることで、大きくエラー率を低減できることが分かる。

#### 4.2 実際の符号化方式における分布モデルとそのエラー率

ここでは実際の符号化方式におけるノイズの分布モデルとそのエラー率について評価を行なう。図11, 12, 13, 14に、文献[14]において検討されている各符号化/シールド方式における確定的なノイズ分布を示す。それぞれのノイズ分布は、図10に示すような配線における伝送線路特性 (RLC) を電磁界解析ツールより抽出し、回路シミュレータを用い信号伝送のシミュレーションを行ない、配線終端における波形の分布を観測することで求めた [14]。それぞれ、図11は alternate self-shielding 方式、12は self-shielding 方式、13は physical shielding 方式、14は

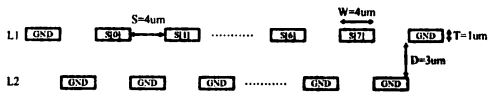


図 10 ノイズ分布を求めるのに使用した配線の断面構造

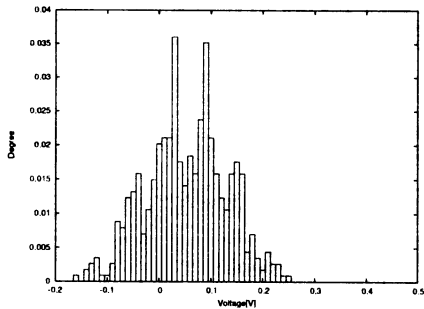


図 11 確定的なノイズ分布 (alternate self-shielding, 4Gbps)

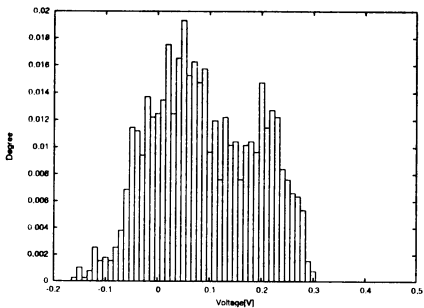


図 12 確定的なノイズ分布 (self-shielding, 4Gbps)

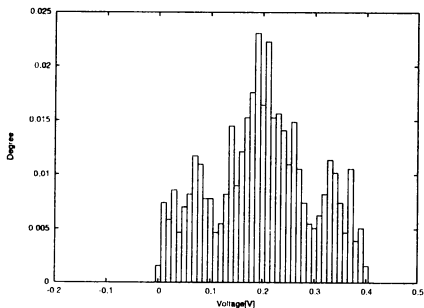


図 13 確定的なノイズ分布 (physical shielding, 4Gbps)

シールドなしの伝送レート 8Gbps におけるノイズ分布である。どの方式における分布も正規分布タイプ(図 6), またはそれをいくつか重ねあわせたような形状となっていることが分かる。このノイズ分布を用い、確率的なノイズ ( $3\sigma=0.1V$ ) をあわせた場合のエラー率を表 2 に示す。

## 5. まとめ

チップ上配線における、エラー率のモデル化方法について提案した。これまでの NoC の分野では、確率的な

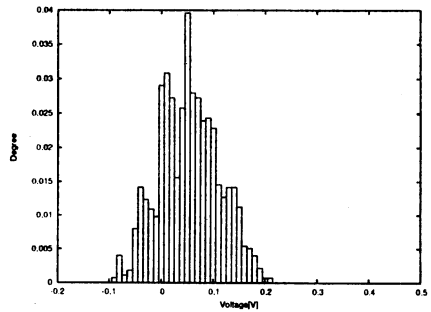


図 14 確定的なノイズ分布 (シールドなし, 4Gbps)

表 2 各符号化/シールド方式でのエラー率

符号化/シールド方式	エラー率
alternate self-shielding	$4.80 \times 10^{-6}$
self-shielding	$6.90 \times 10^{-4}$
physical shielding	$2.92 \times 10^{-3}$
シールドなし	$2.67 \times 10^{-8}$

エラーのモデル化については、あまり議論がなされず、「確定的なノイズ」と「確率的なノイズ」を同じようにモデル化されていた。提案手法では、シミュレーションなどで確定的なノイズをモデル化し、そこに、さらに不確定的なノイズを正規分布状に付加することで、ノイズ全体をモデル化する。これにより、ノイズの量やエラー率の見積もりを行なう上で、現実的なモデル化が可能となる。プログラムにより、両モデルのエラー率の違いを評価したところ、100 倍程度見積り値に違いがあることが分かった。

また、提案手法によるエラー率の見積りにおいては、「確定的なノイズ」の最大値だけではなく、その分布も非常に重要となる。様々な大きさの確定的ノイズが一緒に起こる場合もあれば、比較的小さなノイズが多く発生し、稀に大きなノイズが発生するような場合もある。この確定的ノイズのモデル化のやり方によって、エラー率は大きく異なる。様々な確定的ノイズのモデルに対して、提案手法によりエラー率を計算したところ、最大で二桁も異なることが分かった。

## 文 献

- [1] Luca Benini and Giovanni De Micheli. Networks on Chip: A New SoC Paradigm. In *IEEE Computer*, pp. 70-77, January 2002.
- [2] Luca Benini and Giovanni De Micheli. Powering Networks on Chips. In *ISSS2001*, pp. 33-38, January 2001.
- [3] Shashi Kumar, Axel Jantsch, Juha-Pekka Soiminen, and Martti Forsell. A network on chip architecture and design methodology. In *ISVLSI'02*, pp. 117-124, April 2002.
- [4] Maria Elisabete Marques Duarte. Networks on Chip (NOC): Design Challenges. In *ICCA2003*, pp. 121-128, June 2003.

- [5] Davide Bertozzi, Luca Benini, and Giovanni De Micheli. Low power error resilient encoding for on-chip data buses. In *DATE02*, pp. 102–109, March 2002.
- [6] Ketan N. Patel and Igor L. Markov. Error-Correction and Crosstalk Avoidance in DSM Buses. In *SLIP'03*, pp. 9–14, April 2003.
- [7] International technology roadmap for semiconductors 2002 update, 2002. <http://public.itrs.net/>.
- [8] Akira Tsuchiya, Yuuya Gotoh, Masanori Hashimoto, and Hidetoshi Onodera. Performance Limitation of On-chip Global Interconnects for High-speed Signaling. In *CICC'04*, pp. 489–492, October 2004.
- [9] Kenneth L. Shepard and Vinod Narayanan. Noise in Deep Submicron Design. In *ICCAD'96*, pp. 524–531, November 1996.
- [10] RON HO, KENNETH W. MAI, and MARK A. HOROWITZ. The Future of Wires. *IEEE*, Vol. 89(4), pp. 490–504, 2001.
- [11] Akira TSUCHIYA, Masanori HASHIMOTO, and Hidetoshi ONODERA. Driver Sizing for High-Performance Interconnects Considering Transmission-Line Effects. In *SASIMI 2001*, pp. 377–381, Oct 2001.
- [12] Ravinshankar Arunachalam, Emrah Acar, and Sani R. Nassif. Optimal shielding/spacing metrics for low power design. In *ISVLSI'03*, pp. 167–172, February 2003.
- [13] Frederic Worm, Patrick Thiran, Paolo Thiran, and Giovanni De Micheli. An adaptive low-power transmission scheme for on-chip networks. In *ISSS'02*, pp. 92–100, October 2002.
- [14] 湯山 洋一, 土谷 亮, 小林 和淑, 小野寺 秀俊. 相互自己シールド方式を用いたオンチップグローバル配線の通信信頼性向上手法の検討. DA シンポジウム 2005 論文集, pp. 145–150, August 2005.