

遅延変動特性を考慮したタイミング信号設計方式に関する検討

今井 雅† 渡邊 孝一† 近藤 正章† 中村 宏† 南谷 崇†

† 東京大学 先端科学技術研究センター

〒153-8904 東京都目黒区駒場 4-6-1

E-mail: †{miyabi,kouichi,kondo,nakamura,nanya}@hal.rcast.u-tokyo.ac.jp

あらまし VLSI 製造加工技術の進歩に伴い素子の微細化・システムの大規模化・低電源電圧化が進んでおり、様々な要因による遅延変動が速度性能に深刻な影響を与えている。VLSI を構成する素子の遅延変動特性はそれぞれの要因毎に大きく異なるが、従来の設計手法では変動特性の違いはほとんど考慮されてこなかった。一方、タイミング信号としてはクロック信号を用いる同期式設計方式の他、多ビットデータの安定を示す 1 ビットのタイミング信号を付加する束データ方式や、1 ビット毎にタイミング情報を付加する 2 線 2 相式などの非同同期式設計方式がある。本稿では、今後のテクノロジーにおける遅延変動特性を考慮し、タイミング信号設計方式の得失利害の検討を行った結果を示す。

キーワード 非同同期システム、遅延変動、相対遅延変動率、束データ方式、2 線 2 相式

A Discussion about Timing Signal Design Considering Characteristics of Delay Variations

Masashi IMAI†, Kouichi WATANABE†, Masaaki KONDO†, Hiroshi NAKAMURA†, and Takashi NANYA†

† Research Center for Advanced Science and Technology, The University of Tokyo

4-6-1 Komaba, Meguro-ku, Tokyo, 153-8904 Japan

E-mail: †{miyabi,kouichi,kondo,nakamura,nanya}@hal.rcast.u-tokyo.ac.jp

Abstract As the VLSI technology advances, delay variations become extremely large. There are many factors that cause delay variation in different ways. However, in traditional design styles, the characteristics of delay variations have not been considered. On the other hand, there are many timing signals like a clock signal in synchronous systems, a strobe signal based on asynchronous bundled-data transfer circuits, and dual-rail encoded data in asynchronous circuits based on the 4-phase handshake protocol. In this paper, we discuss about timing signal design considering delay variations in the future process technology.

Key words Asynchronous System, Delay Variation, Scaling Variation, Bundled-data Transfer, 4-phase Dual-rail

1. はじめに

ITRS [1] によれば、2010 年には電源電圧 1.0V の 45nm プロセス、2016 年には電源電圧 0.8V の 22nm プロセスを利用した VLSI 実装が行われ、製造プロセスの微細化・低電源電圧化に伴い遅延変動が大きくなることが予測されている。遅延変動の要因を考えると、製造プロセスパラメータ変動やクロストークノイズ等の様に予測が困難なものもあれば、DVS (Dynamic Voltage Scaling) の様に意図的に電源電圧などの環境を変化させることにより生じるもの、センサー等の計測機構を組み込むことにより温度などの遅延変動要因を測定することが出来るものなど、性質の異なる様々なものがあり、それにより引き起こされる遅延変動もそれぞれ異なる特性を持つ。また、遅延が変動する範囲を考えると、DVS の様に Voltage Island [2] や機能ブロック単位、あるいはチップ全体等が一律に変動すると仮定

出来る粗粒度のものと、クロストークノイズや IR-Drop [3], [4] 等の様に変動要因が隣接配線や近傍素子の信号遷移に依存し、ビット毎に変動特性の異なる細粒度のものなど、いくつかの粒度が考えられる。しかしながら、従来の同期式設計方式及び非同同期式設計方式では、このような要因毎に異なる遅延変動特性がほとんど考慮されていなかった。

遅延変動が生じて正しく動作させるための手法は様々な方式が考えられる。クロック信号を用いる同期式システムでは、最悪遅延を見越してそれよりも大きなサイクルタイムを持つクロック信号を用いる必要がある。クロック信号を用いず、ある事象が終了したことを確認して次の事象を開始する事象駆動型論理システムである非同同期式システムでは、同期式システムと同様に組み合わせ回路の最悪遅延を見越してその安定を示す 1 ビットのタイミング信号を付加する束データ方式 [5] や、1 ビットの信号を肯定線と否定線の 2 本の信号線対を用いて表す 2

線式符号とスペースを交互に遷移させ、ビット毎にタイミング情報を持たせることで、どのような遅延変動が生じてもしっかりデータ転送を実現する2線2相式のデータ転送[5]等がある。タイミング信号としてどのような方式をどのような空間的・時間的粒度で用いるかによって、実現される回路の速度性能や遅延変動に対する信頼性が大きく異なる。そこで、本稿では今後のテクノロジーにおける遅延変動特性の違いを考慮し、タイミング信号設計方式に関して検討を行った結果を示す。

第2節で遅延変動要因とその要因によって引き起こされる遅延変動の特徴をまとめ、第3節でタイミング信号生成方式の得失利害をまとめる。第4節でタイミング信号として非同期式束データ方式を用いる場合の遅延変動特性を考慮したタイミング信号の設計方式を提案し、第5節で90nmプロセスを用いて評価を行った結果を示し、最後にまとめる。

2. 遅延変動要因とその変動傾向

VLSIを構成する回路要素の遅延変動要因には様々なものがある。配置配線設計終了後、製造時から実動作時に生じる主な遅延変動要因とその特徴をまとめると以下の通りである。

● **製造プロセス変動(パラメータ変動)**: 製造プロセスの変動に伴う遅延変動であり、各製造工程における変動によりトランジスタのスイッチング速度や負荷容量など様々なパラメータが変動する。また、CMOSの場合PMOSとNMOSで製造プロセスとスイッチング動作原理が異なるため、PMOSとNMOSで全く異なる遅延変動特性を示す。これらの変動はTEG(Test Element Group)を用いたVLSIの物理・電磁特性の測定により最悪値、平均値、最良値等のパラメータ化が行われるものの、設計時にそれぞれのチップがどのようなプロセス変動を引き起こすか予測することは困難である。

プロセス変動は年々大きくなっており、最悪値を重視したタイミング解析を行う従来手法では性能が極端に悲観的なものとなり、歩留まりも正確に予測することが出来ない。そこで、近年では、ゲート遅延に関してばらつきを考慮したモデル化[6]がなされ、クリティカルパス内の回路要素がそれぞれ異なるプロセス変動となることを仮定し、その遅延変動は何らかの確率分布に従うものとしてタイミング解析を行う方式[7],[8]等が提案されている。一方、近傍素子の遅延分布には何らかの相関関係があることが仮定でき、これを考慮した遅延モデルとしてScalable-Delay-Insensitive(SDI)モデルがある[9],[10]。

● **動的電圧制御による電源電圧変化**: 一般的に、電源電圧を高くすると遅延が小さくなり、電源電圧を低くすると遅延が大きくなる。一方、性能上クリティカルでない処理は高速に動かす必要がなく、電源電圧を低くすることで消費電力を抑えることが出来る。そこで、主に消費エネルギーを抑える目的のため、意図的にチップ全体、あるいは何らかの機能ブロック毎に電源電圧を変化させる動的電圧制御(Dynamic Voltage Scaling(DVS))方式が取られている。

DVSは意図的に電圧を変動させるものであるため、プロセス変動と異なり遅延変動の予測が可能であり、電源電圧を調整すると同時にその電源電圧に応じたタイミング信号を用いることで、遅延変動に伴うオーバーヘッドの小さい回路を実現することが出来る。つまり、遅延変動に伴うオーバーヘッドを小さくするためには、動作時に電源電圧の変化に合わせてタイミング信号を切り替える機構を持った方がよいと言える。

● **温度変動**: 回路がスイッチング動作することで発生する熱により、温度が変化する。一般的に、温度が高くなれば遅

延が大きくなり、温度が低くなれば遅延が小さくなる。しかしながら、温度変動に伴う遅延変動は他の遅延変動と比較して小さく[11]、微細プロセスでは、環境等の条件によっては温度と遅延の関係が逆転するものもある。

熱伝導により局所領域はほぼ均一の温度となることが仮定でき、温度センサーを組み込むことで温度の変動を測定することも可能である。従って、動的電圧制御による遅延変動と同様、温度変動に合わせてタイミング信号を選択することで、遅延変動に伴うオーバーヘッドの小さい回路を実現することが出来る。

● **クロストークノイズ**: 隣接配線間容量があることにより、隣接配線の動的な信号遷移に伴い遅延が変動する。隣接配線で同相の信号遷移がある場合は対象配線の信号遷移が速くなり、隣接配線で異相の信号遷移がある場合は信号遷移が遅くなる。微細化に伴い配線幅が狭くなる一方、配線抵抗を小さくするために配線の高さは同じようには微細化されない。そのため、微細化に伴って対地容量よりも隣接配線間容量の方が大きくなるため、クロストークノイズはより深刻になると予測される。

クロストークノイズは隣接配線間での動的な信号遷移に大きく依存し、隣接配線の信号遷移と対象配線の信号遷移のタイミングが少しでもずれれば影響は軽減される。そこで、バスなどの大域配線におけるクロストークノイズの回避方法として、バッファを挿入して意図的にタイミングをずらす方式や符号を変える方式等が提案されている[12],[13]。しかしながら、これらの手法は主に大域配線を対象としたものであり、演算処理の行われる領域には適さない。微細化が進むに従って組み合わせ演算回路内における隣接配線間容量も増加し、クロストークの影響を無視できなくなると考えられる。

● **電源ノイズ・IRドロップ**: 回路がスイッチング動作を行い、電荷の充放電が生じて電流が流れることにより発生するノイズにより、電源電圧が変動する[14],[15]。また、高周波で信号が遷移する大容量の配線では、信号遷移パターンに依存して、充放電が完全に完了しないうちに次の信号が入力されることにより電源電圧が低下するIRドロップと呼ばれる現象が生じる[3],[4]。

これらの電源電圧変動はクロストークノイズと同様に動的な信号遷移に依存するものであり、予測は困難である。また、電源線とグランド線の位置など、レイアウトに大きく依存し、同じRow内の近傍ゲートのみが同様な電源電圧変動を生じると仮定される。そのため、プロセス変動やDVSによる電源電圧変動及び温度変動よりも局所性が高い、すなわちビット毎に大きく遅延がばらつく要因とも言える。VLSI製造加工技術の進歩に伴って供給電源電圧は低くなっており、局所領域におけるこれらの電源電圧の変動はますます深刻になると予測される。

以上より、今後のテクノロジーにおいて特に考慮しなければならないのは、**プロセス変動と各種ノイズによる遅延変動**であると考えられる。その中でも電源ノイズやIRドロップによる遅延変動は極めて局所性が高く、ビット毎の遅延のばらつきが今後ますます大きくなると予測される。

3. タイミング信号と耐遅延変動特性

本節では、前述の遅延変動要因に対する各タイミング信号生成方式の得失利害をまとめる。

● **クロック信号分配**: タイミング信号としてクロック信号を用いる場合、クロック周波数の逆数がレジスタ間組み合わせ

せ回路の遅延となる。プロセス変動に関しては、その変動を見越してスキューの小さいクロック信号分配を実現する設計方式がいくつか提案されている [16], [17] が、プロセス変動が大きくなるとグローバルクロック信号をスキュー無しで分配することは困難と言える。また、DVS による電源電圧変動、温度変動に関しては要因の変動に合わせて周波数を変更することで、速度オーバーヘッドを小さくすることが出来る。但し、PLL、DLL 等のクロック発生源の安定に数 μsec かかるため急激な変動に対応させることは困難であり、停止・再起動のオーバーヘッドも大きい。一方、クロストークノイズ、電源ノイズ・IR ドロップに関してはサイクル毎に異なる変動となるため、予めこれらの変動を見越してクロックサイクルタイムを決定する必要がある。従って、ノイズによる遅延変動が増大すると速度オーバーヘッドが大きくなると言える。

近年では最悪遅延となる確率は低いことに着目し、ラッチを二重化して一方のラッチを遅らせたクロック信号に同期させて値を記憶させ、比較を行って異なる場合は再度演算を行う Razor [18] が提案されている。しかしながら、今後のテクノロジーにおいてノイズによる遅延変動が増加すると最悪遅延となる確率も増加すると考えられるため、必ずしも有効とは言えない。

● **東データ方式データ転送：** 東データ方式のデータ転送では、組み合わせ回路の安定を示す 1 ビットのストローブ信号をタイミング信号として付加する。このタイミング信号は、いかなる遅延変動が生じても組み合わせ回路のクリティカルパスの遅延よりも大きな遅延になる必要がある。東データ方式はタイミング信号をレジスタに分配する方式であるため、同期式と同様スキューの問題が生じる。しかしながら、スキューを考えなければならない対象は、グローバルクロック信号と異なり、要求-応答ハンドシェイクを行うローカルレジスタ間のみであるため、将来のプロセスにおいても従来のスキュー削減方式を適用することが出来ると思われる。クロック信号と大きく異なるのは、タイミング信号自体も組み合わせ回路と同様に遅延が変動することである。

プロセス変動に関しては近傍領域はほぼ同じ変動となることから仮定出来るため、SDI モデルに基づいた設計を行うことで速度オーバーヘッドの小さい回路を実現することが出来る。また、PMOS、NMOS の違いによる遅延変動率の違いに関しては、後述の遅延線ライブラリを用いることで、より速度オーバーヘッドの小さい回路を実現することができる。DVS による電源電圧変動、温度変動に関しては、前節で述べた通り動作時に動的に遅延線を選択する方式 (回路構成は後述) を取ることで、遅延変動に対するオーバーヘッドの小さい回路を実現することができる。一方、クロストークノイズ、電源ノイズ・IR ドロップに関してはビット毎にばらつくため、組み合わせ回路とタイミング信号とで異なる遅延変動となる可能性がある。従って、クロック信号と同様にこれらの変動を見越してタイミング信号を設計しなければならず、ノイズによる遅延変動が増大すると速度オーバーヘッドが大きくなると言える。

● **2 線 2 相式データ転送：** 2 線 2 相式データ転送では、1 ビットの信号を肯定線と否定線の 2 本の信号線対を用いて表す 2 線式符号と、スペースを交互に遷移させることでデータ転送を行う。本方式ではビット毎にタイミング情報を持たせることで、前述のいかなる遅延変動が生じても正しく動作する回路を実現することが出来る。しかしながら、信号線数が 2 倍となり、必ず肯定線と否定線のいずれか一方が遷移するため消費電力が大きい。

ここで、各要因の変動が増加した場合、それに対して各タイミング信号を用いた時の速度オーバーヘッドに与える影響をまとめると表 1 の様になる。プロセス変動が大きくなるとグロー

表 1 遅延変動要因の影響の増加と速度性能オーバーヘッドの関係

	クロック	東データ	2 線 2 相
プロセス変動↑	↑	→	→
DVS 電圧変動↑	→	→	→
温度変動↑	→	→	→
クロストーク↑	↑	↑	→
電源ノイズ↑	↑	↑	→

バルクロック信号を用いる同期式システムでは速度性能に対するオーバーヘッドが大きくなるのに対し、ローカルなタイミング信号を用いる東データではその影響を小さく抑えることが出来る。また、2 線 2 相方式はいかなる遅延変動に対しても速度性能に対するオーバーヘッドは小さいが、消費電力が大きい点がペナルティとなる。従って、消費電力の小さい遅延非依存非同期式回路の実現や東データ方式と 2 線 2 相方式の利点を合わせたタイミング信号生成方式の設計が今後の重要な課題と言える。

次節以降では、局所領域における設計において、遅延変動に対するオーバーヘッドの小さい東データ方式に基づく非同期式回路を実現する方式について述べる。また、2 線 2 相式データ転送方式における消費電力削減手法に関して [19] に述べる。

4. 遅延変動特性を考慮した東データ方式非同期式回路

4.1 変動特性の異なる遅延セルライブラリの設計

要求-応答ハンドシェイクプロトコルとしてはいくつかのバリエーションが存在し [5]、そのプロトコルに応じて必要なタイミング信号の遅延の種類が異なる。例えば、2phase ハンドシェイクプロトコルでは、遅延線の立ち上がり・立ち下がり双方が、対応する組み合わせ回路のクリティカルパスの遅延よりも大きくなるように回路を設計する必要がある。稼働相と休止相を持つ 4phase ハンドシェイクプロトコルでは、遅延線の立ち上がりあるいは立ち下がり的一方のみ組み合わせ回路のクリティカルパスの遅延よりも大きくなるように回路を設計すればよい。その他いくつかのプロトコルが提案されているが [20]、いずれのプロトコルでも遅延線としては立ち上がり・立ち下がり双方を用いるか、あるいは立ち上がり・立ち下がり的一方を用いるものに集約することが出来る。

また、前述の通り、CMOS 回路において PMOS と NMOS の動作原理は異なるため、それぞれ遅延変動特性が大きく異なる。また、ソース・ドレイン方向の接続段数等、トランジスタレベルの回路構成の違いも遅延変動特性に大きな影響を与える。そこで、本稿では、遅延変動特性の異なる遅延素子ライブラリとして、立ち上がり・立ち下がり双方を利用する回路と、立ち上がりのみ利用する回路の二種類の構成を提案する。

● 組み合わせ回路の安定を示す信号生成に立ち上がり・立ち下がり双方を使用する場合

BUF ゲートを用い、立ち下がり・立ち上がり双方を用いる。遅延変動特性に多様性を持たせるため、図 1 に示すように、(c) 標準タイプの回路構成の他、(d) NMOS のソース・ドレイン接続を複数持つ構成、(e) PMOS のソース・ドレイン接続を複数

持つ構成を予めライブラリとして用意する。(c)~(e)の構成で

4.2 最適な遅延素子の選択方式

SDIモデルに基づく東データ方式非同期回路では、図3に示す様に、組み合わせ回路のクリティカルパスの予測遅延を De_{dp} 、組み合わせ回路の安定を示すタイミング信号生成パスの予測遅延を De_{st} としたとき、 $K \cdot De_{dp} < De_{st}$ となるように回路を設計することで、どのような遅延変動が生じたとしても信号遷移 $t1$ の方が信号遷移 $t2$ よりも先に生じることを保証することが出来る [9], [10]。 K の値は組み合わせ回路の遅延対

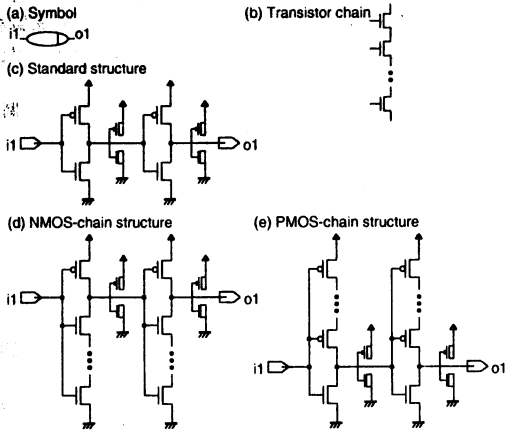


図1 BUF型遅延素子ライブラリの設計

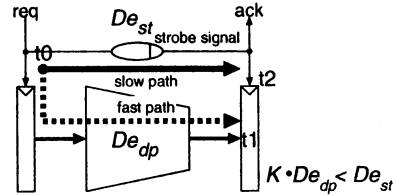


図3 SDIモデルに基づく東データ方式データ転送

は、立ち上がり・立ち下がりそれぞれの遷移で、入力側の chain 構造、あるいは出力側の chain 構造のいずれか一方のみが評価されるため、立ち上がり遅延と立ち下がり遅延の遅延変動特性を揃えることが出来る。従って、組み合わせ回路の安定を示すためのマージンを、立ち上がり遅延と立ち下がり遅延で同じ値とすることが出来る。

● 組み合わせ回路の安定を示す信号生成に立ち上がり遅延のみを用いる場合

図2(b)に示すように、chain 構造により、立ち上がり遅延を組み合わせ回路の遅延よりも大きくなるように設計する。図2(a)において、“+”マークのついた入力は立ち上がり方向のみ評価されるものを表す。また、BUF型遅延素子ライブラリと同様、遅延変動特性に多様性を持たせるため、図2に示すように、(c)標準タイプの回路構成の他、(d)NMOSのソース・ドレイン接続を複数持つ構成、(e)PMOSのソース・ドレイン接続を複数持つ構成を予めライブラリとして用意する。

するタイミング信号生成回路の遅延の標準状態におけるマージンを表しており、この値が $1(K \geq 1)$ に近いほど、遅延変動に対する速度オーバーヘッドが小さいことを意味する。従って、前述の異なる遅延変動特性を示す遅延素子ライブラリの中から、対象となる組み合わせ回路のクリティカルパスの遅延変動特性が近い、すなわち K の値が最も1に近い素子を選択することが出来れば、遅延変動に伴う遅延オーバーヘッドの小さい回路を実現することが出来る。

遅延素子ライブラリの中で最も K の値が小さい素子を選択する手順は以下の通りである。

(1) 初めに各変動要素に対して標準値と変動範囲 [11] を設定する。

(2) 設計した各遅延素子に関して、標準状態の遅延値と、各変動要素の変動範囲全ての組み合わせにおける遅延値を SPICE を用いて測定する。このとき、タイミング信号は同じ遅延素子をチェーン接続して設計されることを仮定し、入出力は同じ遅延素子として遅延値を求める。

(3) 得られた遅延値を基に、各遅延素子に関して、標準状態から各変動状態の遅延変動率 R_{st} を計算により求める。

(4) スタンダードセルライブラリに関して、標準状態の遅延値と、各変動要素の変動範囲全ての組み合わせにおける遅延値を SPICE を用いて測定し、PrimeTime や Design Compiler 等、タイミング解析ツール用のデータベースファイルを作成する。

(5) 評価対象回路の論理合成を行う。

(6) 論理合成を行った組み合わせ回路に関して、(4) で用いたデータベースファイルを用いて標準状態のクリティカルパスの遅延と、変動範囲内全ての組み合わせの状態におけるクリティカルパスの遅延をタイミング解析ツールを用いて求める。

(7) 得られたクリティカルパスの遅延値を基に、標準状態から各変動状態の遅延変動率 R_{dp} を計算により求める。

(8) 遅延素子ライブラリに含まれる遅延素子それぞれに対して、(3), (7) で求めた遅延変動率から、各状態における相対遅延変動率 $V = R_{dp}/R_{st}$ を求め、全状態の相対遅延変動率 V の中の最大値を求める。この値がその遅延素子の K となる。

(9) (8) により求められた遅延素子ライブラリに含まれる各遅延素子の K の値の中で最も1に近い値となる遅延素子が、対象とする組み合わせ回路のクリティカルパスの遅延変動特性

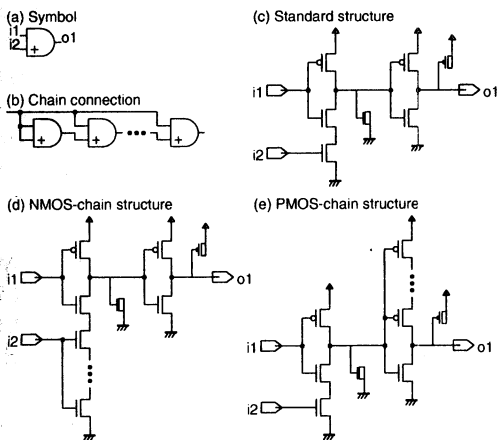


図2 AND型遅延素子ライブラリの設計

実際の設計では、NMOS、PMOSともにソース~ドレイン方向の接続段数は高々4段階程度に限定されるため、本稿では4段階までのセルライブラリを構築して評価を行った結果を示す。

に近い特性を持つ素子となる。

本方式では、各変動要素に対する標準値と変動範囲を設定した後にスタンダードセルライブラリ及び遅延素子ライブラリに含まれる素子全てに対して、各状態における遅延値を測定する作業が必要となる。この作業に最も時間がかかるが、一度ライブラリ・データベースを構築すれば論理合成以降の作業は数秒で実行することが出来る。

4.3 チップ製造後の動的な遅延線選択

従来のタイミング信号生成方式では、図3に示す様に単一の遅延線を用いる手法や、加算回路など入力信号に依存して大きく演算処理遅延が異なる回路を対象として、図4の様に、入力データから必要な演算処理遅延を求め、予め用意した複数の遅延線の中から最適なものを選択する方式[21]が用いられてきた。しかしながら、これらの方式では予め作り込まれた遅延線

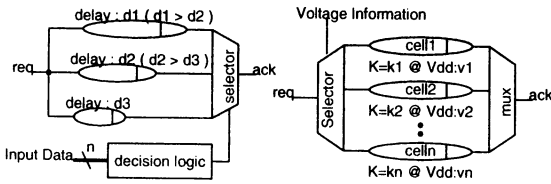


図4 Speculative Delayline. 図5 動的選択型タイミング信号回路

を用いるため、プロセス変動や動的電圧制御に伴う遅延変動に対してはマージンを大きく取る必要があり、速度性能を得ることが困難となる。

第2節で述べた通り、予測可能な遅延変動に対しては動的にタイミング信号を選択する機構を用いた方が遅延変動に対するオーバーヘッドの小さい回路を実現することが出来る。そこで、本稿では、図5に示す様に、環境に応じて動作時に動的にタイミング信号を選択することの出来る selectable-delay-line を用いることを提案する。図5に示す様に、電源電圧などの予測される変動値に合わせて、前述の遅延線ライブラリの中から最適な遅延素子と、その素子を用いたときのマージンの値 K を用いてタイミング信号生成回路を設計する。これを用いて動作時に環境変動に合わせてタイミング信号を選択することで遅延変動に対するオーバーヘッドを小さくすることが出来る。

また、図5では、選択された遅延線しか信号遷移を生じないため、図4の様に全ての遅延線が遷移するものと比較して消費電力を抑えることが出来る。

5. 90nm プロセスを用いた評価

5.1 評価環境

本節では、90nm テクノロジーを用い、ISCAS89 ベンチマーク回路に対して提案する遅延素子ライブラリ及び動的選択型タイミング信号回路を評価した結果を示す。各変動要素の標準値と変動範囲を表2と仮定する。また、提案した遅延セルライブラリとして、ノーマルタイプ、PMOS-chain タイプ、NMOS-chain タイプ、及び負荷容量それぞれの異なる遅延素子を AND 型、BUF 型でそれぞれ約 80 種類設計し、遅延素子ライブラリを構築した。

論理合成では、117 種類の基本ゲート及び複合ゲートからなるスタンダードセルライブラリを用い、Synopsys 社の Design Compiler を使用して ISCAS89 ベンチマーク回路の論理合成を行った。論理合成時にツールに与える制約により合成結果が大

表2 各変動要素の標準値と変動範囲

	標準値	変動範囲
プロセス変動 (PMOS, NMOS)	(Center, Center)	(Fast, Fast), (Fast, Slow) (Slow, Fast), (Slow, Slow)
電源電圧 [V]	1.0	0.8 ~ 1.1
温度 [°C]	50	25 ~ 100

きく異なるため、本稿では“遅延 × 電力”積の最も小さい回路を求め、その回路に対して前述の遅延素子ライブラリの中から最適な遅延素子を選択した。

5.2 評価結果と考察

遅延変動に対するオーバーヘッドの大きさを表す K の値を求めた結果を図6に示す。横軸はベンチマーク回路を表し、最右に平均値を示す。縦軸は K の値を表す。各ベンチマークに対して、提案手法を用いないスタンダードセルライブラリのみを用いた場合、提案する遅延素子ライブラリを用いて最適な遅延素子を選択した場合、及び DVS による電源電圧変動を考慮して各電源電圧毎に最適な遅延線を選択し、提案する動的選択型タイミング信号生成回路を用いた場合の各電圧 (0.8, 0.9, 1.0, 1.1) における K の値を示している。なお、平均値では各電圧の平均値を示している。

図6より、各ベンチマーク回路で遅延変動に対する速度オーバーヘッドはそれぞれ異なり、提案手法を用いることで 30~40%オーバーヘッドを削減できることがわかる。また、表3は動的選択型タイミング信号回路を用いた時に選択された遅延線の種類を示したものである。本稿で用いたテクノロジーでは、AND 型の遅延素子はほとんど標準タイプのものが選択されたが、BUF 型の遅延素子は回路毎に様々な遅延線が選択された。BUF 型のタイプ別の内訳より、異なる構成を持つ素子を遅延線として用意することは有効であると考えられる。

表3 選択された遅延線のタイプ

	AND-type	BUF-type
Standard structure	119	15
NMOS-chain	1	84
PMOS-chain	0	21

6. まとめ

本稿では、遅延変動特性の違いを考慮し、タイミング信号生成方式に関して検討した結果を示した。今後のテクノロジーでは、製造時のプロセス変動と、クロストークや電源ノイズなどのビット毎に異なる遅延変動となる動的な遅延変動の影響が大きくなることを述べ、消費電力の小さい遅延非依存非同期式回路の実現が必要であることを示した。また、東データ方式のデータ転送を行う非同期式システムに関して、異なる遅延変動特性を持つ複数の遅延線をライブラリとして設計し、組み合わせ回路の遅延変動特性に合わせて最適な遅延線を選択する方式を提案し、さらに環境などの遅延変動に合わせて動作時に動的に遅延線を選択する方式を取ることで従来の非同期式東データ方式よりも遅延変動に伴う速度オーバーヘッドの小さい回路を実現することが出来ることを示した。

本研究の遂行にあたり、科学研究費補助金基盤研究 (B) 17300013 及び若手研究 (B) 16700051、若手研究 (B) 17700049 のご支援を頂いた。また、本研究の一部は東京大学大規模集積システム設計教育研究センターを通し、シノプシス株式会社の協力で行われたものである。

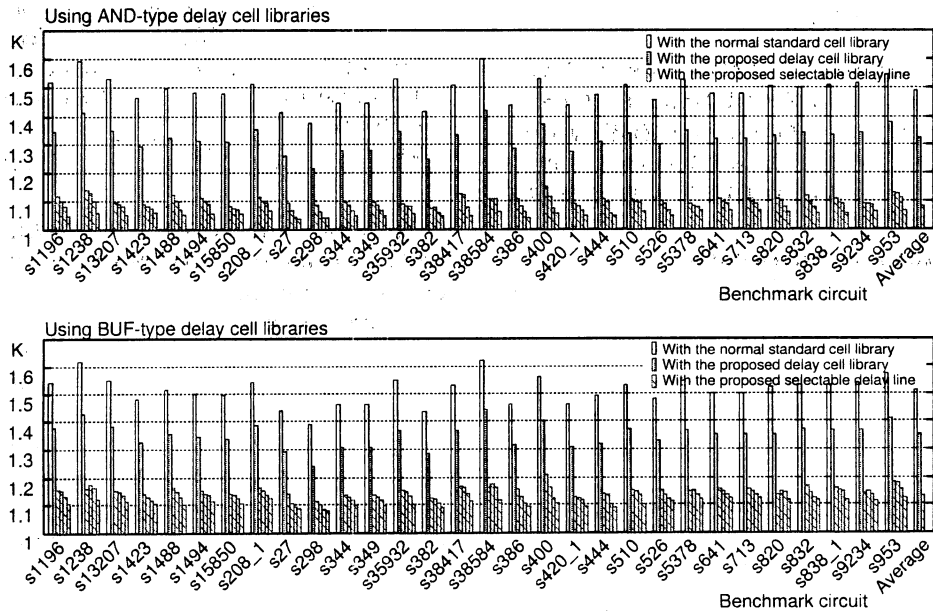


図6 遅延変動に伴うオーバーヘッド (相対遅延変動率の上限值 K)

文 献

- [1] International technology roadmap for semiconductors. <http://public.itrs.net/>, The 2004 Update.
- [2] Jingcao Hu, Youngsoo Shin, Nagu Dhanwada, and Radu Marchulescu. Architecting voltage islands in core-based system-on-a-chip designs. *Proc. ISLPED 2004*, pp. 180–185, Aug. 2004.
- [3] Amir H. Ajami, Kaustav Banerjee, Amit Mehrotra, and Massoud Pedram. Analysis of ir-drop scaling with implications for deep submicron p/g network designs. *Proc. ISQED03*, pp. 35–40, Mar. 2003.
- [4] Resve Saleh, Syd Zakir Hussain, Steffen Rochel, and David Overhauser. Clock skew verification in the presence of IR-drop in the power distribution network. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 19, No. 6, pp. 635–644, Jun. 2000.
- [5] Scott Hauck. Asynchronous design methodologies: An overview. *Proceedings of the IEEE*, Vol. 83, No. 1, pp. 69–93, January 1995.
- [6] Kenichi Okada, Kento Yamaoka, and Hidetoshi Onodera. A statistical gate-delay model considering intra-gate variability. *Proc. ICCAD03*, pp. 908–913, Nov. 2003.
- [7] Michael Orshansky and Kurt Keutzer. A general probabilistic framework for worst case timing analysis. *Proc. DAC 2002*, pp. 556–561, Jun. 2002.
- [8] Lizheng Zhang, Weijun Chen, Yuhua Hu, John A. Gubner, and Charlie Chung-Ping Chen. Correlation-preserved non-gaussian statistical timing analysis with quadratic timing model. *Proc. DAC 2005*, pp. 83–88, Jun. 2005.
- [9] Akihiro Takamura, Masashi Kuwako, Masashi Imai, Taro Fujii, Motokazu Ozawa, Izumi Fukasaku, Yoichiro Ueno, and Takashi Nanya. TITAC-2: An asynchronous 32-bit microprocessor based on scalable-delay-insensitive model. In *Proc. ICCD1997*, pp. 288–294, October 1997.
- [10] T. Nanya, A. Takamura, M. Kuwako, M. Imai, M. Ozawa, M. Özcan, R. Morizawa, and H. Nakamura. Scalable-delay-insensitive design: A high-performance approach to dependable asynchronous systems. In *Proc. International Symp. on Future of Intellectual Integrated Electronics*, pp. 531–540, Sendai, Japan, March 1999.
- [11] Masashi Imai, Metehan Özcan, and Takashi Nanya. Evaluation of delay variation in asynchronous circuits based on the scalable-delay-insensitive model. *Proc. Async2004*, pp. 62–71, Apr. 2004.
- [12] Matheos Lampropoulos, Bashir M Al-Hashimi, and Paul Rosinger. Minimization of crosstalk noise, delay and power using a modified bus invert technique. *Proc. DATE 2004*, pp. 1372–1373, Feb. 2004.
- [13] Tianpei Zhang and Sachin S. Sapatnekar. Simultaneous shield and buffer insertion for crosstalk noise reduction in global routing. *Proc. ICCD 2004*, pp. 93–98, Oct. 2004.
- [14] Makoto Nagata, Takashi Morie, and Atsushi Iwata. Modeling substrate noise generation in CMOS digital integrated circuits. *Proc. CICC 2002*, pp. 501–504, May 2002.
- [15] Makoto Nagata, Takeshi Okumoto, and Kazuo Taki. A built-in technique for probing power supply and ground noise distribution within large-scale digital integrated circuits. *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 4, pp. 813–819, Apr. 2005.
- [16] Dimitrios Velenis, Eby G. Friedman, and Marios C. Papaefthymiou. Clock tree topology extraction algorithm for improving the tolerance of clock distribution networks to delay uncertainty. *Proc. ISCS 2001*, Vol. IV, pp. 422–425, May 2001.
- [17] Bing Lu, Jiang Hu, Gary Ellis, and Haihua Su. Process variation aware clock tree routing. *Proc. ISPD 2003*, pp. 174–181, 2003.
- [18] Dan Ernst et al. Razor: A low-power pipeline based on circuit-level timing speculation. *Proc. Micro 2003*, pp. 7–18, Nov. 2003.
- [19] 渡邊孝一, 今井雅, 近藤正章, 中村宏, 南谷崇. bit 単位の遅延変動を考慮した高性能低消費電力演算回路の設計. 電子情報通信学会技術研究報告 Design Gaia 2005, Nov. 2005.
- [20] I. Blunno, J. Cortadella, A. Kondratyev, L. Lavagno, K. Lwin, and C. Sotirou. Handshake protocols for de-synchronization. *Proc. Async2004*, pp. 149–158, Apr. 2004.
- [21] Steven M. Nowick, Kenneth Y. Yun, and Peter A. Beerel. Speculative completion for the design of high-performance asynchronous dynamic adders. In *Proc. Async1997*, pp. 210–223, Apr., 1997.