

FPGA の遠隔再構成法の提案とその検証

丹野 博[†] 坪川 宏^{††}

† 東京工科大学大学院バイオ・情報メディア研究科

〒192-0982 東京都八王子市片倉町 1404-1

†† 東京工科大学コンピュータサイエンス学部

〒192-0982 東京都八王子市片倉町 1404-1

E-mail: †tanno@tb.in.teu.ac.jp, ††tubo@tb.cs.teu.ac.jp

あらまし FPGA は ASIC とは異なり、内部に書き込まれる回路情報を容易に変更することができ、仕様変更やバグフィックスをソフトウェア的に行うことができるという利点がある。これは、FPGA そのものではなく外部に接続された Configuration ROM とよばれるデバイスに回路情報を書き込むためである。しかし、Configuration ROM への回路情報の書き込みはコンピュータを介することが一般的であり、出荷後の製品の再構成などは技術者がコンピュータを個々に接続する必要があった。そのためアクセス不可能な場所へ設置された FPGA の回路情報の更新には多くの問題があった。そこで、本研究ではネットワーク接続された FPGA へ新たに回路情報を書き込み、再構成するための手法について提案する。また、回路情報の書き込み失敗時など不具合が発生した際のリカバリー方法についても検討し、実装・検証を行った。これにより、遠隔地からの回路情報の更新がより安全に可能になった。

キーワード FPGA、遠隔再構成、障害管理

The Proposal and Verification of FPGA Remote-Reconfiguration.

Hiroshi TANNO[†] and Hiroshi TSUBOKAWA^{††}

† Graduate School of Bionics, Computer and Media Sciences, Tokyo University of Technology

1404 Katakura, Hachioji, Tokyo 192-0982, Japan

†† School of Computer Science, Tokyo University of Technology

1404 Katakura, Hachioji, Tokyo 192-0982, Japan

E-mail: †tanno@tb.in.teu.ac.jp, ††tubo@tb.cs.teu.ac.jp

Abstract FPGA has the advantage that it differs from ASIC, circuit information written internally can be changed easily. Therefore, we can do a change of hardware specifications and a revision of a program by software. It is possible so that circuit information is recorded in the device that is called Configuration ROM of the FPGA outside. However, we have to use a personal computer to download circuit information to Configuration ROM, and after product shipment, an engineer has to cope individually at the establishment place. Then we propose new technique to connect FPGA to a network. In Addition, we examine a new recovery method when we failed a programming of circuit information. Finally, we do implementation and verify it. As a result, we can reconfigure FPGA dynamically in remoteness.

Key words FPGA, Remote reconfiguration, fault management

1. はじめに

近年、半導体プロセス技術の発達により、内部回路情報をプログラム的に変更することが可能なデバイスが数多く発売され、様々な機器に実装されるようになってきた。この再構成可能デバイスは一般的に CPLD (Complex Programmable Logic Device) や FPGA (Field Programmable Gate Array) と呼ば

れ、汎用論理回路換算で数千から数十万ゲート規模の回路を一つの IC の中に実現することが可能となっている。

現在この回路情報は HDL (Hardware Description Language) とよばれるハードウェア記述言語により開発され、対象となるデバイスに書き込まれる。一般的にはライターとよばれる専用の装置により書き込みが行われるが、ISP (In System Programming) 機能の拡充とともに製品に実装された状態での書き換えが行わ

れ、開発段階以降の仕様変更やバグフィックスなどのアップグレードが可能となってきた。ISPにはJTAGとよばれる通信方式を用いるため、専用のコミュニケーションツールが必要であり、ホストコンピュータと密接な関係にある。このため、ISPにはコンピュータ及び技術者が書き換え対象の機器に接している必要があり、出荷後の製品の再構成や人間がアクセス不可能な場所に設置された機器への適用には問題がある。

本研究ではネットワーク接続されたFPGAの遠隔再構成手法について提案を行い、周辺ハードウェア制作並びに提案する動的再構成を実現するソフトウェア実装により、その有効性を検証する。具体的には、FPGAとネットワーク接続のための周辺機器の構築、書き換えを命令するパケットの定義、更新する回路情報の送受新方法で実現する。また、回路情報の書き換えをネットワークにより遠隔から行うことによって発生すると予想される障害のリカバリー方法についても検討し、Xilinx社製FPGAであるSpartan-3にて実装を行う。以下、2章では現在のFPGAの再構成技術及び、問題点について、3章ではネットワーク接続による再構成法を提案する。4章で実装を行い、5章でまとめとする。

2. 従来のFPGA再構成技術とその問題点

2.1 従来のFPGAの接続方法

通常ISPによる回路再構成は図1[1]のようにホストコンピュータに接続されたダウンロードケーブルとよばれる専用のツールによりデータの転送が行われる。

これは、ホストコンピュータとFPGAデバイス間でのプロトコルが規定されているため、同一メーカーのデバイスであれば共通に使用することができる。プロトコルは厳格に規定されており仕様は公開されている。通常複数の書き込み方式がサポートされており、各メーカー独自の書き込み方法や、IEEEにより標準化されているものもある。

2.2 従来のFPGAの再構成法

IEEE std. 1149.1-1990は「バウンダリスキャン」とよばれる技術を規定したものである。バウンダリスキャンはデバイスに対して動作テストをするために開発された技術で、作業部会(JTAG:Joint Test Action Group)の名称が通称名として使われることが多い。本来はデバイスとのコミュニケーションのために規定されたが、その副産物としてFPGAの再構成が可能となった。標準化されているため、対応デバイスには同様の手

法でISPが可能である。

2.3 Configuration ROMによる再構成

FPGAは内部構成がSRAMとなっているため、電源断毎に内部の回路情報が消失してしまう。前述のダウンロードケーブルによりISPが可能だが電源投入毎に行うのは非効率である。そのため、FPGAの外部にEEPROMを接続し、その内部に回路情報を書き込み、電源投入時にスタンドアロンでISPを行うためのデバイスがConfiguration ROMである。デバイス毎に対応するConfiguration ROMが規定され、電源投入と同時にFPGAが自立的にISPを行うものである。Configuration ROMへの書き込みもJTAGにより行うことができるため、ISPそのものの利便性に変化はない。

2.4 問題点

FPGAへの回路情報の書き込みには、対象毎に手順をとる必要があり、人間が手の届く距離で作業をする必要があった。また、多くの機器の回路情報を更新する必要がある場合にも、個々に適用する必要があり、数多くの機器を同時に更新することには困難となる。

3. ネットワークによる動的再構成法の提案

以下にネットワーク接続されたFPGAの回路情報を動的に変更する手法について提案する。はじめに構成対象となる機器の条件を挙げ、回路情報を送信する方法について述べる。次に、送信した情報をConfiguration ROMへの書き込み、信頼性を向上させるための手法について述べ、全体の送信手順を図示する。

3.1 デバイス構成

動的に再構成する対象デバイスは下記の条件により使用されているものとする。

- プライベートIPアドレスが割り当てられること。
- 同一網内から回路情報を送ることができるコンピュータがある。

次に、FPGAとネットワークインターフェースの接続としては、様々な形態が考えられるが、間に別のデバイスを介さずに直接接続される形態を基本とする。一般的にネットワークインターフェースは外部メモリとして振る舞うことが多く、FPGAとの接続で問題になることは少ない。10Base-T対応のネットワークインターにRealtek社製のRTL8019ASというデバイスがある。このデバイスとFPGAの接続には、アドレスバス10bit、データバス8/16bit、それぞれ1bitのライトイネーブル、リードイネーブル、割り込み信号のみの接続で制御することができる。同じくRealtek社のデバイスとしてRTL8201というものがあり、共通化されたインタフェースのMII(Media Independent Interface)インタフェースにより接続をすることができる。MIIインタフェースはネットワークコントローラとメディアインタフェースをそれぞれ独立したデバイスとし、それらの間のインタフェースを規定した仕様である。FPGAやマイコンなどで容易にアクセスすることが可能で、組み込み機器などで多く採用されているものである。

本提案では、HDLプログラミングや再構成をする際に更新

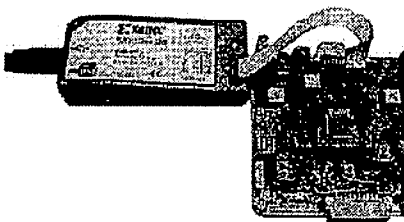


図1 ダウンロードケーブル

機器を特定するために MAC アドレスやピン配置、実装デバイスを知る必要がある。今回の実装では、ネットワークインターフェースはネットワーク変換デバイスである XPort を使用することで基本機能の確認を行う。

3.2 回路情報の送信

回路情報は IP パケットとして送信をする。図 2 に IP パケットのヘッダ構成を示す。

0	4	8	16	31
Version	Dst. Identification	TypeOfService	TotalLength	FragmentOffset
TimeToLive	Protocol	SourceAddress	HeaderChecksum	DestinationAddress
Options		Padding		
Data				

図 2 IP パケットヘッダ

このうち、Protocol フィールドにある値を判断することで、回路情報かどうかを判断する。プロトコル番号は IANA によって指定されているが、255 個ある番号のうち、134~252 番については Unassigned となっているため、このうちのいずれかの番号を使用する。

Xilinx 社の主要 FPGA 製品である SPARTAN3 シリーズの各デバイスを再構成するために必要なデータサイズを図 3[2] に示す。

Spartan-3 FGAs	Configuration Bits
XC3S50	326,784
XC3S200	1,047,616
XC3S400	1,669,136
XC3S1000	3,223,488
XC3S1500	5,214,784
XC3S2000	7,673,024
XC3S4000	10,397,824
XC3S6000	12,275,072

図 3 Configuration ROM に必要な容量

ここで、XC3S はシリーズ毎に付与される冠詞であり、以降の数字がゲート数を表す。たとえば XC3S50 は、SPARTAN3 シリーズのゲート数 50k の製品となる。

ネットワーク接続機能を実現するために十分と思われるデバイスは SC3S200 であり、回路情報規模は最大でも約 128Kbytes(1047616bits) となる。

これは、100 程度の IP パケットにより送信できるサイズであり、ネットワークにより回路情報を送る際に帯域などの制限は問題にならない。

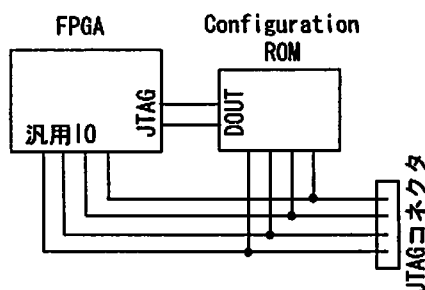


図 4 Configuration ROM の接続

3.3 Configuration ROM への書き込み

FPGA 及び Configuration ROM の接続例を図 4 に示す。

Configuration ROM は外部へは一般的な JTAG 接続をしていると見なすことができ、ホストコンピュータからダウンロードケーブルにて手で回路情報を書き込む場合は、JTAG コネクタを使用し統一の方法で書き込みをすることができる。FPGA は汎用の IO ポートに接続されているが、FPGA の未構成状態の起動時はハイインピーダンスになるとデータシートに規定されているため、JTAG コネクタからは Configuration ROM のみが接続されていると見なすことができる。

FPGA から Configuration ROM はあるバスによって接続されている一つの EEPROM として見なすことができ、FPGA が JTAG 信号をエミュレートすることにより、Configuration ROM へアクセスすることができる。

Configuration ROM の回路情報を使用して FPGA を再構成する際には、Configuration ROM の情報を FPGA に送り出すことにより行われる。

3.4 ネットワーク接続による更新

ネットワークより回路情報を送信し、Configuration ROM へ書き込む手順について示す。

本提案におけるハードウェアへの初回書き込み時はネットワーク接続機能を有さないため、基板上へ実装する前に ROM ライタなどを利用しあらかじめ書き込まれた Configuration ROM を用いるか、基板実装された Configuration ROM に対し JTAG ポートを利用し直接書き込む必要がある。

初回の Configuration ROM への書き込みが行われた後はネットワーク接続機能が有効になり、下記の手順に従って回路情報を送信することで、新たな回路情報による再構成が可能となる。

FPGA に直接つながっているネットワークインターフェースは 3.2 項の形式によってパケットを受信し、内容が回路情報であるかを判断する。

その後、得られた回路情報と JTAG 書き込みに必要な信号を生成し、図 4 に示すように接続した Configuration ROM へ対し送出する。

3.5 信頼性の向上

前述の提案によりネットワーク接続された FPGA の動的な再構成が可能となったが、基本機能のみで対策を講じなかった

場合に予想し得る問題点には下記のようなものがある。

- 通信路上での改竄による不正なデータによる再構成
- 通信路上でのデータの欠落
- 適合しないデバイスや、ハードウェアへの回路情報による再構成
- Configuration ROM への書き込み不良
- 送信した回路情報のバグによる動作不良

これらの問題を回避し、より安全にネットワーク接続による再構成機能を実現するための本研究での提案事項について述べる。

3.5.1 送信データのセキュリティ

回路情報をネットワークに流すことによるセキュリティリスクの回避は内容を暗号化することにより行う。ネットワーク接続機能と同時に FPGA に複合化回路を実装することで、ネットワーク内を流れるパケットを暗号化することが可能にある。

回路内部への物理的なアクセスによる回路情報の取得はデバイスの構造上不可能であり、唯一データにアクセス可能な通信路での暗号化を行うことにより、より強固なセキュリティを確保することができる。

また、対象のデバイス情報である、デバイスやピン配置を知り得ない限り正常に動作する回路情報を得ることは不可能であるため、最悪のケースでも不正なデータによる回路の停止に留まり、致命的な誤動作を起こすことは不可能である。

3.5.2 データの検証

回路情報のパリティ情報や CRC 情報を事前に送信することにより、受信後に FPGA が経路内でのビット変化や、パケットの欠落を知ることができる。また、デバイス情報などから自身へのデータであるかを判断することで、同一ネットワーク内にネットワーク接続による再構成機能を持ったデバイスが複数ある場合でも、どのデバイスに対する回路情報なのかを判断することができ、誤った回路情報による動作不良を避けることができる。

3.5.3 書き込みミスからの復帰

以前のように技術者がダウンロードケーブルなどによる手動での再構成を行った場合、書き込みの失敗や、回路情報の不備によるトラブルに遭遇しても対処は容易であった。しかしながら、ネットワーク接続による再構成では、書き込みの終了ですら直接確認する以外に方法はなく、失敗した場合の対処はほぼ不可能であった。特にネットワーク接続機能を失ってしまった場合、バグフィックスした回路情報が手元に存在しても送信する手段はなく、設置場所から持ち出す以外の方法をとることができない。

そこで、本機にはこの問題への対策としてマイコンなど物理的に別のデバイスを実装し監視を行う。具体的には、回路情報にはネットワーク機能が起動していることを知らせるための信号を出力する機能を付加しておき、この信号を外部により常時監視することで実現する。

電源投入から再構成が終了する時間はデバイスによってほぼ固定であるため、その時間が経過してもネットワーク機能の起動を知らせる信号が入力されなかった場合、Configuration ROM

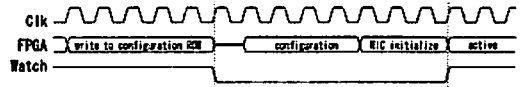


図 5 FPGA 自己再構成タイミング

へ書き込まれている回路情報が不正であると判断し、マイコンあらかじめ用意してあるバックアップ用の Configuration ROM から回路情報を新たに書き込むように処理を行い、FPGA を再構成するよう再起動をさせる。

再構成が正しく行われた場合のタイミングチャートの概略を図 5 に示す。

正常動作時の FPGA は常に監視用信号 (Watch) に High を出力しているため、その信号が Low になることでリセットを検知する。監視用信号が一定時間後に再び High にならない場合、起動時に正常にネットワーク接続機能が構成されなかったと判断をし、Configuration ROM に標準的な回路情報を書き込み再起動させる。

これにより、Configuration ROM への書き込み時に障害が発生しても新たに回路情報を書き込むことを可能とし、ネットワーク接続が不可能となる最悪の事態を回避することができる。

3.6 FPGA のデータ受信手順

以上の手順により FPGA の回路情報を更新する場合の手順を図 6 に示す。

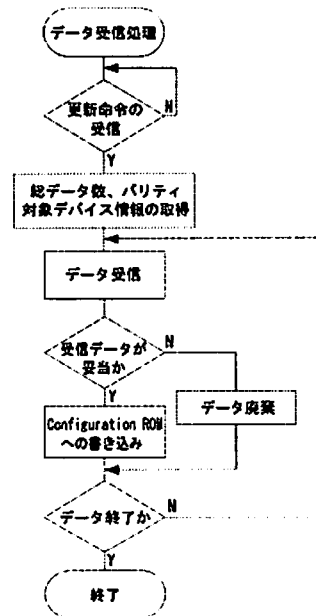


図 6 データ受信手順

FPGA は受信したパケットから更新情報が続くかどうかを Protocol フィールドの値によって判断し、更新手順を開始する。続いて送られてくる総データ数、パリティ、対象デバイス情報などの値により更新対象を特定する。続いて、データを受

信する毎にパリティ計算などでデータの妥当性を検証し、問題がなければそのデータを Configuration ROM へ書き込む。これらをデータの終了まで繰り返すことにより更新を実現する。

これによりネットワーク接続された FPGA をネットワーク接続特有のリスクに耐性を持った安全な再構成が可能となる。

4. 実装

ここまでの提案を実際の機器に実装して検証をする。

4.1 使用デバイス

以下のデバイスを使用して検証を行う。

- FPGA: Xilinx SPARTAN-3 XC3S50
- ネットワーク変換デバイス: XPort
- Configuration ROM: Xilinx XCF01S
- マイコン: Renesas H8/3069F

4.2 回路ブロック

図 7 に回路ブロック図を示す。

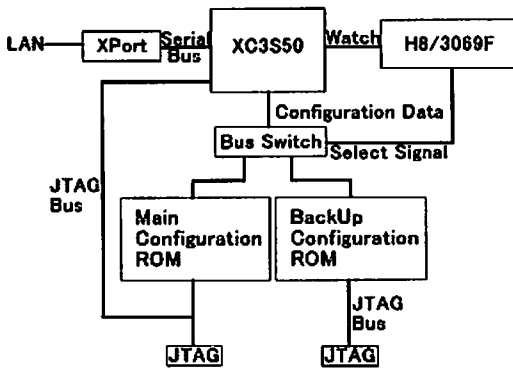


図 7 回路ブロック図

回路内に複数存在する Configuration ROM はそれぞれ、メインとして常時使用するものと、異常時に復帰するため用いるバックアップ用のものがある。

- メイン Configuration ROM

FPGA が JTAG 信号をエミュレートすることにより内部情報を書き換えることが可能な接続形態となっている。

- バックアップ Configuration ROM

ネットワークによる更新処理を可能とする機能があらかじめ書き込まれているものであり、FPGA など外部より書き換えられることがないよう物理的に切り離されている。この Configuration ROM へ書き込む際は JTAG ポートへダウンロードケーブルによるアクセスにより行う。

4.3 Configuration ROM の切り替え

Configuration ROM からのコンフィグレーション方法には規定されたいくつかの方法があるが、もっとも一般的なマスターモードとよばれる方式により行う。これは、FPGA がクロックを送出し、Configuration ROM はクロックに同期したデータをシリアル出力するものである。

コンフィグレーションには以下の信号線が用いられる。

- CCLK

入出力ピン。シリアルデータを同期させるための信号。マスターモードでは FPGA の出力ピンとなる。

- DIN

入力ピン。シリアルデータの入力を受ける。

- DONE

出力ピン。コンフィグレーションが終了したことを示すピン。

- INIT

出力ピン。コンフィグレーションを開始することを知らせるピン。

- PROG

入力ピン。Low パルスを受け取ることでコンフィグレーションを開始する。

図 7 におけるコンフィグレーション時に使用する Configuration ROM の切り替えは、各 Configuration ROM と FPGA の間に割り込ませた Bus スイッチ IC によって行う。この IC はバス出力時はハイインピーダンスになるため、入力信号通しをワイヤード OR にて結線した。この Bus スイッチ IC の出力バス制御は H8 マイコンにより行われる。

4.4 メイン Configuration ROM の更新

回路情報を更新する手順を示す。図 7 に示すように FPGA とメイン Configuration ROM の JTAG バスは直接接続されている。ここへ FPGA が JTAG 信号をエミュレートすることにより書き込みが行われ、更新が終了する。FPGA は XPort よりシリアル化されたデータを受け取る。本実装ではパケットの解析などは XPort 上で簡易的に行った。データを受信した FPGA は書き込み同期用のクロック信号などの生成をし、JTAG エミュレートを行いながらデータの送出を行う。

4.5 バックアップ ROM からの復帰

メイン Configuration ROM に書き込まれたデータからの起動に失敗した場合、H8 マイコンはバックアップ ROM からの復帰を行う。図 5 の監視信号をモニターし、異常を検知した場合、下記の作業によりバックアップ Configuration ROM からデータを読み出す。

- Bus スイッチ IC の切り替え

メイン Configuration ROM からの信号をブロックする。

- PROG 信号のセット

FPGA の再コンフィグレーションを指示するために PROG 信号をリセットする。

以上により、FPGA から発生したクロックはバックアップ Configuration ROM へ送出され、正常なコンフィグレーションが行われる。

5. まとめ

本研究では、遠隔地からネットワークを利用して FPGA の再構成を行うための手順を示し、その際に考えられる問題点について解決法を示した。FPGA にネットワーク接続機能を実装し、この機能を利用して自立的に回路情報を書き換えようとする場合、Configuration ROM へどのようにして書き込むかが問題となる。この問題では FPGA が通常用いられる JTAG 接

統機能をエミュレートする方法による解決法を提示した。また、FPGA にネットワーク接続機能が実装されている場合、誤った回路情報やバグを含む回路情報であった場合、ネットワーク接続機能そのものまで失われてしまう危険性がある。これはFPGA 以外のデバイスにより FPGA の動作を監視し、あらかじめ信用のおける回路情報をバックアップとして用意し、動作不能時にこの回路情報による再構成を行うことで回避できることを示した。今後の検討課題としては、今回実装に使用した XPort の他にも FPGA が直接ネットワークインターフェースを操作できるようなデバイスに対応する予定である。

文 献

- [1] XILINX Platform Cable USB
URL: <<http://direct.xilinx.com/bvdocs/publications/ds300.pdf>>
- [2] XILINX Spartan-3 Frequently Asked Question.
URL: <http://direct.xilinx.com/bvdocs/publications/j_ds099.pdf>
- [3] 横山 浩之 戸田 賢二
FPGA を用いたコンテンツ保護システムの開発
情報処理学会研究報告 - システム LSI 設計技術 pp.145-150,
2005 年
- [4] 永田 和生 田代 輝 身次 茂 柴村 英智 久我 守弘 末吉 敬則
FPGA 遠隔再構成とリモート・ロジックアナライザ
情報処理学会研究報告 - システム LSI 設計技術 pp.101-106,
2004 年