

Flex Power FPGAにおけるしきい値制御用 バイアス電圧値組合せの最適化について

河並 崇[†] 日置 雅和[†] 松本 洋平[†] 堤 利幸^{†,††}
中川 格[†] 関川 敏弘[†] 小池 汎平[†]

[†]産業技術総合研究所 エレクトロニクス研究部門 エレクトロインフォマティクスグループ
〒305-8568 茨城県つくば市梅園 1-1-1

^{††}明治大学 理工学部 情報科学科 〒214-8571 神奈川県川崎市多摩区東三田 1-1-1
E-mail: †{t-kawanami,h.koike}@aist.go.jp

あらまし Flex Power FPGA はトランジスタのしきい値電圧を電氣的に制御することにより、高速化と低消費電力化を可能とした新しいアーキテクチャである。本稿では、Flex Power FPGA 上で設定する高速トランジスタと低消費電力トランジスタに割り当てる最適なバイアス電圧の組み合わせの検討を行う。

キーワード FPGA, VPR, しきい値電圧制御, ボディバイアス電圧, 低消費電力

Optimization of Body Bias Voltage Set for Threshold Voltage Control in Flex Power FPGA

Takashi KAWANAMI[†], Masakazu HIOKI[†], Yohei MATSUMOTO[†], Toshiyuki TSUTSUMI^{†,††},
Tadashi NAKAGAWA[†], Toshihiro SEKIGAWA[†], and Hanpei KOIKE[†]

[†]Electroinformatics Group, Nanoelectronics Research Institute, AIST
1-1-1 Umezono, Tsukuba, Ibaraki, 305-8586, Japan

^{††}Meiji University 1-1-1 Higashi-mita, Tama, Kawasaki, Kanagawa, 214-8571, Japan
E-mail: †{t-kawanami,h.koike}@aist.go.jp

Abstract The Flex Power FPGA is a new FPGA architecture which enabled high speed operation and low power-consumption by controlling threshold voltage of transistors. This paper discusses the optimal threshold voltage set for threshold voltage control in the Flex Power FPGA.

Key words FPGA, VPR, threshold voltage control, body bias voltage, low power-consumption

1. ま え が き

Field-Programmable Gate Array (FPGA) は製品の開発工期を短くでき、仕様や設計変更への早期対応ができるなどの利点から広く用いられるようになってきた。近年、FPGA は高速でかつ大規模なものも登場し更なる性能向上への期待が高まっているが、高速化と大規模化が進んだ結果、消費電力の問題が無視できなくなってきた。そのため、FPGA の活用可能範囲を拡げるためには更なる高速化と消費電力の改善の両立が必須である。さらに、次世代デバイスにおいては、消費電力の原因の大部分はサブスレッショルドドリーク電流によるスタティックパワーで占めるようになるといわれている [1]。特に FPGA においては、回路のプログラムされない未使用部分までもが

スタティックパワーを発生させる原因になるためこの点により深刻になると考える。なお、以後本稿で用いる消費電力はスタティックパワーのことを示すとす。

サブスレッショルドドリーク電流を抑制する手法として、トランジスタのしきい値電圧 (V_{th}) 制御がある。 V_{th} を高く設定すればサブスレッショルドドリーク電流は指数関数的に減少するが動作速度は遅くなり、 V_{th} を低く設定すれば動作速度は速くなるがサブスレッショルドドリーク電流は指数関数的に増大する。このように、サブスレッショルドドリークと動作速度の間にはトレードオフの関係がある。このトランジスタの特性を用いて、回路中のクリティカルパスは高速 (低- V_{th}) にそれ以外の部分は低ドリーク電流 (高- V_{th}) にというように回路を注意深く設計すれば、動作速度と消費電力のバランスの取れたロ

ジックデバイスの実現が可能となる。この手法を実際に応用した例としては、IntelがPentium 4等を設計する際に使用したDual- V_{th} CMOS [2]や、IBMがPower 5を設計する際に使用したTriple V_{th} device [3]などが挙げられる。しかしながら、FPGAはプログラマブルなロジックデバイスであるため、実際の回路がソフトウェアによってプログラムされるまでクリティカルパスが確定しない。したがって、デバイス設計時にあらかじめ V_{th} を最適化することが難しいという問題点がある。

そこで我々は、 V_{th} を電気的に制御する方法を用い、FPGAへ回路を実装後に最適な V_{th} を設定することにより動作速度とスタティックパワーを柔軟に変更できる新しいFPGAであるFlex Power FPGA (FP)²GAを提案し、また評価ツールFlex Power VPRを開発し研究を進めている[4]~[7]。

トランジスタの V_{th} を電気的に制御する方法としては、バルクMOSFETのボディバイアスの制御による方法[8]や、著者の一人が1980年にXMOSとして発明した、4端子ダブルゲートMOSFET[9]の第二のゲートに印加する電圧を変化させる方法が挙げられる。我々は、XMOSFETのキラーアプリケーションの一つとしてFlex Power FPGAの研究を進めているが、ここでは現在の技術で実現可能なバルクMOSFETのボディバイアス制御を想定して行うことにする。

本稿では、Flex Power FPGAにおける V_{th} 制御用バイアス電圧値の組合せについて検討を行う。Flex Power FPGAで使用する V_{th} は、少なくとも高速トランジスタ用と低消費電力トランジスタ用の2つ用意する必要があり、それぞれの V_{th} を決定するために供給するバイアス電圧の値は非常に重要である。さらに、より最適な V_{th} の割り当てを実現するには、 V_{th} のステップ数の検討、つまりバイアス電圧の供給数も重要である。このバイアス電圧の組合せの問題は、Flex Power FPGAに実装する回路の動作目的により議論が多方向にわたるため、今回は供給されたバイアス電圧で回路を最高速で動作させることを前提に、その速度を維持しながら低消費電力化を行う組合せの検討を行う。

本稿の構成は、第2節でFlex Power FPGAの概要を述べ、第3節ではしきい値制御バイアス電圧値と V_{th} ステップ数の検討を行う。そして、第4節で最適なしきい値制御バイアス電圧値と V_{th} ステップ数を探索し、最後にまとめる。

2. Flex Power FPGA

Flex Power FPGAはトランジスタの V_{th} を電気的に制御する方法を用いることにより、FPGAの構成要素ごとに速度と消費電力を柔軟に制御することのできる新しいアーキテクチャである。何ステップかの V_{th} を電気的に制御する手法を用いることにより、配置・配線後に要求に応じた適切な V_{th} が設定可能となる。これにより、元来のFPGAの特徴であった回路柔軟性だけでなく速度・消費電力についても柔軟性を持たせることができる。

図1は2種類の V_{th} を使用する際のFlex Power FPGAの概念図である。Flex Power FPGAは電源電圧とは別に V_{th} 制御用のバイアス電圧が供給される。この供給された電圧を内部

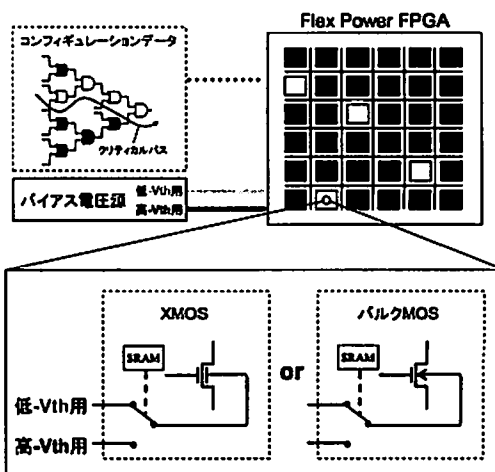


図1 Flex Power FPGA の概念図

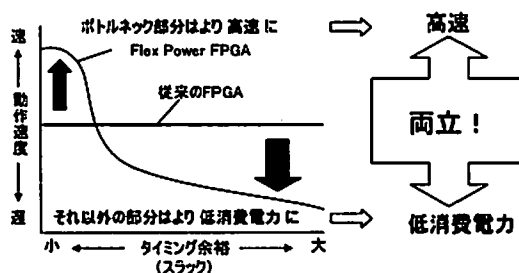


図2 従来のFPGA との比較

のスイッチにより切り替えることにより、配置・配線後に適切な V_{th} を設定することができる。図1のような回路をコンフィギュレーションデータとしてFlex Power FPGAにマッピングした場合、クリティカルパス等のタイミング余裕(スラック)の小さい部分には低い V_{th} を割り付け(図1の淡い色のセル)、スラックの大きい部分には高い V_{th} を割り付ける(図1の濃い色のセル)。この結果図2のように、従来のFPGAではどのようなスラックに対しても一定であった動作速度が、Flex Power FPGAではボトルネック部分はより高速に、それ以外の部分はより低消費電力にでき、高速かつ低消費電力な動作が期待できる。

3. しきい値制御バイアス電圧値と V_{th} ステップ数の検討

Flex Power FPGAは最低でも2種類の V_{th} を構成要素ごとに設定することによって、高速と低消費電力の両立を行っている。この時、高速動作モードトランジスタ用と低消費電力モードトランジスタ用の各 V_{th} は、制御単位毎に分離したウェルに印加するバイアス電圧で決められ、そのバイアス電圧値の決定はFlex Power FPGAの重要な設計要素である。また、 V_{th} ステップ数はより多いほうが消費電力の削減に効果的であること

表1 バイアス電圧によるクリティカルパスディレイと消費電力の変化

bias voltage	+0.6	+0.4	+0.2	0.0	-0.2	-0.4	-0.6	-0.8	-1.0	-1.2
critical path delay	90.6%	93.8%	96.9%	100.0%	105.5%	111.2%	117.0%	125.4%	134.0%	142.4%
static power	1865.6%	694.0%	261.8%	100.0%	36.0%	13.0%	4.78%	1.98%	0.88%	0.44%

が過去の研究で分かっているが[4],[7], V_{th} ステップ数を多くすると面積オーバーヘッドが増加することから[5], V_{th} ステップ数もまた重要な検討事項である。本節では、バイアス電圧値の検討と V_{th} ステップ数の検討を行う。

3.1 バイアス電圧値の検討

一般的なデジタル回路では、NMOS トランジスタのボディに印加するバイアス電圧はグラウンドと共通にするが、これにプラス方向のバイアス（フォワードバイアス）電圧を印加すると、 V_{th} が下がりオン電流は増えるがサブスレッショルドリーク電流も増えてしまう。逆に、マイナス方向のバイアス（リバースバイアス）電圧を印加することにより、 V_{th} が上がりオン電流は減少するがサブスレッショルドリーク電流も減少する。

表1は単一のバイアス電圧で構成するFPGAを仮定し、NMOS トランジスタのウェルに印加するバイアス電圧を+0.6Vから-1.2Vまで変化させた場合の、10個のMCNCベンチマーク回路[10]^(注1)の平均クリティカルパスディレイと平均消費電力の変化を0.0Vをベースラインとして示している^(注2)。FPGA全体のバイアス電圧を0.0Vから-1.2Vに変化させると、クリティカルパスディレイは42%増加するが消費電力は0.44%まで削減できる。一方、0.0Vから+0.6Vに変化させると、クリティカルパスディレイは9.4%減少するのに対し消費電力は1865.6%にまで増大する。これは、最も大きいフォワードバイアス電圧は消費電力はかなり犠牲にするが速度限界を決定し、最も小さいリバースバイアス電圧は速度をかなり犠牲にするが最低消費電力を決定するということがいえる。

一方、Flex Power FPGAでは2種類以上の V_{th} を使用することで、動作速度を維持しながら低消費電力化することが可能であるが、供給するバイアス電圧の選択は注意が必要である。低- V_{th} 用に供給するバイアス電圧の選択は、単一バイアス電圧を利用するFPGAと同様に速度限界を決定するが、その対となる高- V_{th} 用バイアス電圧は、単純に低く設定したからといって最も低消費電力化できるわけではない。なぜならば、低- V_{th} から高- V_{th} に変更するには、消費電力だけでなく変更箇所ディレイの変化とスラックにも注意しなければならないためである。

表1に示すように+0.6V時から-1.2V時へのディレイの差

は約1.5倍もある。このディレイの差が大きいということは、変更箇所においてスラック $\leq \Delta$ ディレイ（低- V_{th} →高- V_{th} ）が満たされない可能性が高い、つまりバイアス電圧を変更できない場合が多いということになる。また、スラック $\leq \Delta$ ディレイ（低- V_{th} →高- V_{th} ）が満たされバイアス電圧を変更できたとしても、回路全体の改善余裕（ Σ スラック）が大きく削減される可能性が高く、結果的にフォワードバイアス電圧のままになっている部分が多く残るということになってしまう。また、ディレイの差が少ない組合せを利用すればより多くのものがリバースバイアスの方へ移行することができるが、この場合は一つの制御単位あたりの消費電力削減率が少ないために、回路全体としては低消費電力化にならないというトレードオフの関係にある。つまり、より多くの制御箇所がリバースバイアスの方へ移行できかつ、一つの制御箇所あたりの消費電力削減率が高いものをバランスよく選ぶ必要がある。

3.2 V_{th} ステップ数の検討

Flex Power FPGAで V_{th} 制御を行う場合のもう一つの重要な要素として、 V_{th} ステップ数があげられる。この V_{th} ステップ数は、消費電力と面積オーバーヘッドに大きく影響を与える。 V_{th} のステップ数を多くすると、さまざまなスラックに対して適切な V_{th} を設定できる。例えば、非クリティカルパスのある制御要素において、 V_{th} のステップが低、高の2ステップしかなく、動作速度を落とさないように V_{th} を選択する場合、スラックが小さくて高- V_{th} を設定することができないノードは、無駄に高速でかつ消費電力の大きい低- V_{th} を設定しなくてはならない。この場合、もし低、高の中間の V_{th} があれば、この制御要素は無駄のない適切な V_{th} を設定することができる可能性がある。

しかしながらその一方で、ステップ数を多くするとそのためのデコーダの追加等バイアス電圧選択回路が複雑になり面積オーバーヘッドが大きくなる[5]。

4. 最適なしきい値制御バイアス電圧値と V_{th} ステップ数の探索

これまでの研究[4],[7]においては、高- V_{th} を設定するためのバイアス電圧は-1.2Vという最も大きいリバースバイアス電圧を用いて評価を行ってきた。しかしながら、第3節で検討したように実際最も低消費電力になるバイアス電圧の組合せは他に存在する可能性がある。そこで、本節では様々なバイアス電圧の組合せに対し最も低消費電力になるものを解析的に探索を行う。

なお、以後の評価に用いた実験環境は、UCパークレーのBPTM70nm トランジスタモデル[12]を用いてSPICEシミュレーションを行ったものをFlex Power VPR用アーキテクチャファイルに記述している。しきい値電圧の割当は[7]で提案したスラックベースノードセレクションアルゴリズムを使用し最

(注1)：使用したMCNCベンチマーク回路:alu4, apex4, bigkey, des, diffeq, dsp, ex5p, mixex3, seq, tseng

(注2)：過度のフォワードバイアス電圧の印加は、ジャンクションリーク電流の増大が懸念されるが、サブスレッショルドリーク電流と比較してジャンクションリーク電流が十分小さくおさまる電圧を上限としている。また、過度のリバースバイアス電圧の印加は、ゲートリーク電流やGIDL(Gate Induced Drain Leakage)の増大が懸念されるが、本稿のデータには反映されていない。しかしながら、近年これらを抑制する研究が進んでおり[11]、本稿ではそれらを利用することにより、ゲートリーク電流およびGIDLを抑え、ボディバイアス効果を十分に活用できるデバイスを用いる事を仮定し評価を行っている。

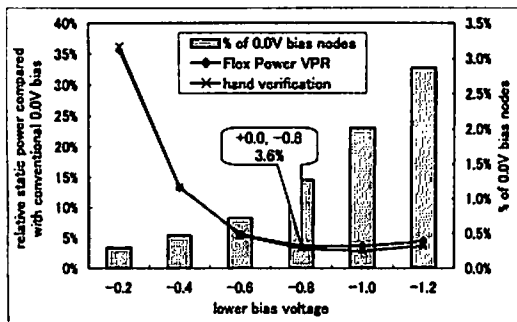


図3 0.0V バイアスを基準とした Flex Power FPGA における 0.0V ノード数と消費電力の割合

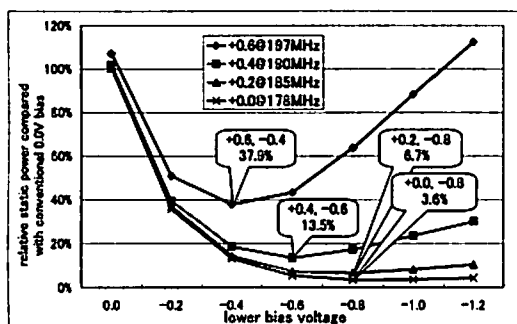


図4 フォワードバイアスを用いた際の動作速度と消費電力の変化

適化を行っている。また、示した消費電力は10個のMCNCベンチマーク回路スタティックパワーの平均値である。

4.1 2ステップにおける探索

図3は単一のバイアス電圧0.0Vのみで構成したFPGAを基準とした場合の、2ステップのFlex Power FPGAにおけるバイアス電圧のノード数^(注3)と消費電力の割合を示している。まず、図3中のFlex Power VPRが示す値は、低- V_{ih} 側のバイアス電圧を0.0Vに固定し、高- V_{ih} 側のリバースバイアス電圧を-0.2Vから-1.2Vにまで変化させ、動作速度を維持したまま低消費電力化したときのFlex Power FPGAの消費電力を示している。Flex Power FPGAは0.0Vと-0.8Vの組合せの際に、0.0Vの単一バイアス電圧で構成した場合と同じ動作速度を維持したまま、約1/30にまで消費電力を削減していることがわかる。これは従来の-1.2Vのリバースバイアス電圧を高- V_{ih} 側に用いていた場合と比べ、さらに約1%消費電力を削減している。

次に図3中のノード数の割合について考える。ここでは小さなリバースバイアス電圧の方がより多く高- V_{ih} 側に設定できていることがわかるが、消費電力から見ると電力削減はあまりできていない。これは各バイアス電圧のノード数の割合と表1によって説明することができる。表1は、FPGA全体の動作速度と消費電力変化の割合を示したものであるが、これは様々な回

(注3) Flex Power VPR で使用されるタイミンググラフのノード数 [7]

路規模や数のノードにおける、動作速度と消費電力の変化の割合を平均化したものである。したがって、この一つのノードにおける消費電力の変化割合と、各バイアス電圧に割り当てられたノード数の割合の積の和を取れば、回路全体の消費電力の削減割合を算出することができる。つまり、この積の和が最も小さくなる組合せが、最も低消費電力化できるということになる。

そこで、0.0Vから-0.2Vに変更した場合をみると、速度差はわずか5.5%と非常に小さいために99.7%のノードが-0.2Vに変更できるが、1ノードあたりの消費電力の差は1/3程度しかない。ここで割り当てられたノードの割合と消費電力の変化割合の積の和を取ると、

$$-0.2V : 100\% \times 0.3\% + 36\% \times 99.7\% = 36.192\%$$

とそれほど低消費電力化できないことがわかる。同様に、-0.8V、-1.0V、-1.2Vについても計算を行うと、

$$-0.8V : 100\% \times 1.3\% + 1.98\% \times 98.7\% = 3.25426\%$$

$$-1.0V : 100\% \times 2.0\% + 0.88\% \times 98.0\% = 2.86240\%$$

$$-1.2V : 100\% \times 2.9\% + 0.44\% \times 97.1\% = 3.32724\%$$

となり、さらに全てのバイアス電圧において計算したものを図3中のhand verificationとして示す。この検証結果によると、-1.0Vをリバースバイアス電圧として用いるのが最も低消費電力であり、0.0Vと-1.0Vの組合せが最もバランスの良い組合せであるといえる。Flex Power VPRで得られた結果は-0.8Vが最も低消費電力であったのに対し検証結果では-1.0Vとずれが生じているが、これは計算で用いている消費電力削減の割合があくまで全てのノードの平均であるため、実際高- V_{ih} に設定されたノードの種類に偏りが生じた場合には誤差が生じることが考えられる。しかしながら、これらの差は図3で示すように非常に小さいものであり、許容できる計算誤差として扱うことができる。

次に、低- V_{ih} 側にフォワードバイアス電圧を印加した場合の動作速度と消費電力の変化を図4に示す。低- V_{ih} 側は+0.2V、+0.4V、+0.6Vの3種類を用意し、高- V_{ih} 側は0.0V~-1.2Vまで変化させて評価を行った。まず、動作速度については、+0.6Vのフォワードバイアス電圧を用いることにより、平均197MHzと約10%の速度向上が確認できた。一方、消費電力は高- V_{ih} 側に-1.2Vを用いると112.6%と消費電力が増加してしまっていることがわかる。これは、表1に示されるように、+0.6Vものフォワードバイアス電圧を印加すると消費電力が約18倍にもなり、その増えた消費電力を削減するために多くのノードを高- V_{ih} 側に設定しなくてはならないにもかかわらず、高- V_{ih} 側が-1.2Vではその速度差も非常に大きく、多くのノードが低- V_{ih} のままになっているためである。

しかしながら、-0.4Vのリバースバイアスと組み合わせることによって、約10%の速度向上を維持したまま、37.9%にまで低消費電力化することができることが確認できた。これは従来の-1.2Vのリバースバイアス電圧を高- V_{ih} 側に用いていた場合と比べ、さらに約1/3にまで消費電力を削減している。+0.6V

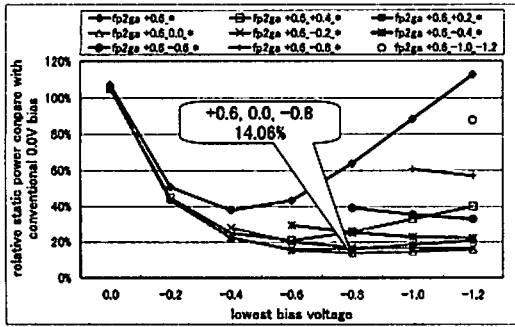


図5 各組合せの消費電力 (3ステップ)

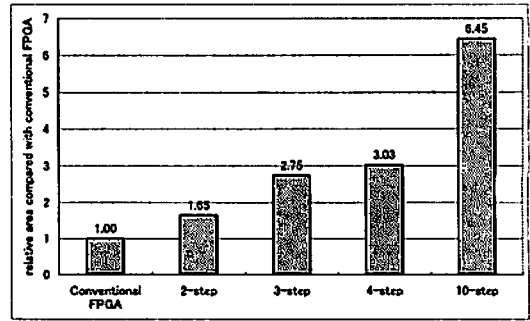


図8 FPGA1 タイルの面積比較

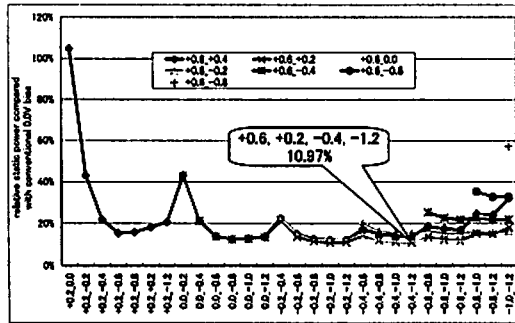


図6 各組合せの消費電力 (4ステップ)

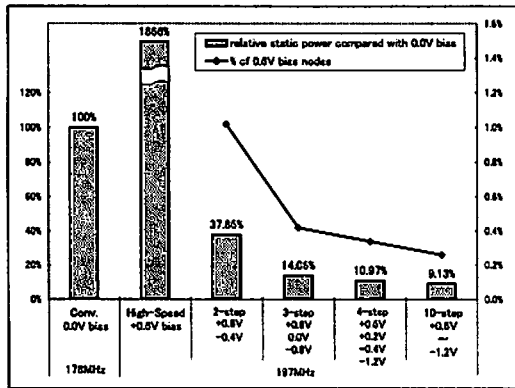


図7 各ステップ数の消費電力と最低- V_{th} 割当ノード数の比較

との組合せにおいては-0.4Vが最もバランスの良い最適な組合せであることがいえる。また、図4に示されるように、+0.6Vのような積極的なフォワードバイアス電圧を用いるときには、低- V_{th} として残されるノードの消費電力が著しく大きくなるため、対となる高- V_{th} 側のバイアス電圧は特に重要になる。

4.2 3ステップ以上における探索

ここでは、図4で示した+0.6Vのフォワードバイアス電圧を用いて約10%高速化したFlex Power FPGAをさらに低消費電力化することを目指し、3ステップ以上の V_{th} を仮定してシミュレーション評価を行う。

図5は V_{th} が3ステップのFlex Power FPGAにおいて、最低- V_{th} のバイアス電圧を+0.6Vとしたときの全組合せの消費電力を示したものである。なお、比較のために+0.6Vと0.0V~-1.2Vで構成した2ステップ時の消費電力も示している。3ステップにおいては、+0.6V, 0.0V, -0.8Vの組合せが14.06%と2ステップよりさらに23.84%も低消費電力化できることが確認できた。これは、3ステップは速度差の比較的小さな中間の V_{th} を用意できることから、2ステップと比較してより多くのノードが最低- V_{th} 以外に設定できるためである。

図6はさらに1ステップ増やし、4ステップのFlex Power FPGAの消費電力を示したものである。グラフの系列に低い側の V_{th} 用バイアス電圧2値を示し、横軸に高い側の V_{th} 用バイアス電圧2値を示している。+0.6V, +0.2V, -0.4V, -1.2Vの組合せが10.97%と最も消費電力を削減できていることがわかる。また、4ステップにおいてはほぼ最小消費電力となりえる組合せがいくつもあることも確認できる。

図5,6からいえることは、ある程度中間の V_{th} が高く設定できているときは、最も高- V_{th} のものは十分に高く設定した方が低消費電力化できることがわかる。これは、Flex Power FPGAにおいては未使用資源は最高- V_{th} に設定し低消費電力化を行うとしているためである。ステップ数を多く用意できる場合は、速度の変化に依存しない、つまりアルゴリズムの対象外となる未使用資源にできるだけ高い V_{th} を用意することが必要である。今回の評価では未使用資源が少なくなるように、Flex Power VPR上でそれぞれのベンチマーク毎に最少のクラス数、最少配線トラック数となるように設定したが、未使用資源を多く仮定した評価も今後行う予定である。

次に、図7は、2~4ステップの最低消費電力を実現した組合せと、バイアス電圧値最適化の限界を調べるために V_{th} を10ステップに設定し評価を行ったFlex Power FPGAの消費電力を示したものである。10ステップでは9.13%にまで低消費電力化することができる。最低- V_{th} の割合はステップ数が増えるにしたがって、少なくなって行っていることも確認できる。

図8は各ステップ数によるFPGA 1タイル分の面積オーバーヘッドを、[5]で示した面積モデルを用いて算出したものである。制御粒度は[5]で示したうちの最も細粒度のものを使用しており、面積オーバーヘッドよりも消費電力の削減を重視した条件と

なっている。2ステップ時では1.65倍であった面積オーバーヘッドは、3ステップになると2.75倍にもなる。これは2ステップ時には必要なかったバイアス電圧選択用デコーダ回路の追加によるところが大きい。消費電力の削減効果は3ステップ以上は飽和状態となりつつあることから、面積増加を抑えるのであれば2ステップ、消費電力削減を重視するならば3または4ステップという選択肢となると考えられる^(注4)。なお、[3]において、IBMのPower 5は3種の V_{th} を用いて低消費電力化を行っている(ただし、プロセス技術によるため面積増加は生じない)、我々の実験結果からみても V_{th} は3ステップ以上ならば、消費電力の削減がほぼ飽和状態となるという事を示すことができおり、Power 5の設計も妥当な選択であることがうかがえる。

また、実際の回路設計では、さらに粗い制御粒度を選択することにより面積オーバーヘッドを減らすことも可能である[5]、[6]。さらに、将来XMOSEFETのような4端子ダブルゲートMOSFETを利用することができれば、さらに面積オーバーヘッドを削減できる可能性がある。

5. ま と め

本稿では、Flex Power FPGAにおけるしきい値制御のためのバイアス電圧値組合せの最適化について、ボディバイアス制御の際にウェルに供給するバイアス電圧値と、そのしきい値のステップ数に注目し検討を行った。評価ツールFlex Power VPRを用いて、2~4ステップにおいて多くのシミュレーションを行い最適なバイアス電圧値を決める上でのトレードオフを明確にした。まず、2ステップにおいては、フォワードバイアスを用いない場合には0.0Vと-0.8Vの組合せにより約1/30にまで削減できることを確認した。また、+0.6Vと-0.4Vというフォワードバイアスを積極的に用いる組合せにより動作速度を約10%高速化しつつ、約38%の消費電力を抑えることができることを確認した。これは、従来のFlex Power FPGAで使用していた-1.2Vのバイアス電圧の時の消費電力と比較して1/3にまで削減している。3ステップにおいては10%高速化しつつ約14%まで消費電力を削減し、4ステップでは約11%まで削減できることを確認した。さらに、3ステップ以上では消費電力の削減は飽和状態となり、許容する消費電力と面積オーバーヘッドによって最適なステップ数を決める指標を示した。

今回は、さまざまな組み合わせについて10個のMCNCベンチマーク回路を用いて評価を行ったことにより、解析的に最適なバイアス電圧の組合せを判断したが、非常にシミュレーション時間を要してしまう。今後は実装される回路の特性などを考慮してより短時間で最適なバイアス電圧の組合せを探索できるようにする予定である。

(注4)：一般的に、このような面積オーバーヘッドは配線長を伸ばし、配線遅延の増大を引き起こすことが考えられる。しかしながら、FPGAの配線は非常にファンアウトが多く、配線容量と比入力容量が占める割合が一般的なLSIよりも大きい。我々の試算によると、この面積増加による配線遅延の増大は軽微なものになると考えている。

- [1] S. Borkar, "Low power design challenges for the decade," Proc. ASP-DAC pp.293-296, 2001.
- [2] D. Deleagnes, J. Douglas, B. Kommandur and M. Patyra, "Designing a 3GHz, 130nm, Pentium 4 processor," Symposium on VLSI Dig. of Tech. Papers, pp.130-133, 2002.
- [3] J. Clabes, J. Friedrich, M. Sweet, J. DiLullo, S. Chu, D. Plass, J. Dawson, P. Muench, L. Powell, M. Floyd, B. Sinharoy, M. Lee, M. Goulet, J. Wagoner, N. Schwartz, S. Runyon, G. Gorman, P. Restle, R. Kalla, J. McGill and S. Dodson, "Design and implementation of the POWER5™ microprocessor," ISSCC Dig. of Tech. Papers, pp.56-57, 2004.
- [4] T. Kawanami, M. Hioki, H. Nagase, T. Tsutsumi, T. Nakagawa, T. Sekigawa and H. Koike, "Preliminary Evaluation of Flex Power FPGA: A Power Reconfigurable Architecture with Fine Granularity," IEICE Trans. on Inf. & Syst., vol.E87-D, no.8, pp.2004-2010, 2004.
- [5] 河並 崇, 日置 雅和, 堤 利幸, 中川 格, 関川 敏弘, 小池 汎平, "Flex Power FPGAにおけるしきい値電圧制御のための面積オーバーヘッド評価," 信学技報, vol. 105, no. 42, pp. 61-66, 2005.
- [6] 日置 雅和, 河並 崇, 堤 利幸, 中川 格, 関川 敏弘, 小池 汎平, "Flex Power FPGAのしきい値電圧制御粒度の評価," 信学技報, vol. 105, no. 288, pp. 25-30, 2005.
- [7] 河並 崇, 日置 雅和, 堤 利幸, 中川 格, 関川 敏弘, 小池 汎平, "Flex Power FPGAにおけるしきい値電圧最適化アルゴリズムの検討," 信学技報, vol. 105, no. 288, pp. 31-36, 2005.
- [8] T. Kuroda, T. Fujita, S. Mita, T. Nagamatsu, S. Yoshioka, F. Sano, M. Norishima, M. Murota, M. Kako, M. Kinugawa, M. Kakumu, and T. Sakurai, "A 0.9V 150MHz 10mW 4mm 2-D discrete cosine transform core processor with variable-threshold-voltage scheme," ISSCC Dig. of Tech. Papers, pp.166-167, Feb. 1996.
- [9] T. Sekigawa and Y. Hayashi, "Calculated Threshold-Voltage Characteristics of an XMOS Transistor Having an Additional Bottom Gate," Solid State Electron, vol.27, pp.827-828, 1984.
- [10] S. Yang, "Logic Synthesis and Optimization Benchmarks, Version 3.0," Tech. Report, Microelectronics Centre of North Carolina, 1991.
- [11] Y. Yasuda, N. Kimizuka, Y. Akiyama, Y. Yamagata, Y. Goto, K. Imai, "System LSI Multi-Vth Transistors Design Methodology for Maximizing Efficiency of Body-Biasing Control to Reduce Vth Variation and Power Consumption," Proc. IEEE IEDM, pp.73-76, 2005.
- [12] Y. Cao, T. Sato, D. Sylvester, M. Orshansky, and C. Hu, "New paradigm of predictive MOSFET and interconnect modeling for early circuit design," Proc. of IEEE CICC, pp. 201-204, June 2000.