

パスベース統計的遅延解析における解析パス数と精度に関する考察

本間 克己 澁谷 利行 新田 泉 松岡 英俊

富士通研究所 〒211-8588 川崎市中原区上小田中 4-1-1

E-mail: {km.homma, shibu, nitta.izumi, hidetoshi}@jp.fujitsu.com

あらまし 統計的遅延解析 (SSTA) は遅延バラツキを確率分布として統計的に扱うことでバラツキを考慮した回路遅延を計算する手法である。従来の静的遅延解析 (STA) では最大遅延パスがチップ全体の遅延を決定し、その性能を決めていたが、SSTA では、遅延分布の統計演算の性質から、最大遅延パス以外のパスもチップ全体の遅延を遅くする効果を持つ。しかし、この効果は、パス遅延分布の平均値が最悪パス分布平均値から離れるにつれ小さくなる。SSTA では、STA に比べ統計演算を行う分、処理時間がかかる。このため必要最小限のパス解析で精度を保障することが実用的な処理時間を実現するには重要である。本論文では SSTA において、回路全体の遅延計算を正確に行うための適切な解析パス数を見積る手法を提案する。

キーワード 統計的遅延解析、パスベース解析

A Study of the Execution Path Number and the Accuracy of Path-Based Statistical Timing Analysis

Katsumi HOMMA Toshiyuki SHIBUYA Izumi NITTA Hidetoshi MATSUOKA

FUJITSU LABORATORIES LTD. 4-1-1 Kamikodanaka, Nakahara-ku, Kawasaki-shi, 211-8588 Japan

E-mail: {km.homma, shibu, nitta.izumi, hidetoshi}@jp.fujitsu.com

Abstract Statistical Timing Analysis (SSTA) is a method that calculates circuit delay statistically with process variation. of Static Timing Analysis (STA) uses the latest delay path (worst path) to determine the circuit performance. On the contrary, SSTA has to consider the paths that have smaller delay than the latest, because of natures of statistical operations of delay distributions. The delay impact of a path to the circuit performance depends on the delay difference between the mean of delay distribution of the path and the latest. Since the statistical delay calculation is time-consuming, it is necessary to estimate the effective path number. In this paper, we propose the method that estimates effective path number for executing SSTA accurately.

Keyword Statistical Timing Analysis, Path Based Analysis

1. はじめに

テクノロジーの微細化に伴い、プロセス、温度、電圧、クロストーク等を要因とする遅延バラツキが増大している。通常の STA (Static Timing Analysis) ではバラツキのコーナー条件で遅延を解析している。つまり、全てのゲートがバラツキの最悪値をとる場合の遅延を計算している。しかし、ランダムなバラツキが全て最悪になる確率はほとんどなく、遅延を実際よりも遅く見積っていることになる。バラツキの増大にともない、この過剰な見積りも増大し、タイミング設計が難しくなっている。近年注目されている統計的遅延解析 (SSTA: Statistical Static Timing Analysis) は、このランダムな遅延バラツキを確率分布として統計的に扱うことによって、バラツキを考慮した遅延をより正確に見積る技術である。既に多くの研究がなされており、

[1]や[2]において統計的遅延解析の基本的手法や遅延バラツキモデル等の代表的手法について系統的に把握することができる。

SSTA の手法は、STA と同じく、大まかに、Block-based 手法と Path-based 手法の 2 種類に分類される。Block-based 手法は解析する回路のタイミンググラフをトポロジカルに走査して回路の統計的遅延値を計算する手法であり、一方、Path-based 手法はタイミンググラフから始点、終点となる 2 つノードを選び、始点から終点への全てのパスに対して解析を行う手法である。

しかし、何れの手法でも実際のチップ全体の SSTA は処理時間がかかるという問題がある。Block-based 手法ではアルゴリズム (統計演算) の計算量に問題があり、また Path-based 手法では解析するパス数が膨大になっ

てしまうためである。

この問題を解決する一つの方法として、あるチップに対して STA を実行し、出力されたタイミングレポートに報告されたクリティカルパス群に対して Path-based の SSTA を適用するという方法がある[3]。遅延値については STA と SSTA に相関があると予想され、解析パスをクリティカルパス群に限定することにより、実用的な実行時間で精度の高い統計的遅延解析ができると考えられる。

しかし、この方法では解析すべきクリティカルパスをどのように選ぶかが大きな問題になる。STA では最大遅延パスのみがチップの性能を決定するが、SSTA では統計演算の性質から遅延が最大でないパス遅延分布もチップの遅延を遅くさせる効果を持つ。しかし、この効果はパス遅延分布の平均値が最悪パス分布平均値から離れるにつれ小さくなる。前述の通り、Path-based 解析では解析パス数が多くなると処理時間がかかるため、必要最小限のパス解析でチップ全体の SSTA の精度を保障することが実用的な処理時間を実現するには重要である。

本論文では、STA タイミングレポートによるクリティカルパス群に対して Path-based の SSTA を適用しチップ全体の遅延分布を精度よく見積るために必要な解析パスの抽出手法を提案する。

以下本論文の構成を述べる。第 2 章は準備として統計的遅延解析に関する基礎的事項及び本論文で用いるパスの SETUP 遅延値の定義について説明する。第 3 章では、まず統計的 MAX 演算により最大遅延パス以外のパス遅延分布がチップ全体の遅延を遅くする効果を持つことを簡単な例で説明する。次に、実チップ内のパス遅延分布の平均値分布のモデル化を行う。更に、そのモデル分布を用い、チップ内の解析パス数を増やしていくときに、それらに SSTA 適用して得られた遅延分布がどのようにチップ全体の遅延分布に近づいていくかを調べる数値実験を行う。第 4 章では第 3 章の実験結果をもとに、SSTA を実行するクリティカルパスの適切な抽出方法を提案し、実チップデータへ適用した実験結果について述べる。第 5 章でまとめと今後の課題について述べる。

2. 準備

2.1. 統計的遅延解析の基本演算

統計的遅延解析はタイミンググラフと呼ぶアサイクリックグラフ $G=(V,E)$ を用いて行う。各ノード $v_i \in V$ はゲートの入力端子または出力端子であり、ノード間を結ぶ有向エッジ $e_i \in E$ はゲート内部、または、配線を通る信号の向きである。各エッジにはゲートまたは配線のランダムな遅延パラッキを確率変数として持つ。図 1 に簡単なタイミンググラフの例を示す。統計的遅延解析では、 v_0 から v_5 へ向かって統計的演算を行い、ソース v_0 からの遅延を確率変数として各ノードへ保存する。

統計的遅延解析の基本演算は統計的 ADD と統計的 MAX の 2 つの演算で構成される。

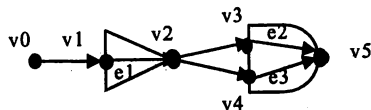


図 1. タイミンググラフ

図 1 において、ノード v_2 のように入力するエッジが 1 本の場合、遅延分布はノード v_1 の遅延分布とエッジ e_1 の遅延分布との「統計的 ADD」で計算される。 v_1 の遅延確率変数を X , e_1 の確率変数を Y とすると、 v_2 の遅延確率変数 Z は $Z=X+Y$ となる。ゆえに、統計的 ADD は、 X と Y が互いに独立ならば、良く知られているように下記のような畳み込み演算となる。

$$F_z(t) = \int_{-\infty}^{\infty} F_x(t-s)f_y(s)ds$$

ここで、 F_z は v_2 の遅延分布関数、 F_x は v_1 の遅延分布関数、 f_y は e_1 の分布密度関数である。

一方、ノード v_5 のように複数のエッジが合流する場合、遅延分布は、 v_3, e_2 の統計的 ADD 結果の分布と v_4, e_3 の統計的 ADD 結果の分布との「統計的 MAX」で計算される。 e_2 側のパス遅延確率変数を X , e_3 側のパス遅延確率変数を Y とすると、 v_5 の遅延確率変数 Z は、 $Z=\max(X,Y)$ となる。 X の分布関数は v_3, e_2 の遅延分布の統計的 ADD 結果で、 Y の分布関数は v_4, e_3 の遅延分布の統計的 ADD 結果である。これらの分布関数から Z の分布関数を計算する操作が統計的 MAX 演算である。図 1 のように v_1 から v_3 までのパスと v_1 から v_4 までのパスが共有部分を持つ場合、すなわち、 X と Y が独立でない場合の計算は困難である。しかし、もし、 X, Y が独立ならば統計的 MAX の分布関数 $F_{\max(x,y)}$ は下記のように計算できる。

$$F_{\max(x,y)}(t) = F_x(t)F_y(t)$$

ここで F_x は X の分布関数、 F_y は Y の分布関数である。さらに、図 1 のように X と Y が独立でない場合でも、上式で計算される分布関数は統計的 MAX の分布関数の上限となる、すなわち、各遅延値で上式の分布関数値が統計的 MAX 分布関数値より小さくなることが示されている[4]。

2.2. パスの SETUP 遅延値の定義

本論文で用いる SETUP 遅延値は次のように定義される。図 2 に示すような、フリップフロップ FF1 から FF2 に至るパスの SETUP 遅延値は、クロックソースからフリップフロップ FF1 を経由して、フリップフロップ FF2 の端子 A へ至るパス a の遅延時間 D_a と、クロックソース S から端子 B へのパス b の遅延時間 D_b から、

$$(\text{SETUP 遅延値}) = D_a - D_b + \text{CONST}$$

によって得られる。ここで、CONST はセルの SETUP 時間等の定数項である。SETUP 遅延値は図 2 のようなクロックソース S から FF2 に至るパス a とパス b を含む部分回路の周波数の逆数を意味する。

また図 2 に示すような、クロックソース S から FF2 に至るパス a とパス b を含む部分回路を SETUP チェックパス又はチェックパスと呼び、パス a をデータパス、パス b をクロックパスと呼ぶ。チェックパスの SETUP 遅延値を、以後簡単に「チェックパス遅延値」又は「パス遅延値」と呼ぶ。

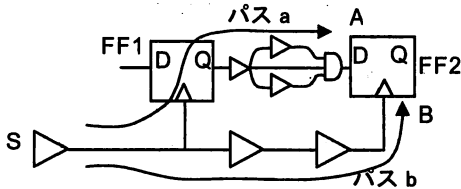


図 2. SETUP 遅延値の計算

統計的遅延解析においては、パス a, パス b の遅延分布から遅延差分布法[3]により、チェックパス遅延値分布を計算することができる。

チップ内の各チェックパス遅延分布を Z_1, Z_2, \dots とするとき、チップ全体の遅延分布は全てのチェックパス遅延分布の統計的 MAX として、以下のように定義される。

$$(\text{チップの遅延確率分布}) = F_{\max}(z_1, z_2, \dots)$$

3. モデルチェックパス遅延分布による解析パス数と SSTA 解析精度の考察

3.1. 統計的 MAX 演算による回路遅延の悪化

2.2 でチップ遅延分布を各チェックパスの遅延分布統計的 MAX として定義した。STA では最大遅延パス、本論文では以下「最悪パス」と呼ぶ、のみが回路の性能を決定するが、SSTA では最悪パス以外のパス遅延分布もチップ全体の遅延を遅くさせる効果を持つ。

簡単な例で説明する。まずチップ 1 として下記のような 10 本の独立なチェックパスから構成されるチップとする。

パス遅延分布平均	パス遅延分布標準偏差	パス数
500ps (最悪パス)	50ps	1
480ps	50ps	9

表 1. チップ 1

次にチップ 2 として下記のような 10 本の独立なチェックパスから構成されるチップとする。

パス遅延分布平均	パス遅延分布標準偏差	パス数
500ps (最悪パス)	50ps	1
300ps	50ps	9

表 2. チップ 2

チップ 1, 2 とも最悪パス遅延分布は同じである。チップ 1, 2 の遅延分布及びチップ内各チェックパス遅延分布を図 3 に示す。

図 3 からチップ 1 の遅延分布は最悪パス遅延分布よ

り遅延が遅くなる方向に偏っていることが判る。表 3 で定量的に示すように、遅延分布の Max 値(99.98%点), Typ 値(50%点), Min 値(0.16%点)とも最悪パスの値より遅くなっている。また、Max, Typ, Min 値の順で値の変化が大きくなっている。

一方チップ 2 の遅延分布は、最悪パス遅延分布と殆ど変わらない。図 3 のグラフでは最悪パスとチップ 2 の遅延分布が重なっている。また表 3 から最悪パス分布とチップ 2 分布が殆ど変わらないことが判る。

このように統計的遅延解析では最悪パス以外のパス遅延分布もチップ全体の統計的遅延を遅くさせる効果を持つ。またこの効果は、平均値が最悪パス分布平均値に近いパスでは大きく、平均値が最悪パス分布平均値から離れているパスでは効果が小さく事実上無視できる。

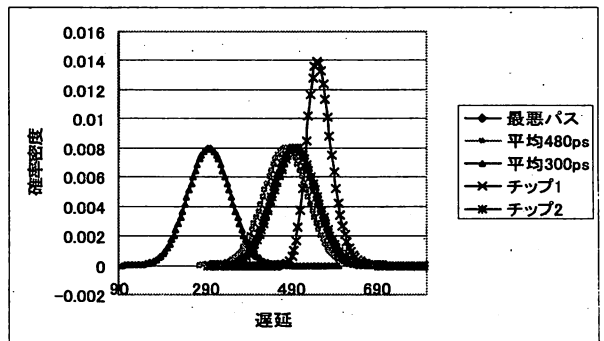


図 3. 各チップ及び各チェックパスの遅延分布

	最悪パス分布	チップ 1	チップ 2
Min 値	350.00ps	484.46ps	365.49ps
Typ 値	500.00ps	557.61ps	500.01ps
Max 値	650.00ps	665.56ps	650.00ps

表 3. 各チップでの統計的遅延値

3.2. チップ内チェックパス平均遅延分布のモデル化

ここでは、チップ内の各チェックパス遅延分布の平均値の分布モデル化を行う。以下本論文ではチェックパス遅延分布の平均値を「チェックパス平均遅延」又は「パス平均遅延」と呼ぶ。実チップでのチェックパス平均遅延分布は、大まかに設計の種類により 2 種類に分けられる。

1 つは ASIC 回路の場合で、図 4 のように最悪チェックパス平均遅延に近いパス平均遅延を持つチェックパスは少なく、最悪チェックパス遅延値から離れたパス平均遅延にチェックパス数のピークのある分布である。

もう 1 つはプロセッサ回路の場合で、図 5 のように最悪チェックパス平均遅延の近くのパス平均遅延に沢山のチェックパスが密集している。プロセッサの場合は目標遅延値に向けて最適化しながら設計するため、目標遅延値つまり最悪チェックパス遅延値の近辺にパスが集中する。

このような ASIC、プロセッサ両方のチップ内チェックパス平均遅延分布をモデル化する分布は、そのビ

ークが分布区間の中で自由に変えられる分布が望ましい。このようなモデル分布として我々はベータ分布を選択する。ベータ分布は分布密度関数

$$f(x) = \frac{x^{a-1}(1-x)^{b-1}}{B(a,b)} \quad (0 < x < 1)$$

$$a, b > 0, B(a,b) = \int_0^1 x^{a-1}(1-x)^{b-1} dx$$

で定義される分布である。この論文では分布区間を(0,1)から(m,M)に変えた分布

$$f(x) = \frac{(x-m)^{a-1}(M-x)^{b-1}}{(M-m)^{a+b-2} B(a,b)} \quad (m < x < M)$$

を用いる。このベータ分布は

$$x = \left(\frac{a-1}{a+b-2}\right)M + \left(\frac{b-1}{a+b-2}\right)m$$

でピークを持つ。図6に示すように、ベータ分布は $a > b$ の場合はプロセッサ型の、 $a < b$ の場合は ASIC 型の、 $a = b$ の場合は中間型の遅延平均遅延分布を表現できる。

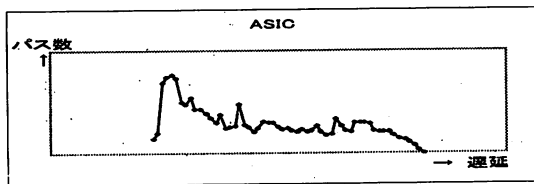


図4. ASIC回路パス平均遅延分布例

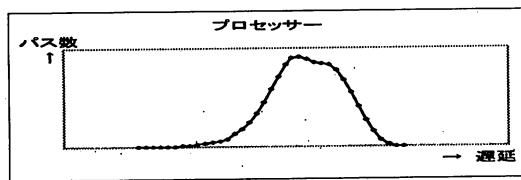


図5. プロセッサ回路パス平均遅延分布例

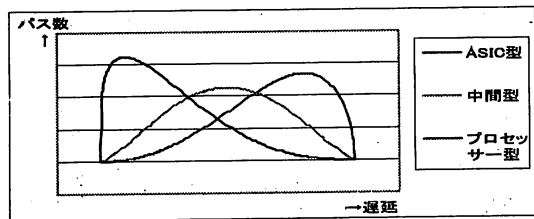


図6. ベータ分布のパスヒストグラム

3.3. モデルパス平均遅延分布での解析パス数による遅延収束実験

ここでは、チップ内のチェックパス平均遅延分布をベータ分布でモデル化した場合、解析パス数を増やしていくと、その SSTA 結果の遅延分布がどのようにチップ全体の遅延分布へ近づいて(収束して)いくかを考察する。

具体的には、ベータ分布のパス平均遅延ヒストグラムにおいて、最悪チェックパス平均遅延分布からパス平均遅延の大きな順に各チェックパス遅延分布の統計的 MAX を取っていき、その統計的 MAX 分布から計算された統計的遅延値がチップ遅延分布の統計的遅延値

どのような収束していくかを考察する。なお、ここで「統計的遅延値」とは遅延分布の Min 値 (0.16%点)、Typ 値 (50%点)、Max 値 (99.86%点) のことと定義する。

更にこの実験を、モデルベータ分布の形状やチップ内総チェックパス数等のパラメータを変えて行う。

3.3.1. 実験モデル

今回の実験ではチップ内チェックパス平均遅延のヒストグラム及び各チェックパス遅延分布を実際のチップデータを参考に下記のようにモデル化する。

a. チェックパス平均遅延ヒストグラム:

以下の性質を持つベータ分布

- ・分布区間: 500~3500
- ・分布ピーク点(ピークパス平均遅延): 650,800,1100,1400,1700,2000,2300,2600,2900,3050,3200,3350 (12種類)
- ・分布区間を幅 20 の遅延区間で分割し同じ遅延区間内のチェックパス遅延値は同一で、遅延区間中央値をとる。

b. 総チェックパス数:

100,000 本, 1,000,000 本, 10,000,000 本 (3種類)

本当の総パス数はこれ以上膨大な数であるが、本実験結果から判るように、チップの遅延分布に関与するパス数として設定した。

図7に総チェックパス 10 万本のモデルヒストグラムを示す。

c. 各チェックパスの遅延分布:

チェックパス平均遅延を平均値とし、バラツキ (3σ) を平均値の 0.1 倍とする正規分布。

上記性質を持つ計 36 種類のモデルチェックパス平均遅延分布に対し、最悪チェックパスから順に統計的 MAX をとり、その分布の Min 値、Typ 値、Max 値がチップ全体の遅延分布の Min 値、Typ 値、Max 値にどのように収束していくかを観察する。

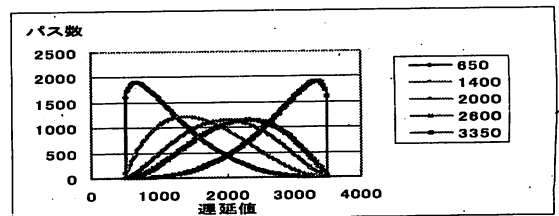


図7. モデルパスヒストグラム (一部抜粋)

3.3.2. 実験結果と考察

ここでは 3.3.1 で説明したベータ分布モデルのチップ内チェックパス平均遅延ヒストグラムでの解析パス数と計算された回路遅延値の精度に関する数値実験の結果を述べる。

まず総チェックパス数 100,000 本の結果について述べる。図8は横軸に各モデルベータ分布のピークパス遅延値、縦軸に収束 σ 値をプロットしたものである。収束 σ 値とは、最悪パス遅延分布の何 σ のパス平均遅延で統計的遅延値(Max,Typ,Min 値)が収束しているか

を示す指標で、以下の式で定義される。

$$\text{収束}\sigma\text{値} = \frac{\text{最悪パス遅延平均} - \text{収束遅延値}}{\text{最悪パス遅延分布標準偏差}}$$

ここで収束遅延値とは、統計的遅延値が収束したパス平均遅延のことである。なおここでの統計的遅延値の収束は値の小数点2桁での一致により判定しており、相対誤差は0.001%のオーダーとなる。

さて図8から、Max,Typ,Min 値とも最悪パス遅延分布の-4σ値以上の平均遅延を持つチェックパスで収束していることが判る。ピーク平均遅延の小さいASIC型の方がピーク平均遅延の大きいプロセッサ型より収束が遅い。

各値別に見てみると、Max値は全てのケースにおいて最悪チェックパス遅延分布の-2σ値以上の平均遅延を持つチェックパスで収束している。Typ値は全てのケースで-3σ値以上のパス遅延を持つチェックパスで収束している。Min値はやや収束が遅く、ASIC型とプロセッサ型では最悪チェックパス遅延分布の-2σ値以上の平均遅延を持つチェックパスで収束しているが、ASIC型では-4σ値以上のチェックパスが必要なのである。

図9は横軸に各モデルベータ分布のピークパス遅延値、縦軸に収束までチェックパス数をプロットしたものである。プロセッサ型は、収束σ値は小さいがチェックパスが最悪パス平均遅延近辺に集中しているため結果としてパス数は多くなる。ASIC型は逆にピークパス平均遅延が最悪パス平均遅延から離れているため、収束σ値は大きいパス数は少ない。

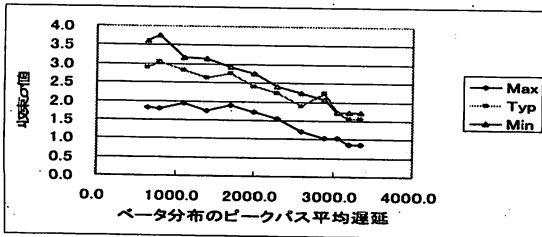


図8. 10万パス Max 値収束状況

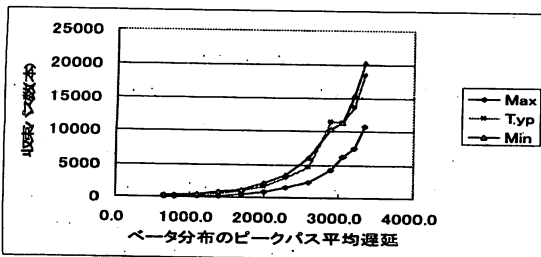


図9. 10万パス Max 値収束パス数

プロセッサ型がASIC型より収束が早いことは、プロセッサ型は最悪パス平均遅延近辺にパスが集中しており、それにより分布が遅延悪化方向に大きくシフトするため最悪パス平均遅延から離れた平均遅延のチェックパス影響を受けなくなり、最悪パス平均遅延近辺の平均遅延をもつチェックパスで値が収束するこ

とよると考えられる。また、Max,Typ,Min 値の順に収束が遅くなることは、3.1.1で述べたように、同じ分布で統計的MAXを取るときにMin値の変化量がMax値の変化より大きいため、相対的にMin値が広い遅延値範囲でパスの影響を受けるためその値の収束が遅くなると思われる。

次に全パス数を1,000,000、10,000,000と増やした結果を図10、11に示す。収束σ比を比較すると、Min値ではパス数増加により小さくなる傾向にあるものの、Typ,Max値ではパス数によらずほぼ共通である。これは統計的MAXによる遅延分布の遅延増加方向へのシフトの効果は、MAXをとる分布数がある程度大きくなるとその効果が鈍る傾向になることと関係があると思われる。

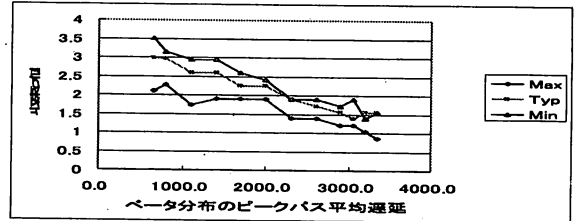


図10. 100万パス収束状況

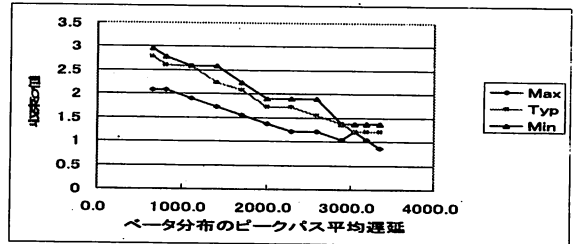


図11. 1000万パス収束状況

4. 解析パス選択基準

4.1. SSTA での解析パス選択基準

ここでは、第3章の結果を元に、チップ全体の既存STAタイミングレポートによるクリティカルパス群に対してPath-basedのSSTAを適用することによりチップ全体の統計的遅延解析を精度良く行うための適切なパス選択基準を述べる。

第3章のモデル実験結果から、チップの総パス数に関係なく、最悪パス遅延分布の-4σ値以上の平均遅延をもつチェックパス群に対しSSTAを行えば、回路内全チェックパスを解析した場合と同じ精度の統計的遅延値が得られる。まず、これを一つの選択基準とする。

・SSTA解析パス選択基準1:

最大遅延パス遅延分布の-4σ値以上の平均

遅延をもつチェックパスに対しSSTAを実行。

実験結果はパス平均遅延ヒストグラムがプロセッサ型とASIC型で異なった。プロセッサ型は-2.5σ値で収束する。そこでプロセッサ型とASIC型で基準を分ける以下ようになる。

・SSTA解析パス選択基準2

プロセッサ型：最大遅延チェックパス遅延分布の -2.5σ 値以上の遅延値をもつチェックパスに対し SSTA を実行。

ASIC 型：最大遅延チェックパス遅延分布の -4σ 値以上の遅延値をもつチェックパスに対し SSTA を実行。

4.2. 実チップデータでの評価

ここでは 4.1 で提案した SSTA 解析パス選択基準の妥当性を実際のチップデータに適用して評価する。

評価に使用したデータは ASIC 回路でその内訳を表に示す。

回路名	テクノロジー	ゲート数
data	130nm	3.50Mgate
dataB	130nm	2.50Mgate
dataC	130nm	3.25Mgate
dataD	90nm	8.70Mgate

表 4. 使用データ

解析対象パス遅延が 4σ のときの Max 遅延値と全チップ Max 値との相対誤差を表 5 に示す。前節の解析パス選択基準を適用した場合の相対誤差は 0.2% 以下であり実用上問題のないと考えられ、パス選択基準が妥当なものであると考えられる。

各データでの Max 値の収束状況を図 1 2 ~ 1 5 に示す。各図とも横軸は解析対象パス遅延で、その値に最悪パス遅延分布の標準偏差を掛けた値以上の平均遅延を持つチェックパスを解析することを意味する。縦軸はその解析対象パス遅延以上の平均遅延をもつ全パス遅延分布の統計的 MAX 分布における Max 値である。

各データとも概ね 2σ 以内のパス数で収束しており、我々のモデルが実データより悲観的であることを示している。

回路名	4σ 遅延値(ps)	チップ Max 値(ps)	相対誤差(%)
data	7638.66	7639.12	0.006
dataB	7014.14	7017.39	0.046
dataC	39798.62	39871.64	0.166
dataD	2574.89	2575.24	0.021

表 5. 4σ 遅延値での誤差

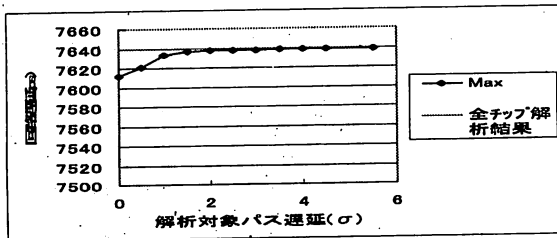


図 1 2. dataA の Max 値収束状況

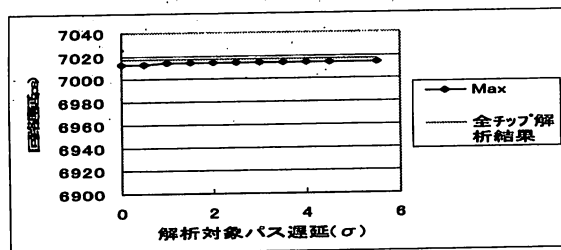


図 1 3. dataB の Max 値収束状況

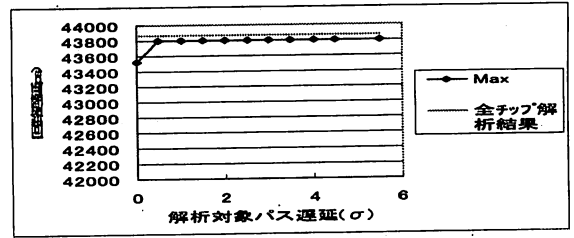


図 1 4. dataC の Max 値収束状況

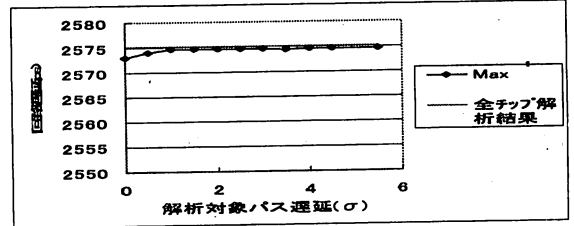


図 1 5. dataD の Max 値収束状況

5. まとめ

本論文では、Path-Based SSTA において、チップ全体の遅延計算を正確に行うための適切な解析パス数を見積る手法を提案した。そのため、チップ内の各チェックパス遅延値ヒストグラムをベータ分布でモデル化し、そのモデル化されたヒストグラムを用いて SSTA での解析パス数とそのパス数で解析した統計的遅延値とチップ全体の統計的遅延値の誤差の考察を行った。その結果を元に STA タイミングレポートによるクリティカルパス群に対して Path-based の SSTA を適用する際に解析するパスの適切な抽出方法を提案した。更に ASIC の実チップデータに対しこの基準を評価し、妥当であるとの結果を得た。

今後の課題としては、STA タイミングレポートのクリティカルパス数が、解析パス選択基準を満たさないほど少ない場合に、既存のクリティカルパス情報から全チップ内パス遅延平均分布を予測し、チップの統計的遅延値を求める手法の研究等が挙げられる。

文 献

- [1] 築山修治, “統計的タイミング解析: 概論,” 第 18 回 回路とシステム 軽井沢ワークショップ 論文 集, pp.533-538, 2005.
- [2] A.Srivastava, D.Sylvester, D.Blaauw, “Statistical Analysis and Optimization for VLSI: Timing and Power”, Springer (2005).
- [3] 新田泉, 本間克己, 澁谷利行, “統計的遅延解析におけるモデルと精度に関する一考察” Proc.DATE2003, pp.62-67, 2005.
- [4] A.Agarwal, V.Zolotov, D.Blaauw, S.Vrudhula, “Statistical Timing Analysis using Bounds,” Proc.DATE2003, pp.62-67, 2003.