

## 相関演算結果を用いた 8-VSB イコライザの面積削減

河嶋和美 小西悠介 橋口裕介 山本 優 沼 昌宏

神戸大学工学部 〒657-8501 兵庫県神戸市灘区六甲台町 1-1

E-mail: {kawashi, y-koni, h-yuu, yuu, numa}@cas.eedept.kobe-u.ac.jp

あらまし 米国地上デジタル放送に用いられている 8-VSB 方式はマルチパス妨害の影響を受けやすく、受信機の復調回路にマルチパス除去のための多段フィルタを含んだイコライザが必要になる。そのため、復調回路の中でイコライザが最も大きな面積を占めている。このイコライザに関して、相関演算の結果を利用した伝送路推定に基づいて必要なビット幅をもつ乗算器を割り当てることで、回路面積を削減する手法を提案する。シミュレーションの結果、乗算器のみの回路面積、消費電力を、従来のフィルタ演算部に比べていずれも約 40% 削減できることが明らかとなった。

キーワード 相関演算, 8-VSB, デジタル放送, イコライザ, 復調回路

## Reduction of Equalizing Circuit Area for 8-VSB Demodulator Using the Result of Correlation Operation

Kazumi KAWASHIMA Yusuke KONISHI Yusuke HASHIGUCHI  
Yuu YAMAMOTO and Masahiro NUMA

Faculty of Engineering, Kobe University

E-mail: {kawashi, y-koni, h-yuu, yuu, numa}@cas.eedept.kobe-u.ac.jp

**Abstract** Since the 8-VSB system used for terrestrial digital broadcasting system in U.S.A. is weak to multi-path disturbance, an equalizer using filter with many taps for multi-path removal is needed in the 8-VSB demodulator of a receiver. Therefore, the equalizer occupies the largest area in the 8-VSB demodulator. We propose a technique to reduce circuit area for 8-VSB equalizer by allocating multipliers with necessary bit length based on transmission line presumption using the result of correlation operation. The simulation results have shown that both circuit area and power consumption for multipliers are reduced by about 40%.

**Keyword** correlation operation, 8-VSB, digital broadcasting, equalizer, demodulator

### 1. まえがき

現在、高品質な放送、新たな放送サービス、周波数の有効利用等の実現のため、地上放送のデジタル化が押し推し進められている。

世界各国で放送が開始された地上デジタル放送は国ごとに放送方式が異なり、代表的な 3 つの規格として欧州の DVB-T (Digital Video Broadcasting - Terrestrial) 方式 [1], 米国の ATSC (Advanced Television Systems Committee) 方式 [2], 日本の ISDB-T (Integrated Services Digital Broadcasting System - Terrestrial) 方式 [3] がある。

地上放送では、電波が高層建築や山などに反射することで発生するマルチパス (遅延波) の影響が大きいが、欧州と日本の方式では変調方式にマルチキャリアの OFDM (Orthogonal Frequency Division Multiplexing) を採用しており、マルチパス妨害に強い。

一方、米国の方式では変調方式にシングルキャリアの 8-VSB (8-Level Vestigial Side Band) が採用されているのでシンボル長を長くとることができず、マルチパス妨害の影響を強く受ける。そのため、復調回路に高性能なイコライザによるマルチパス除去機能が必要になり、最も大きな面積を占めている [4]。

我々は、相関演算の結果を利用した伝送路推定によってタップ係数の大きさを予測し、必要なビット幅をもつ乗算器を割り当てることでイコライザの回路面積を縮小する手法を提案する。

### 2. イコライザの面積削減手法

#### 2.1 フィルタ・タップ係数の特徴

本稿では、実際に製品化されているイコライザ回路を対象として、8-VSB 復調回路内のイコライザの面積削減手法を提案する。このイコライザでは、FF

部 256 タップ、FB 部 448 タップの合計 704 タップでおよそ  $-20\mu\text{s}$  から  $+40\mu\text{s}$  の等化範囲を確保している。イコライザ出力取束後のタップ係数は、主波に対応するセンタータップと呼ばれるタップが最も大きく、遅延波の影響を受けたタップ近辺のタップ係数も大きくなるが、その他の大半のタップでは係数が 0 近辺の小さい値をとることがわかっている。イコライザの機能を C 言語で記述した C モデルによるシミュレーション評価で得られたタップ係数の値と遅延波との関係を図 1 に示す。

図 1 のタップ係数は、イコライザ出力が取束した後の値である。なお、この評価はマルチパス環境として表 1 に示すような、主波と遅延波 5 波を含む 6 波モデルを想定して行った結果である。

上記のような特徴から、イコライザのタップ係数の初期値はセンタータップを 1、その他のタップを 0 と設定している。その後、伝送路特性に応じて適応アルゴリズムを用いて係数を更新する。フィルタ演算の精度を考えたとき、タップ係数が 0 近辺であるタップの及ぼす影響は極めて小さい。よって、全タップに  $10 \times 15$  ビット乗算器を割り当てている従来のイコライザでは、冗長な演算を多数行っていると考えられる。取束後のタップ係数の値はマルチパスの状況によって決定されるので、それを事前に予測できれば冗長な演算を削減でき、回路の面積削減や低消費電力化につながる。

## 2.2 相関演算による伝送路推定

8-VSB 復調回路における同期検出部では、受信信号と信号に含まれている既知の PN パターン PN511、PN63 との相関演算を行い、相関値を判定することにより同期をとっている。

相関演算とは、関数波形の類似性を表す相関値を求める演算である。具体的には、対象の二つの関数を掛け合わせてから一定区間について積分することで求められる。デジタル信号の場合はシンボルごとに掛け合わせるので、

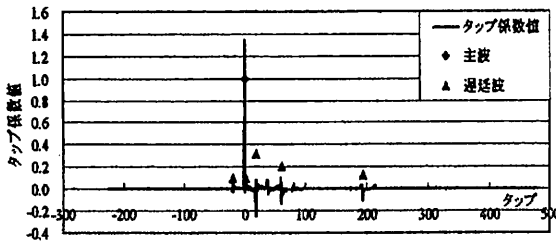


図 1 タップ係数の特徴

表 1 マルチパス環境の設定 (6 波モデル)

Ensemble A	Path 1	Path 2	Path 3	Path 4	Path 5	Path 6
Delay[ $\mu\text{s}$ ]	0	-1.8	0.15	1.8	5.7	18
Att[dB]	0	20	20	10	14	18
Phase[deg]	0	188	260	332	44	116

$$R(j) = \frac{1}{N} \sum_{i=0}^{N-1} x_i y_{i+j} \quad (1)$$

となる。

これは、系列長  $N$  の PN パターン  $x$  と受信信号  $y$  の  $j$  番目からの  $N$  個のシンボルとの相関値を表す式である。互いの波形に相関があるほど、相関値  $R(j)$  の絶対値が大きくなる。

従って、PN パターンと受信信号の相関演算を行った結果、その相関値がピーク値をとる場所が受信信号の Field Sync. に含まれる PN パターンの位置である。

同期検出部では、その結果を利用して同期を確立する。また、PN パターンはその不規則性により、他の系列との相互相関の値は小さくなる。

ここで、地上デジタル放送の受信信号について考える。地上放送の伝送路には様々な障害物が存在するため、受信機にはマルチパス妨害の影響を受けた受信信号が入力される。受信信号は主波と複数の遅延波、雑音の和であると考えられ、PN パターンとの相関演算の式 (1) は、

$$R(j) = \frac{1}{N} \sum_{i=0}^{N-1} x_i (s_{i+j} + a_{i+j} + b_{i+j} + d_{i+j}) \quad (2)$$

で表すことができる。

ここでは遅延波が 2 波のときを考えており、 $s$  は主波、 $a$ 、 $b$  は遅延波、 $d$  は雑音を示す。

式 (2) のように主波と遅延波を分けて考えると、それぞれ PN パターンとの相関値がピーク値をとるタイミングが異なるため、 $R(j)$  の時間的変化をもとに主波に対する遅延波の位置関係を予測できると考えられる。

一般に、遅延波の振幅レベルには主波に対する減衰がみられるので、 $R(j)$  がピーク値を示したところが主波の PN パターンの位置を表し、その他に比較的大きい相関値を示したところが遅延波の PN パターンの位置であると予測できる。

このように、相関演算の結果から主波と遅延波の位置関係がわかれば、2.1 節で述べたようなタップ係数の予測が可能になる。

### 2.3 面積削減手法

従来のイコライザは、すべてのタップに入力信号 10 ビットとタップ係数 15 ビットを対象とする  $10 \times 15$  ビット乗算器を用いている。しかし 2.1 節で述べたように、大半のタップではタップ係数が 0 近辺の極めて小さい値をとり、イコライザの性能に及ぼす影響が少ない。つまり、多くのタップではそこまで高い演算精度を必要とせず、それらのタップでは乗算器のビット削減が可能であると考えられる。

そこで、同期検出部での相関演算の結果から遅延波の位置を推定し、タップ係数が大きくなると予想されるタップの近辺はビット幅の大きな演算回路を、その他はビット削減したビット幅の小さな演算回路を動的に割り当てることでフィルタ演算部の回路面積を削減する手法を提案する。

処理の流れについて、まず同期に用いられる受信信号と PN パターンの相関演算の結果と、受信機側であらかじめもっている送信信号内の Field Sync. と PN パターンの相関演算結果の差を求める。受信信号に含まれる遅延波内にも PN パターンが存在するので、PN パターンとの相関演算の結果、絶対値の大きい相関値が現れる点が、遅延波内の PN パターンの位置だと考えられる。このことから遅延波の位置を推定できる。

図 2 に、受信信号と PN511 の相関演算を行ったときの様子を示す。ここでの受信信号とは、送信信号に表 1 に示したマルチパスを付加した信号である。図 2 の相関値のピーク値が主波のある位置で、その他の相関値が比較的大きい値をとっているところに遅延波が存在すると考えられる。

一般に、遅延時間が大きい遅延波ほどその振幅は小さく、波形等化の際に及ぼす影響も小さいと考えられるので、影響の大きい遅延波が現れるであろう範囲を主波に対して  $-150$  シンボルから  $+400$  シン

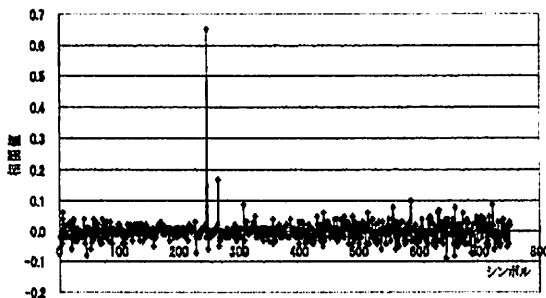


図 2 受信信号と PN511 の相関演算結果

ボルの範囲と考える。そしてその範囲内である閾値以上の絶対値をもつ要素を遅延波の含まれる位置として、対応するタップ番号を保持する。その後、センタータップや遅延波に対応するタップとその近辺のタップの係数が大きくなるという特徴を考慮して演算器の割り当てを行う。

イコライザのフィルタ演算のハードウェア構成は 8 多重となっており、8 タップ分の演算を 1 個の乗算器で行う。そこで 8 タップを 1 グループとして考え、上の手順で保持したタップ番号の含まれるグループとその前 2 グループと後 2 グループに従来の  $10 \times 15$  ビット乗算器を割り当て、それ以外のタップにはタップ係数のビットを削減した乗算器を割り当てる。

このような演算器の割り当ては、伝送路の変化に追従するように逐次行う必要がある。しかし、米国地上放送では基本的に固定受信を前提としており、主波と遅延波の振幅は頻繁に変動するものの、その時間的な位置関係の変化は激しくない。よって、イコライザ出力が収束するまでの短時間の間に乗算器の割り当てを変える必要があるとは考えにくい。そこで、次章で述べるイコライザによる波形等化のシミュレーション評価において、入力信号を変えない限り、乗算器の割り当ては変動させないものとした。

### 2.4 微小なタップ係数の近似表現

従来のデジタル・フィルタのタップ乗算では、全タップにおいて 10 ビットのデータと 15 ビットのタップ係数の乗算を行っていた。提案手法では冗長な演算が行われていると予測されるタップの乗算を、タップ係数のビットを削減することによって小規模な乗算器で行うようにする。

しかし、単にタップ係数のビットを削減しただけでは 0 近辺の極めて小さいタップ係数を表すときに誤差が大きくなり、イコライザの性能が劣化することがこれまでの評価でわかっている。そこで、通常符号 1 ビット、整数 1 ビット、小数 13 ビットで表しているタップ係数を、符号 1 ビット、有効上位数ビットと指数情報によって扱うことで、極めて小さい値にも対応できるようにした。例えば、タップ係数  $W$  の絶対値を有効上位 5 ビットと指数情報によって表すと、

$$|W| \approx \alpha_5 \times 2^{-n} \quad (n \text{ は } 0 \text{ 以上の整数}) \quad (3)$$

で近似される。

ここで、 $W$  の有効上位 5 ビットを  $\alpha_5$  としている。この結果、符号付き 10 ビットのデータ  $D$  の絶対値 9 ビットとタップ係数  $W$  の絶対値の乗算は、

$$|D| \times |W| \approx |D| \times \alpha_5 \times 2^{-n} \quad (4)$$

で表される。

ここで、 $2^n$ の乗算はシフト演算によって実現できるので、式(4)の乗算は9×5ビット乗算器で行うことができる。

この手法では、図3に示すように9×5ビット乗算器の他に、有効上位ビットを判定する回路とシフト演算を行う回路、データDとタップ係数Wの符号ビットの演算を行う回路が必要になる。しかし、乗算器の面積は入力ビット数によって大きく異なるので、従来の10×15ビット乗算器を用いた場合と比べると、その面積削減効果は大きい。

### 3. シミュレーション結果と考察

#### 3.1 シミュレーション条件

本章で述べるシミュレーションにおいては、VSBイコライザの機能をC言語で記述したCモデルを用いて、イコライザ単体での評価を行った。イコライザのシミュレーションに用いる入力信号は、8-VSB変調信号にATTC(Advanced Television Technology Center)社の実験用マルチパス環境[5]を用いて遅延波を付加した信号を用いた。

マルチパス環境として表2に示すMultipath Ensemble AからEを用いた。Delayは主波に対する遅延時間、Attは主波の振幅に対する減衰量、Phaseは位相を表す。なお、ノイズは加法性白色ガウス雑音AWGN(Additive White Gaussian Noise)としている。

#### 3.2 評価項目

提案手法の性能評価の基準として、以下に述べるビット誤り率と固定劣化を挙げる。

##### (1) ビット誤り率 (BER: Bit Error Rate)

ビット誤り率とは、伝送した総ビット数に対する、受信側で誤って判定されたビット数の割合を指す。

表2 評価に用いたマルチパス環境

Multipath Ensemble	Item	Path 1	Path 2	Path 3	Path 4	Path 5	Path 6
A	Delay [ $\mu$ s]	0	-1.8	0.15	1.8	5.7	18
	Att [dB]	0	20	20	10	14	18
	Phase [deg]	0	188	260	332	44	116
B	Delay [ $\mu$ s]	0	-1.75	0.197	1.85	5.75	17.95
	Att [dB]	0	20	20	10	14	18
	Phase [deg]	0	208	280	352	64	136
C	Delay [ $\mu$ s]	0	-1.8	0.15	1.8	5.7	18
	Att [dB]	0	18	20	20	10	14
	Phase [deg]	0	188	260	332	44	116
D	Delay [ $\mu$ s]	0	-1.8	0.15	1.8	5.7	18
	Att [dB]	0	20	20	18	14	10
	Phase [deg]	0	188	260	332	44	116
E	Delay [ $\mu$ s]	0	-1.8	0.15	1.8	5.7	18
	Att [dB]	0	20	14	10	20	18
	Phase [deg]	0	188	260	332	44	116

ビット誤り率BERは、

$$BER = \frac{\text{受信側で誤って判定されたビット数}}{\text{送信した総ビット数}} \quad (5)$$

で表される。

BERの値が小さいほどイコライザの性能は良い。

次節以降で述べる評価実験において、イコライザ出力が十分収束した後の150万シンボル分のBERの平均値をBERの値とする。

##### (2) 固定劣化

固定劣化とは、信号が受信機内部を通る際に雑音によって生じる劣化のことで、一般的にC/N(Carrier to Noise Ratio:搬送波電力対雑音電力比)の劣化量で表される。固定劣化は、イコライザ出力のC/N-BER特性において基準となるBERに着目した場合に、そのBERを満たす所要C/Nの劣化量で求める。

評価実験ではイコライザをトレーニング・モードで動作したときの出力特性を理想とし、従来のイコライザと提案手法のイコライザについて評価した。トレーニング・モードとは、適応アルゴリズムにおいて誤差を求める際に、スライサでシンボル判定を行った信号の代わりに、トレーニング信号を用いるモードを示す。

### 3.3 評価実験の結果と考察

#### 3.3.1 削減ビット数の決定

提案手法によって乗算器の割り当てを決定した場合のタップ係数のビット数削減によるイコライザ性能の変化を評価した。入力信号には表2に示したMultipath Ensemble AにC/N=15dBとなるように白色ガウス雑音を加えた信号を用いた。評価結果を図4に示す。

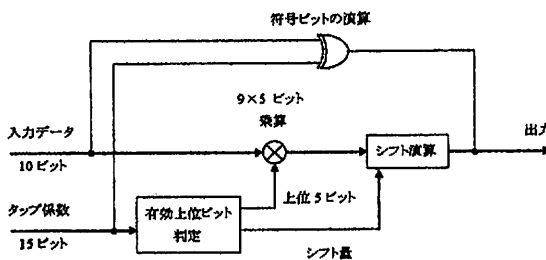


図3 近似乗算ユニット

横軸はタップ係数の絶対値に割り当てるビット数で、縦軸はイコライザ出力の BER を表している。この評価結果より、ビット削減した乗算器におけるタップ係数絶対値のビット数が 5 以上であれば、従来のイコライザと比べてイコライザ出力の BER 劣化が見られず、同等の性能を維持できるものと考えられる。以下、提案手法でビット削減した乗算器のタップ係数絶対値は 5 ビットとする。

また、 $C/N = 15$  dB のときの BER を基準とする固定劣化について、図 5 に示すように、提案するイコライザは従来のイコライザと同じく約 0.05dB となっていた。よって、提案手法と従来手法の出力特性にはほとんど差がないと考える。

### 3.3.2 種々の入力信号に対する評価

表 2 の 5 種類のマルチパス環境下での信号をイコライザに入力して、それぞれシミュレーションを行い、提案手法が様々な入力信号に対して有効であるかを評価した。

なお、入力信号の  $C/N$  はいずれも 15 dB として評価を行った。結果を、図 6 に示す。評価結果より、どのマルチパス環境においても提案するイコライザは従来のイコライザと同等の性能を発揮することが確認できた。

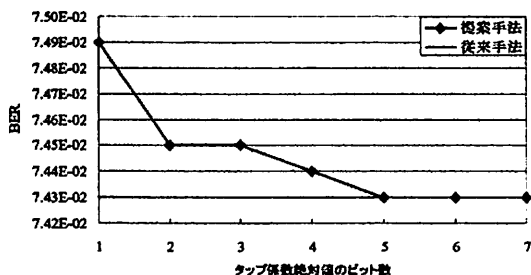


図 4 各ビット数での BER 評価結果

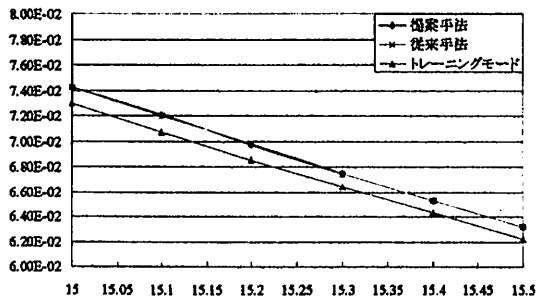


図 5 固定劣化の評価

表 3 フィルタ演算用乗算器の面積・消費電力

回路	面積[グリッド] (従来との比)	消費電力[mW] (従来との比)
10 × 15ビット乗算器	3,702	10.5322
近似乗算ユニット	1,738	3.8695
従来のフィルタ演算部	325,776 (1.00)	926.8336 (1.00)
提案するフィルタ演算部	205,972 (0.63)	520.4095 (0.56)

### 3.3.3 フィルタ演算用乗算器の面積評価

従来のイコライザと提案手法を適用したイコライザについて、フィルタ演算部で大きな面積を占める乗算器の面積評価を行った。従来の 10 × 15 ビット乗算器と 2.4 節で述べた近似乗算ユニットをハードウェア記述言語 Verilog-HDL で記述し、Synopsys 社の論理合成ツールである Design Compiler による論理合成結果から、面積と消費電力を求めた。対象とするイコライザは、ハードウェア構成上全 704 タップを 8 多重しているのので、乗算器の総数は 88 個である。

2.3 節で述べた手順に従って乗算器を割り当てると、入力信号によって 2 種類の乗算器の割合が変化するが、ハードウェアを構成する上で 10 × 15 ビット乗算器と近似乗算ユニットの個数を先に決めておく必要がある。

Multipath Ensemble A から E に対して提案手法を適用した結果 (図 6)、10 × 15 ビット乗算器が最も多く必要になったのは Ensemble D のときで、27 個であった。そこで、全 88 個の乗算器の構成を 10 × 15 ビット乗算器 27 個、近似乗算ユニット 61 個としてフィルタ演算部における乗算器の面積を評価した。

結果を表 3 に示す。提案手法を用いたイコライザのフィルタ演算用乗算器は、従来に比べて面積を 37 %、消費電力を 44 %削減できることが示された。

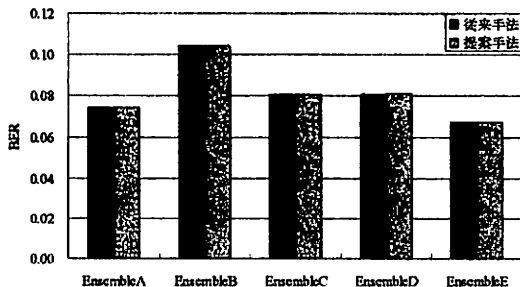


図 6 様々なマルチパス環境下での評価結果

ただし、これらの数値は乗算器のみの比較結果であり、乗算器を切り替えるための回路は含まれていない。

以上に述べたように、BER 測定による提案手法の性能評価と、論理合成によるフィルタ演算用乗算器の面積評価を行った。その結果、近似乗算ユニットに用いる乗算器のビット数を適切に設定すれば、様々なマルチパス環境下においてもイコライザの特性劣化を抑えつつ、フィルタ演算に必要な乗算器の面積および消費電力の削減効果が得られることを確認した。

#### 4. まとめ

本論文では、米国地上デジタル放送用復調回路において小面積化が求められているイコライザの回路面積削減を実現するための手法を提案した。提案手法では、復調回路の同期検出部における相関演算の結果に基づいて、イコライザ出力に及ぼす影響の小さいタップを予測してタップ係数のビット削減を行い、対応する乗算器をビット幅の小さな近似乗算ユニットに置き換えることで、フィルタ演算部の回路面積を削減する。

提案手法を適用した場合に、イコライザの出力特性を従来のものと同等に保つことのできる範囲で削減可能なタップ係数のビット数を評価した。本手法を適用したイコライザのプログラムを用いて、ビット数と BER、固定劣化を評価した。

また、複数のマルチパス環境における入力信号に関して性能評価を行い、本手法が様々なマルチパス環境下で有効であることを確認した。

また、本手法で用いる近似乗算ユニットを論理合成し、面積の評価を行った。評価結果より、本手法を適用したイコライザのフィルタ演算用乗算器について、約 37% の面積削減効果が確認できた。

今後の課題として、復調回路全体に対する面積削減率を評価するために、タップ乗算器の切り替えを行う回路を含んだ面積評価が挙げられる。しかし、イコライザ、なかでもフィルタ演算部における乗算器は、米国地上デジタル放送用復調回路において最大の面積を占めているため、本手法を適用することによって、特性を劣化させずに米国地上デジタル放送用復調回路の小面積化・低消費電力化に有効であると期待できる。

#### 文 献

- [1] Digital Video Broadcasting (DVB) ; Framing structure, channel coding and modulation for digital terrestrial television (DVB-T) , ETSI EN 300 744 V1.5.1, November 2004.
- [2] Advanced Television Systems Committee, "ATSC Standard: Digital Television Standard (A/53), Revision C", May 21, 2004.
- [3] 地上デジタルテレビジョン放送の伝送方式, 電波産業会 ARIB STD-B31, 2001年5月.
- [4] 亀山 涉, 花村 剛, 改訂版 デジタル放送教科書 (上), インプレス, 2004年10月.
- [5] Advanced Television Technology Center, Inc., Evaluation of ATSC 8-VSB receiver performance in the presence of simulated multipath and noise, September 13, 1999.