

三次元集積回路を用いた並列画像処理システムのための ばらつき補正回路を有する並列 AD 変換器の設計

小西 雄太[†] 杉村 武昭[†] 天野 大二郎[†] 福島 誉史[†]
田中 徹[†] 小柳 光正[†]

[†] 東北大学大学院 工学研究科 バイオロボティクス専攻

〒980-8579 宮城県仙台市青葉区荒巻字青葉 6-6-01

E-mail: [†] sdlab@sd.mech.tohoku.ac.jp

あらまし 近年、ロボット技術の発展により高速で高性能の画像処理システムの開発が望まれている。三次元集積回路を用いた画像処理システムは、配線長の短縮による高速化、低消費電力化、並列化のしやすさなどの利点からこの様な高速、高性能の画像処理システムへの応用が期待されている。この画像処理システムでは、入力画像をいくつかのブロックに分割し、ブロックごとにAD変換器、メモリ、画像処理PEを割り当てる。この構成により並列数を任意に増やすことが出来るため、高速での画像処理を行うことが可能になる。その一方で、並列AD変換器の変換特性のばらつきにより並列ブロック間で出力画像がばらつくという問題が生じる。本研究では、AD変換器の変換特性を処理回路で抽出し、各AD変換器にフィードバックすることでばらつきを除去するシステムを提案する。また、同様に処理回路からの命令によってプログラマブルにAD変換を行うシステムについて提案する。

キーワード 三次元集積回路, ロボットビジョン, AD 変換器, ばらつき補正

Design of Parallel A/D Converter with Variation Correction for Parallel Image Processing System using Three-Dimensional Integration Technology

Yuta KONISHI[†] Takeaki SUGIMURA[†] Daijiro AMANO[†] Takafumi FUKUSIMA[†]
Tetsu TANAKA[†] and Mitsumasa KOYANAGI[†]

[†] Department of Bioengineering and Robotics, Graduate School of Engineering, Tohoku University

6-6-01 Aza Aoba, Aramaki, Aoba-ku, Sendai 980-8579, Japan

E-mail: [†] sdlab@sd.mech.tohoku.ac.jp

Abstract Recently, the demand for high-speed and high-performance robot-vision system increases with the progress of the robot technology. The image processing system using three-dimensional integration technology is expected to dramatically improve the performance of robot-vision system because it has advantages of high speed operation due to shortening of wiring length, low power consumption and parallel processing capability. In this system, input image is divided into many parallel image blocks. A/D converter, frame memory, and image processing element are allocated to one image block. We can increase the number of parallel blocks if it is necessary. This system achieves high speed image processing by employing a highly parallel processing with the three-dimensionally stacked structure. On the other hand, there is a problem that the quality of output image is seriously degraded by the variations of conversion characteristics in parallel A/D converters which are distributed to many image blocks. Then we propose the new parallel image processing system to improve the quality of output image by minimizing the variations of conversion characteristics of the A/D converters using the respective processing elements. We also propose the system to execute programmable A/D conversion according to the instructions of processing elements.

Keyword Three-Dimensional Integrated Circuit, Robot-Vision, A/D Converter, Variation Correction

1. はじめに

これまで、ロボットは工場などの一様な環境下で単純作業に用いられ、生産性の向上に多大なる寄与をしてきた。近年は医療現場や家庭環境といった変化に富んだ環境での使用を想定したロボット技術の研究開発が進められている。このような環境下ではロボット自身に人間と同じような判断能力を持たせ、センサから得られた障害物や移動物体に関する外界の情報をリアルタイムで自律的に処理させる必要があり、ビデオレートを大幅に超えるフレームレートでの高速・高性能な画像処理に対するニーズが高まってきている[1]。しかし、汎用マイクロプロセッサを用いた従来の処理方式は、処理能力の不足や高い消費電力といった問題からこのような画像処理システムに用いるには不向きであった。この問題を解決するため、並列処理回路を用いて入力された情報を分散処理する専用プロセッサの開発が行われている[2]。

このような画像処理専用プロセッサの例として、画素ごとに AD 変換器、メモリ、画像処理 PE を持ったビジョンチップが提案されている。ビジョンチップはその並列性の高さから、初期画像処理に対して非常に高い性能を示す[3]。しかしこれまでのビジョンチップでは、画素ごとの面積が大きくなってしまい、PE 間のデータ通信に制限があり複雑な処理を実装することが難しい、といった問題があった。

筆者らはこれらの問題を打破して高速画像処理システムを実現するため、三次元集積化技術を用いた並列画像処理システムの開発を行っている[4][5]。この技術は機能の異なる複数のモジュールを平面状に実装していた従来の LSI に対し、チップを貫通する極めて短い垂直配線を用いて各モジュールを縦方向に積層するものである。この技術を用い、CMOS イメージセンサ、AD 変換器、メモリ、画像処理回路といった構成要素を層ごとに配置することで、イメージセンサの開口率の向上、チップ面積の縮小、配線長の短縮、低消費電力化、並列処理の実装が容易になるといった様々な利点が得られる。図 1 に、三次元集積化技術を用いた画像処理システムの概要を示す。この画像処理システムでは、最上層のイメージセンサをいくつかの小ブロックに分割し、ブロックごとに一つの AD 変換器、メモリ、画像処理 PE を割り当てることで並列処理を行う。しかし、このイメージセンサの画素出力回路や AD 変換器の変換特性に起因してブロック間で出力信号に誤差が生じてしまい、出力画像がばらついてしまうことが考えられる[6][7]。よって、これらの誤差を補正する仕組みが必要となる。

本研究では、並列化が容易で面積、配線に対する制約が少ないという三次元集積回路の特長を用いること

で AD 変換器の近傍に処理回路を設け、これらの誤差を除去するシステムを提案する。また、この処理回路に後段の画像処理 PE での処理結果をフィードバックすることでプログラマブルに AD 変換を行うシステムを提案する。そして、三次元集積回路を用いたブロック単位並列構造による並列 AD 変換器の構成について述べ、シミュレーションによる評価結果を示す。

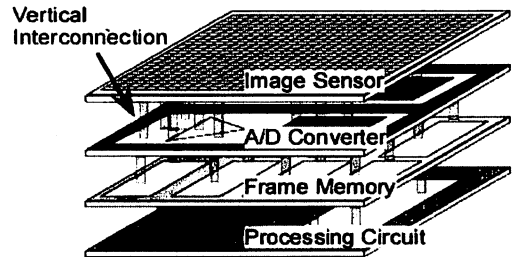


図 1. 三次元積層型並列画像処理システムの概要

2. 三次元積層型並列画像処理システムの構成

本研究で想定している三次元積層型画像処理システムの構成を図 2 に示す[8]。最上層の CMOS イメージセンサで取得された画像情報は、分割されたブロックごとに垂直配線を通じて次層の並列 AD 変換器でデジタル情報に変換され、一画面分の画像情報を格納するフレームメモリに保持される。最下層の並列画像処理 PE では、フレームメモリに格納された画像情報を用いて物体の特徴抽出、動き検出といった処理を行い、結果を外部に出力する。

また、ロボットが自律的に周辺状況を判断し知的に振舞うためには画像処理システムでの処理状態を適宜判断する必要がある。その判断に基づいた制御命令をシステム全体に対して発行することで、周辺状況に即した処理を実行することが可能になる。そこで、提案する画像処理システムでは画像処理 PE に隣接して制御 RISC プロセッサを設け、システム全体に対して発行される命令を統括して管理する。制御 RISC プロセッサの構成を図 3 に示す。制御 RISC プロセッサは、5 段のパイプラインから成り、基本的な算術命令・論理演算命令、分岐命令、メモリロード・ストア命令が実装されている。命令メモリから制御 RISC プロセッサに入力される命令はこれらの演算命令の他に、画像処理 PE での画像処理実効命令、AD 変換器への制御命令、イメージセンサからの画像取得命令等である。

並列画像処理 PE での画像処理の実行は、画像処理命令格納メモリ中の命令を用いて行われる。画像処理命令メモリに格納されている命令に関する情報は、制御 RISC プロセッサの命令デコード部に設置されたファンクションテーブルに格納される。ファンクション

テーブルには処理に関する情報を最大で 8 種類まで格納することが可能であり、制御 RISC プロセッサからの命令でこの中から処理を選択し、画像処理 PE に送ることで処理が実行される。また、画像処理命令メモリへ格納される画像処理命令を外部の大規模メモリに格納された他の画像処理命令と入れ替えることが出来る。処理の入れ替えも制御 RISC プロセッサからの命令によって行われ、同時に命令デコード部のファンクションテーブルに格納される処理に関する情報も書き換えられる。この構成によって、制御 RISC プロセッサは任意の画像処理命令を発行することが可能になっている。

また、提案する画像処理システムでは制御 RISC プロセッサ内の AD 変換制御ユニットを通して AD 変換器に対する制御命令を発行する。並列画像処理 PE での処理結果によって、AD 変換制御ユニット内の制御レジスタの値が書き換えられる。命令デコード部から AD 変換器への制御命令がデコードされると制御レジスタの値が AD 変換器の制御回路に送られ、この値を用いた AD 変換が実行される。この構成によって画像

処理実行の結果を用いたプログラマブルな AD 変換を実行することが出来るため、ロボットビジョンにおいて周辺環境に応じて必要な画像の性質をデジタル値取得の段階で指定できることになり、非常に効率的である。

3. 三次元積層型並列 AD 変換器の提案

図 2 に示したように、三次元積層型画像処理システムにおいて AD 変換器はイメージセンサの下層に設けられ、ブロックごとの処理を行う。AD 変換器の実装面積は上層の画素回路の大きさと処理ブロックの分割数に依存する。ブロック分割数は後段で処理を行う画像処理 PE 数によって決まり、大規模画素の画像を高いフレームレートで処理する際にはブロック数を増やし、PE 並列度を上げる必要がある。よって、並列度が高く実装面積の小さい AD 変換器が要求される。また、AD 変換器に求められる変換速度は処理を割り当てられる画素数に依存し、ブロック数の増加に伴い低速な AD 変換器を用いることが出来る。本研究ではこれらの要求を満たすものとして、DA 変換器で生成される、一定の電圧範囲を単調増加するランプ信号と画素回路からの出力電圧との比較による AD 変換手法を用いる。

従来、イメージセンサからの出力を画素並列に AD 変換するには、チップ外部の単一 DA 変換器から入力されるランプ信号を用いていた[9]。しかし、数百万画素規模の画素数を想定した際、配線の寄生容量等により参照電圧に著しい劣化が起きてしまい、全ての画素に一樣な信号を送ることが出来ない。そこで提案する AD 変換器では、ランプ信号を生成する DA 変換器を一定規模のブロックごとに配置し、複数用いることで配線距離を短縮し、寄生容量の影響を軽減する。

この様に、画素数の増加に対して AD 変換器の数をスケラブルに増やすことが可能である。よって、画素数の増加が AD 変換性能に依存することがなくなり、大規模画素の画像の高速取得が可能であることが特長である。一方、DA 変換器を複数用いたことなどに起因して、並列ブロック間で AD 変換特性が一定でなく、出力画像にブロック単位でのばらつきが発生するという問題がある。

この問題に対して本研究で提案する AD 変換器では、三次元構造を利用して並列ブロックごとに AD 変換を制御するための処理回路を設ける。この処理回路によって AD 変換の特性を制御し、ブロック間でのばらつき除去を行う。また、AD 変換処理回路に後段の画像処理システムとのインターフェースを設けることにより、処理結果を利用したプログラマブルな AD 変換が可能になる。以下で、提案する AD 変換器の構成と機能について述べる。

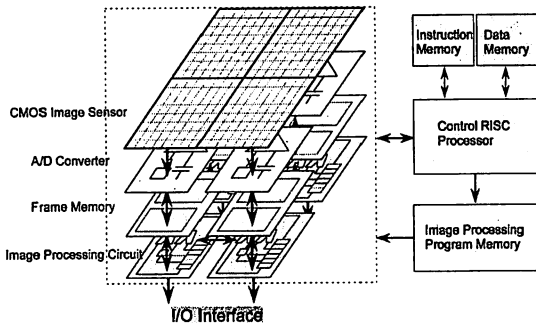


図 2. ロボットビジョン用画像処理システムの構成

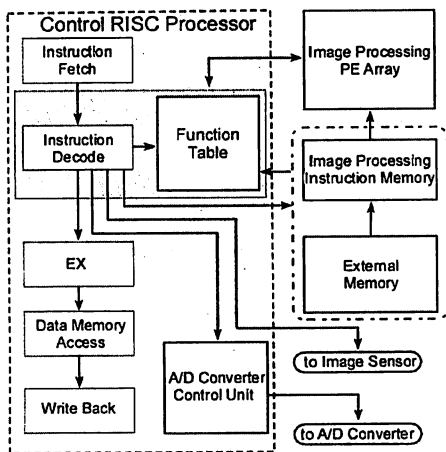


図 3. 制御 RISC プロセッサの構成

3.1. 並列 AD 変換器の構成

三次元積層型並列 AD 変換器の構成を図 4 に示す。また、AD 変換回路のブロック図を図 5 に示す。イメージセンサを分割したブロックごとに比較器とメモリ回路が割り当てられる。4 つの比較器、メモリ回路に対して一つの DA 変換器と制御回路を割り当て、AD 変換の単位ブロックとする。

AD 変換の制御には、以下の二つのカウンタが用いられる。

(1)DA 変換器に対して信号を出力し、参照電圧の生成に用いる 8 ビットの DA 変換用カウンタ。全ての DA 変換器の入力に対して、単一のカウンタからの出力が用いられる。

(2)メモリに対して信号を出力し、DA 変換器からのランプ信号が画素回路の出力電圧を上回るまでの時間を計るために用いる 8 ビットのメモリ用カウンタ。AD 変換の単位ブロックごとの制御回路に内蔵される。

これらのカウンタは、AD 変換の開始信号を受け取ると単調に増加を開始する。DA 変換用カウンタからの出力によって生成されたランプ型の参照電圧が画素回路からの出力電圧を上回ると比較器からの出力が立ち下がる。比較器の出力はメモリへの書き込み許可信号になっており、立ち下がった時点でのメモリ用カウンタの値が保持されることで出力電圧に応じたデジタル値が得られる。この際、比較器のオフセット電圧や画素回路からの出力回路における特性のばらつきに起因して固定パターンノイズ(FPN)が生じ、並列ブロック間で出力画像に誤差が生じてしまう。そこで、画素出力がされていないリセット時の電圧とランプ信号とを比較し、結果をメモリに保存する。画素出力によって得られたデジタル値からリセット出力を減算する、相関二重サンプリング(CDS)回路を比較器ごとに備えることによってこれらのばらつきを相殺している。

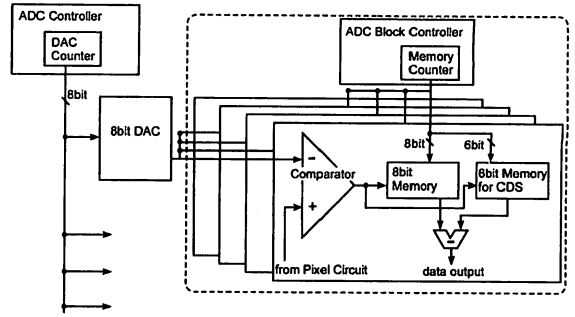


図 5. AD 変換回路のブロック図

3.2. ばらつき補正手法

並列 AD 変換器の構成に DA 変換器を複数用いた際、大規模画素の配線容量に起因する著しいばらつきは取り除かれるが、DA 変換器固有の出力特性誤差や多少の配線容量、三次元集積した際の垂直配線の容量などにより DA 変換器を共有する単位ブロック間で出力画像にばらつきが生じる。そこで後段の画像処理 PE においてばらつきを測定し、制御信号を AD 変換器の制御回路にフィードバックすることで補正を行う機構を提案する。

DA 変換器を共有するブロック単位で設けられた制御回路によってブロックごとにメモリ用カウンタの出力直線の傾きを変更することにより、DA 変換器の出力ランプ信号のばらつきの補正を行う。この機能は、以下の 4 ステップを経て実行される。

1. DA 変換の理想変換直線からのずれを測定する。外部から入力される参照電圧を用いて AD 変換を行い、得られた出力を演算することにより誤差を抽出する。
2. 得られた誤差を元に実際の DA 変換出力特性に近似した直線を算出する。
3. 得られた情報を AD 変換制御回路中の DA 変換器ごとに設置された制御回路に入力する。
4. 入力された情報を元にメモリ用カウンタの出力信号を制御し、DA 変換特性近似線に沿った新しいカウント信号を生成し、AD 変換を実行する。

図 6 に、この機能の実行の模式図を示す。この際サンプル数、すなわち入力される参照電圧の数が多いほど実際の DA 変換出力特性に近い近似線を得ることが可能である。

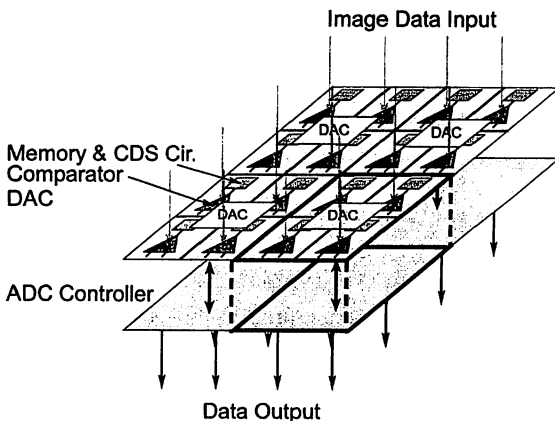


図 4. 三次元集積型 AD 変換器の構成

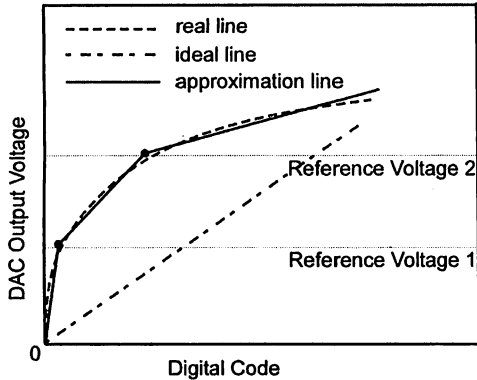


図 6. DA 変換特性近似線抽出の模式図

3.3. 並列 AD 変換器のプログラマブル制御

処理回路に、画像処理システムから命令を加えることによってプログラマブルな AD 変換を行うことが出来る。

本研究では、AD 変換の解像度を任意に変更する命令を実装した。この命令は DA 変換用カウンタとメモリ用カウンタの出力を指定された解像度によって変更することで実行される。この際、解像度に応じて AD 変換に要する時間が変化する。図 7 に、解像度と AD 変換に要する時間の相関図を示す。

ロボットビジョンシステムにおいてこの機能を用いることで、画像の解像度とフレームレートを実行する画像処理に応じて選択することが可能になる。不必要な情報をアナログ値からデジタル値への変換の段階で省くことによって高速で効率のよい画像処理を実行可能である。

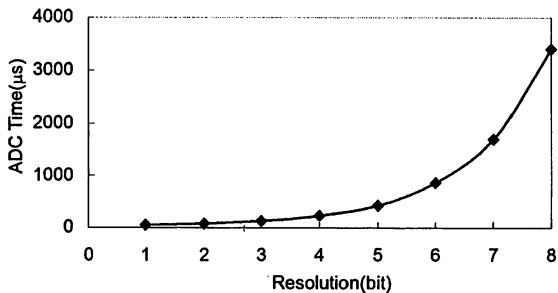


図 7. 解像度と AD 変換時間の相関図

4. 並列 AD 変換器の試作

提案する三次元集積型並列 AD 変換器の機能を確認するため、0.35μm CMOS メタル 4 層プロセスを用いて ASIC での設計を行い、現在試作中である。試作したチップのブロック図を図 8 に、AD 変換部のレイアウトを図 9 に示す。32×32 画素の CMOS イメージセンサは、

縦 2 列、横 8 列の 16 ブロックに分割され、画素出力を上下に設置された AD 変換回路に送る。画素を分割した一つのブロックごとに比較器とメモリ回路を設け、DA 変換器と AD 変換処理回路を 4 つの比較器ごとに一つ用いた。ばらつき制御機構のための参照電圧入力は 8 入力である。また、制御 RISC プロセッサとのインターフェースを設けてあり、データや命令を受け取ることで AD 変換をプログラマブルに行うことが可能になっている。

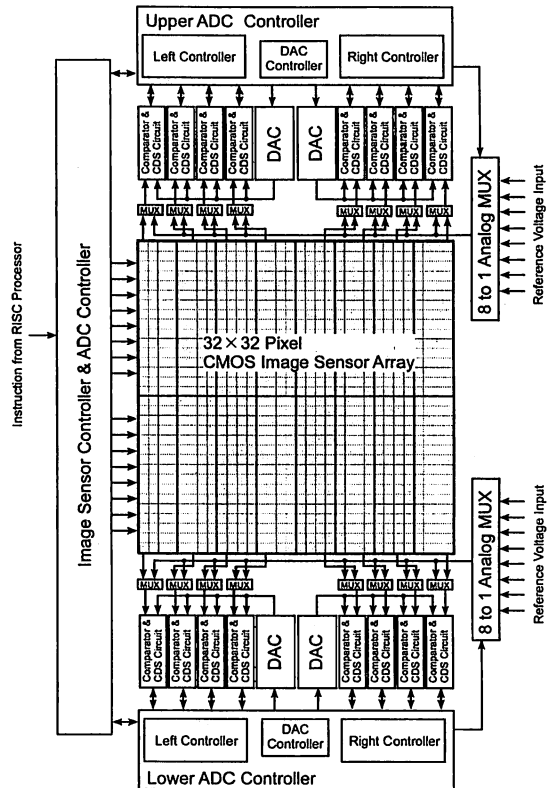


図 8. 試作した並列 AD 変換器のブロック図

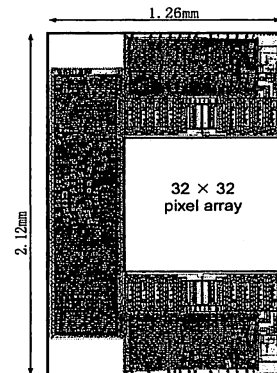


図 9. 試作したチップのレイアウト

5. 評価

本研究によって試作を行った AD 変換器のばらつき補正回路についての評価を、HDL シミュレータを用いて行った。8 ビットの AD 変換器において、DA 変換器の変換特性として、入力されたデジタルコードに対する出力が比較器に入力される際に、理想変換曲線からの誤差が 10LSB(Least Significant Bit)程度であると仮定した。この仮定に基づき、ばらつき補正適用前後の各コードにおける理想変換直線からの誤差を記録した。シミュレーション条件を表 1 に、シミュレーション結果を図 9 に示す。この結果、平均誤差が 0.62LSB となり大幅に誤差が軽減されていることが確認出来た。

表 1. シミュレーション条件

AD 変換解像度	8bit
動作周波数	100MHz
DA 変換器セトリング時間	300 μ s
DA 変換電圧範囲	1.024V
参照電圧数	8 (0.128V 間隔)

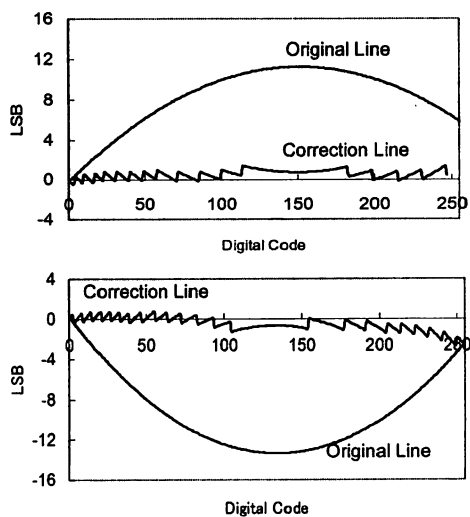


図 9. ばらつき補正シミュレーション結果

6. まとめと今後の課題

三次元集積化技術を用いた画像処理システムのための、ばらつき補正回路を有する並列 AD 変換器を設計した。提案する画像処理システムでは、画素数の大規模化に対して分割ブロック数を増やし、ブロックごとに AD 変換器、フレームメモリ、画像処理 PE を割り当て、処理の並列度を上げることで処理能力を向上している。一方で、ブロックごとに AD 変換器からの出力画像がばらつくという問題があった。これは、AD 変換の参照電圧に用いるランプ信号を、複数 DA 変換

器を用いて生成しており DA 変換器の変換特性にばらつきが生じることに起因する。そこで、DA 変換器の特性によるブロック間ばらつきを補正するための機構について提案し、シミュレーションによってその効果を確認した。また、この画像処理システムをロボットビジョンで用いる際に、プログラマブルに AD 変換を実行するシステムについて提案した。

ばらつき制御機構は、DA 変換器のセトリング時間や動作周波数、参照電圧の安定性など、様々な要因に影響を受けると考えられる。今後は、現在試作中であるチップの測定を行うことで、各要素の特性を調べることにより正確な補正が出来るよう改善する。また、試作したチップを画像処理 PE、制御 RISC 等と組み合わせ、実際のロボットビジョンに即した環境での動作の実現を行う予定である。

謝辞 本研究の一部は東北大学 21 世紀 COE プログラム「ナノテクノロジー基盤機械科学フロンティア」の支援を受けて行ったものであり、謝意を表す。また、本研究の一部はケーデンス株式会社、シノプシス株式会社及びメンターグラフィックス株式会社の協力で行われたものである。

文 献

- [1] 出口淳 他, “サッカーモデルに基づくロボットのためのフィードフォワードカメラ制御の研究,” 日本機械学会東北支部第 37 期総会・講演論文集, No.021-1, pp.56-57, 2002.
- [2] 小室孝 他, “ビジョンチップのための動的再構成可能な SIMD プロセッサ,” 信学論(D-II), vol.J86-D-II, no.11, pp.1575-1585, Nov.2003.
- [3] 小室孝 他, “高速対象追跡ビジョンチップ,” 信学論(D-II), vol.J84-D-II, no.1, pp.2049-2059, Jan.2001.
- [4] D. Kawae et al., “Parallel Image Processing LSI Fabricated Using Three-Dimensional Integration Technology,” Proc. SSDM, pp.314-315, 2002.
- [5] H. Kurino et al., “Biologically Inspired Vision Chip with Three Dimensional Structure,” IEICE Trans. Electronics, Vol.E84-C, No.12, pp.1717-1722, 2001.
- [6] David X. D. Yang et al., “A Nyquist-Rate Pixel-Level ADC for CMOS Image Sensor,” IEEE J. Solid-State Circuits,” vol.34, No.3, pp.348-355, Mar.1999.
- [7] M. Burns et al., An Introduction to Mixed-Signal IC Test and Measurement, pp. 403-446, Oxford University Press, Oxford, 2001.
- [8] 杉村武昭 他, “ロボットビジョンシステムのための積層型並列リコンフィギャラブル画像処理プロセッサの設計,” 信学論(D), vol.89-D, no.6, pp.1141-1152, Jun.2006.
- [9] A.O. Ercan et al., “Experimental High Speed CMOS Image Sensor System and Applications,” Proceedings of IEEE Sensors Conference, pp.15-20, Jun 2002.