

## 3次元型トランジスタ FinFET を用いたシステム L S I の設計法 —パターン面積の縮小効果の見積もり—

渡辺 重佳 岡本 恵介 大谷 真

湘南工科大学 情報工学科 〒251-8511 神奈川県藤沢市辻堂西海岸 1-1-25

E-mail: watanabe@info.shonan-it.ac.jp

あらまし 3次元型トランジスタの中で最も有望な FinFET を用いたシステム LSI 設計法、特に素子領域のパターン面積の縮小効果について検討した (検討したモチーフは通信用システム LSI、プロセッサ、民生向け ASIC, DRAM 用バッファ回路)。“平面型+FinFET 型”の導入し、側壁チャネル幅を最適化することにより、動作速度、消費電力等の性能を犠牲にする事無くシステム LSI の素子領域のパターン面積を従来の平面型の場合の約 30% に縮小できることを示した。素子領域以外のウェル境界、配線領域では素子領域程の縮小効果は期待できず今後更なる詳細な検討が必要になる。今後設計上の幾つかの検討項目を解決することにより、“平面型+FinFET 型”方式は将来のシステム LSI 実現の有力な候補になる。

キーワード システム L S I, FinFET、チャネル幅、側壁チャネル幅、セルライブラリ、TIS

## Design Method of System LSI with Three-Dimensional Transistor (FinFET) —Reduction of Pattern Area—

Shigeyoshi Watanabe, Keisuke Okamoto, Makoto Oya

Department of Information Science, Shonan Institute of Technology

1-1-25 Tsujido-Nishikaigan, Fujisawa, 251-8511 Japan

E-mail: watanabe@info.shonan-it.ac.jp

**Abstract** New design method of system LSI with FinFET has been developed. Using planar+FinFET architecture the pattern area of system LSI designed by cell library can be reduced to about 30% compared with the conventional planar case. New design method is a promising candidate for realizing future high performance, high-density system LSI.

**Keyword** system LSI, FinFET, channel width, sidewall channel width, cell library, TIS

### 1. はじめに

近年平面型 CMOS トランジスタで構成されたシステム LSI は微細化、高集積化により 1 億個以上のトランジスタを集積したチップに G I P S の処理能力を実現出来るようになった。しかしながら新たに 2 点の大きな問題が指摘されている。

1 点目はシステム L S I を構成する平面型 CMOS トランジスタの微細化の限界の到達である [1]。ショートチャネル効果の増大、サブスレッショルド特性の劣化が解決困難となってきた。2 点目はユーザーの高機能化の要請に答えたために必然的に生じるチップの大型化に伴う製造コストの増大である。大型化に伴いグロス率は低下し、歩留りも大幅に低下してしまう。

これらの問題を解決する新技術として FinFET に代表される 3 次元型トランジスタが現在注目されている [2] - [7]。本研究では FinFET 導入によるシステム

L S I のパターン面積の縮小効果を通信用システム L S I 等で見積もった [8]。

### 2. 通信用システム L S I での面積縮小効果

図 1 に各種トランジスタを比較して示す。S O I 型は従来の平面型と比較してゲートコントロール性が良くトランジスタの微細化に適している。しかしパターン面積の縮小効果は無い。一方 4 側面をチャネルに使う S G T 型は微細化、パターン面積の縮小が実現できるが作りやすく、ソースとドレイン電極の高さが異なるため全く新しい設計技術を開発しなければならない。それに対して FinFET 型は 3 側面をチャネルに使用出来、微細化、パターン面積の縮小が実現出来、製造技術も平面型に近く比較的容易である。そこで本研究では 3 次元型トランジスタの中で最も実現可能性が高い FinFET 型に関して更に詳細に解析した。

図 2 に FinFET の平面図と断面図を示す。トランジ

スタのチャンネル幅は平面部の  $W_p$  と側壁チャンネル幅  $D$

	平面型	SOI型	FinFET/TIS型	SGT型
断面図				
トランジスタの微細化	困難	容易	容易	容易
パターン面積の縮小効果	無し	無し	有り	有り
製造技術	容易	比較的容易	比較的容易	困難
設計技術	既存技術	一部新規 基板効果対策等	一部新規 側壁チャンネル幅の最適化等	新規 ソース・ドレイン電極の高低差等

図 1. 各種トランジスタの比較

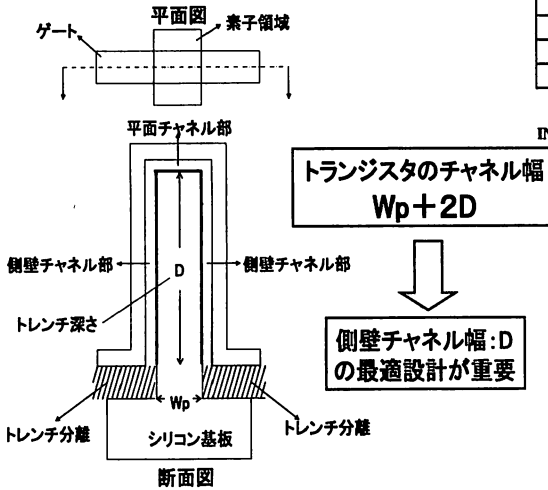


図 2. FinFET の平面図及び断面図

$D = 13F$  ( $F$  は設計寸法) の場合を想定する  
1 個の FinFET のチャンネル幅  $= F + 2 \times 13F = 27F$

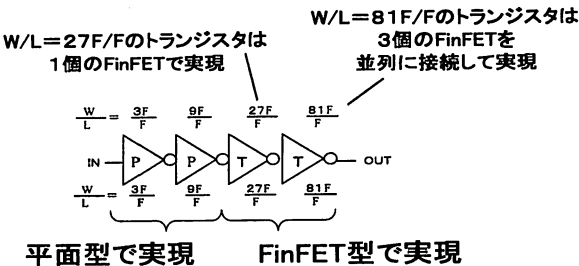


図 3. “平面型+FinFET”方式

を用いて  $W_p + 2D$  と表される。FinFET を用いる場合、出来るだけパターン面積が縮小されるように側壁チャンネル幅  $D$  を決定することとチップ内のどのトランジスタに FinFET を使用するかを選択することが設計上重要となる。その選択法としてチャンネル幅の小さいトランジスタを平面型とし、チャンネル幅の大きいトランジスタを FinFET 型とする“平面型+FinFET”方式を今回採用した。

平面型トランジスタで設計されたセルライブラリの概要  
(セルライブラリの種類と代表セルを表示)

トランジスタの直列接続段数  
規格化したチャンネル幅 (X1 のチャンネル幅は 5F)

	X1	X2	X3	X4	X8	X16	X20
1	19, INVX1	4, INVX2	1, INVX3	3, INVX4	2, INVX8	1, INVX16	1, INVX20
2	18, 2NANDX1	8, 2NANDX2		3, 2NANDX4			
3	8, 3NANDX1	2, 3NANDX2		1, 2NANDX4			
4	4, 4NANDX1						
6	2, 6NANDX1						
8	1, 8NANDX1						

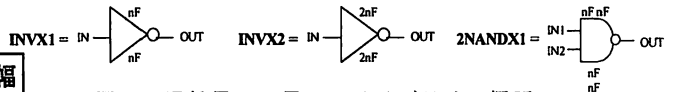
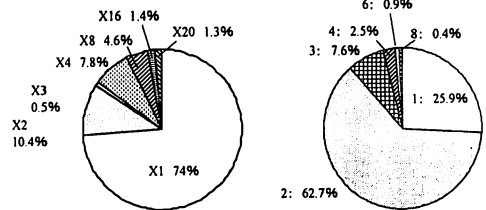


図 4. 通信用 LSI 用セルライブラリの概要

次に素子領域 (トランジスタ部分及び素子分離部分を含む) のパターン面積の縮小効果を見積もるためトランジスタのチャンネル幅の分布が比較的平均的な通信用 LSI の設計 [9] に用いたセルライブラリを解析した。図 7 にその概要を示す。トランジスタのチャンネル幅 (横軸)、直列接続段数 (縦軸) に注目して分類してある。

トランジスタの直列接続段数  
規格化したチャンネル幅 ( $n = 5F$ )

	X1	X2	X3	X4	X8	X16	X20	合計
1	13.9	3	0.5	1.2	4.6	1.4	1.3	25.9
2	50.7	6		5.9				62.7
3	5.5	1.4		0.7				7.6
4	2.5							2.5
6	0.9							0.9
8	0.4							0.4
合計	74	10.4	0.5	7.8	4.6	1.4	1.3	100



トランジスタのチャンネル幅で分類      トランジスタの直列接続段数で分類

図 5. セルライブラリのパターン面積比

このセルライブラリは平面型トランジスタで設計されている。チャンネル幅が最小 X1 (3~10F) でトランジスタの直列段数が 1 のセル数 (セルの種類) は 19 個あり、代表的なセルは INVX1 である。各セルライブラリを用いて設計したパターン面積がチップ全体に占める割合を図 5 に示す。この通信用 LSI ではチャンネル幅が最小の X1 のトランジスタが大部分のパターン面積を占める (74%)。またチャンネル幅が大きくなるとパターン面積が減少することが分かる。以上の結果よりこのセルライブラリに“平面型+FinFET”方式を適用すると比較的側壁チャンネル幅が小さい時にパターン面積が最小になると予想される。図 6 にパターン面積の側壁チャンネル幅依存性を、図 7 に側壁チャンネル幅の値ごとに各ライブラリで平面型 (図中で P)、FinFET (図中で T) のいずれを使ったかを示す。X1 のトランジスタのチャンネル幅は 5F を想定している。

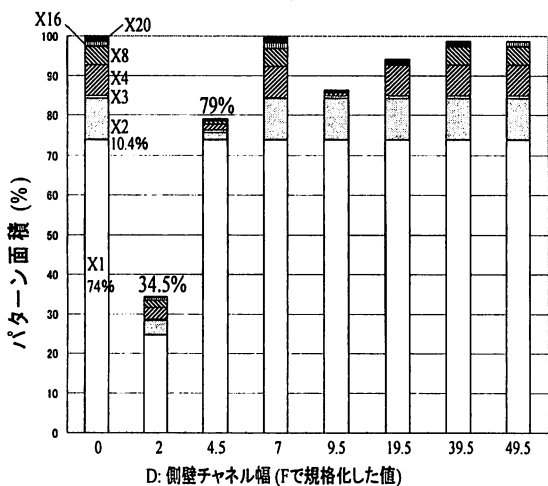


図 6. パターン面積の縮小率の D 依存性

側壁チャンネル幅 (F で規格化した値)

規格化したチャンネル幅 (X1 のチャンネル幅は 5F)

	X1	X2	X3	X4	X8	X16	X20
0	p	p	p	p	p	p	p
2	T	T	T	T	T	T	T
4.5	p	T	p	T	T	T	T
7	p	p	T	p	p	p	p
9.5	p	p	p	T	T	T	T
19.5	p	p	p	p	T	T	p
39.5	p	p	p	p	p	T	p
49.5	p	p	p	p	p	p	T

図 7. 各ライブラリでのトランジスタの種類

チップ面積の大部分を占める X1 のトランジスタ (チャンネル幅 5F) を 1 個の FinFET 型で実現する D=2F の時パターン面積の縮小効果は最も大きい。全て平面型で設計した時の約 35% まで縮小出来る。パターン面積を縮小する際に動作速度、消費電力等の性能は犠牲とならない。これは FinFET は平面型と比較してパターン面積が縮小される以外は付加容量、抵抗等は平面型とほぼ同じ値になるためである。

### 3. 各種システム LSI での面積縮小効果

パターン面積の大きな縮小効果が通信用システム LSI 固有の結果ではない事を示すため、プロセッサと民生向け ASIC に使用しているセルライブラリ及び DRAM 用バッファ回路で同様な検討を行った [10]-[12]。結果を図 8 に示す。最小のトランジスタ幅で構成されるセル X1 のチップ全体に占めるパターン面積の割合はモチーフによって異なるが、いずれの場合も“平面型+FinFET”方式の導入により約 30% までパターン面積は縮小できる。(パターン面積を最小にする最適な側壁のチャンネル幅はモチーフによって若干異なる。

	パターン面積比	最適側壁チャンネル幅	最適パターン面積
プロセッサ	X1: 90% X2+X3: 9%	2F	33%
民生向け ASIC	X1: 88% X2+X3: 12%	2F	33%
通信用システム LSI	X1: 74% X2+X3: 10%	2F	35%
DRAM 用バッファ回路	X1: 2% X2+X3: 7% X27: 34% X81: 31% X9: 25%	4.5F	28%

図 8. 各種システム LSI での面積縮小効果

### 4. 素子領域以外のパターン面積縮小効果

3. までの検討により“平面型+FinFET”方式の導入によりシステム LSI では素子領域でのパターン面積が大幅に削減できる可能性が有ることが分かった。実際のシステム LSI では素子領域以外のウェル分離領域、異種トランジスタ間隔 (平面型・FinFET 間隔)、配線領域等がパターン面積を律即している場合が想定される。そこでインバータと 4 入力 NAND が隣接する場合と自回路内に多数の内部配線が走るフリップフロップ回路のパターン設計を行った。

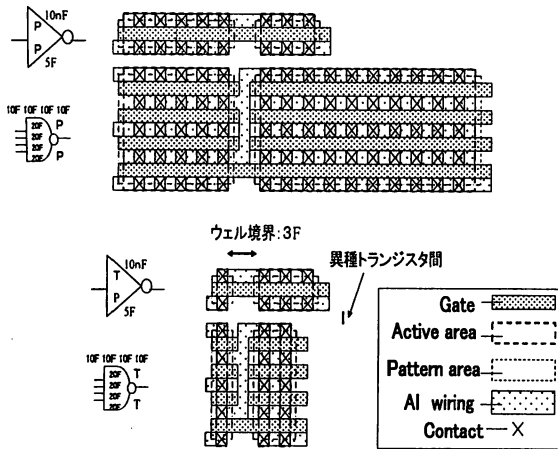


図9. インバータと4入力 NAND の平面パターン図

図9にインバータと4入力 NAND が隣接するパターン(上部が平面型を用いて設計した場合、下部が“平面型+FinFET”方式を用いて設計した場合)を示す。この図で素子領域幅、トレンチ分離幅、ウェル分離幅、ゲート長、配線幅は最小線幅  $F$ 、ゲート間距離、配線間距離、同種素子領域間隔は  $F$ 、コンタクトサイズは  $F \times F$  を想定した。素子領域はパターン面積は大幅に縮小出来るがウェル境界部は配線領域等が必要なため比較的大きな間隔  $3F$  が必要になる。一方異種トランジスタ間隔はトレンチ分離で実現出来るため [13]  $F$  で実現可能である(図10のB-B'断面図参照)。

図11に典型的なフリップフロップ回路の回路図[14][15]とパターン設計図を示す。素子領域は大幅に縮小出来るものの配線領域が縮小できないためパターン面積の縮小は平面型の約70%に止まる。パターン面積の縮小効果を正確に見積もるためには、今後具体的なセルライブラリでの詳細な見積もりが必要になる。

### 5. 更なる検討項目

以上“平面型+FinFET”方式導入によるシステム LSI のパターン面積の縮小効果について簡単な検討を行った。今後の検討項目として具体的なセルライブラリでのパターン面積の縮小効果等の正確な見積もりが必要となる。現在セルライブラリの詳細データが全て公開されている CMOS 3 の代表的なセルライブラリ[20]を用いてパターン面積の詳細な縮小効果を見積もっているの以下に簡単に紹介する。

縮小効果を見積もる上で最も重要なのは側壁チャンネル幅  $D$  の設定である。このセルライブラリを用いて設計したシステム LSI のパターン面積を最小にするよう設計する必要がある。その設定値を用いて各セルライブラリの共通高さを設定する。図12にこのセルライブラリで使われているトランジスタの個数のチャンネル幅依存性、図13に個数をチャンネル幅で重み付けした値のチャンネル幅依存性(図5に対応する)を示す。図13を参考にして素子領域のパターン面積が最小になるよう側壁チャンネル幅、各セルライブラリの共通高さを設定する。

また具体的なパターン面積を見積もる場合にはこのセルライブラリのデザインルールを守る形で FinFET を設計しなければならない。4章までの検討ではデザインルールは理想的な値を仮定してきたが(FinFETの平面部チャンネル幅  $F$ 、チャンネル間隔  $F$ 、セルフアラインコンタクトの使用を仮定)、ここではこのセルライブラリのより実際の・保守的な値を使用しなければならない。(例えば平面部チャンネル幅  $2.3F$ 、チャンネル間隔  $1.3F$ 、セルフアラインコンタクトは無く

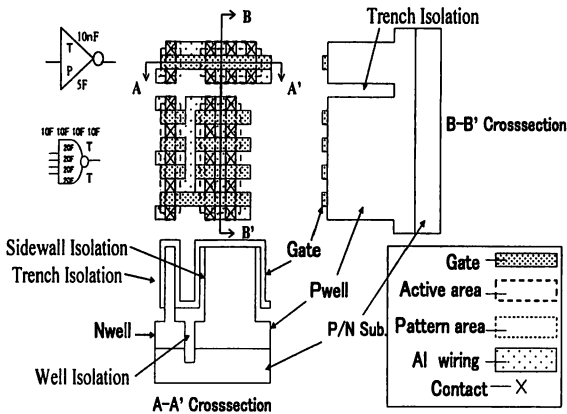


図10. 図9の平面パターン図及び断面図

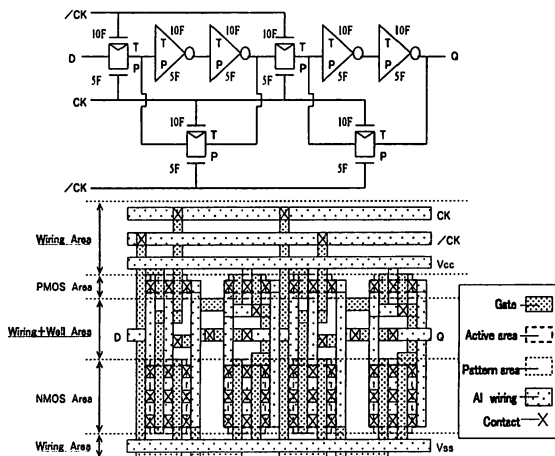


図11. フリップフロップの回路図及びパターン図

コンタクトは必要最小限の素子領域余裕を持たせる等)。今後設定された側壁チャンネル幅とこのセルライブラリのデザインルールを用いて各セルライブラリの共通高さを決め、次にこのセルライブラリのデザインルールを用いて各セルライブラリ固有の幅を求め、最終的なセルライブラリのパターン面積の総和を計算する予定である。

## 6. まとめ

3次元型トランジスタの中で最も有望なFinFETを用いたシステムLSI設計法、特に素子領域のパター

ン面積の縮小効果について検討した(検討したモチーフは通信用システムLSI、プロセッサ、民生向けASIC,DRAM用バッファ回路)。“平面型+FinFET型”の導入し、側壁チャンネル幅を最適化することにより、動作速度、消費電力等の性能を犠牲にする事無くシステムLSIの素子領域のパターン面積を従来の平面型の場合の約30%に縮小できることを示した。素子領域以外のウェル境界、配線領域では素子領域程の縮小効果は期待できず今後更なる詳細な検討が必要になる。今後設計上の幾つかの検討項目を解決することにより、“平面型+FinFET型”方式は将来のシステムLSI実現の有力な候補になる。

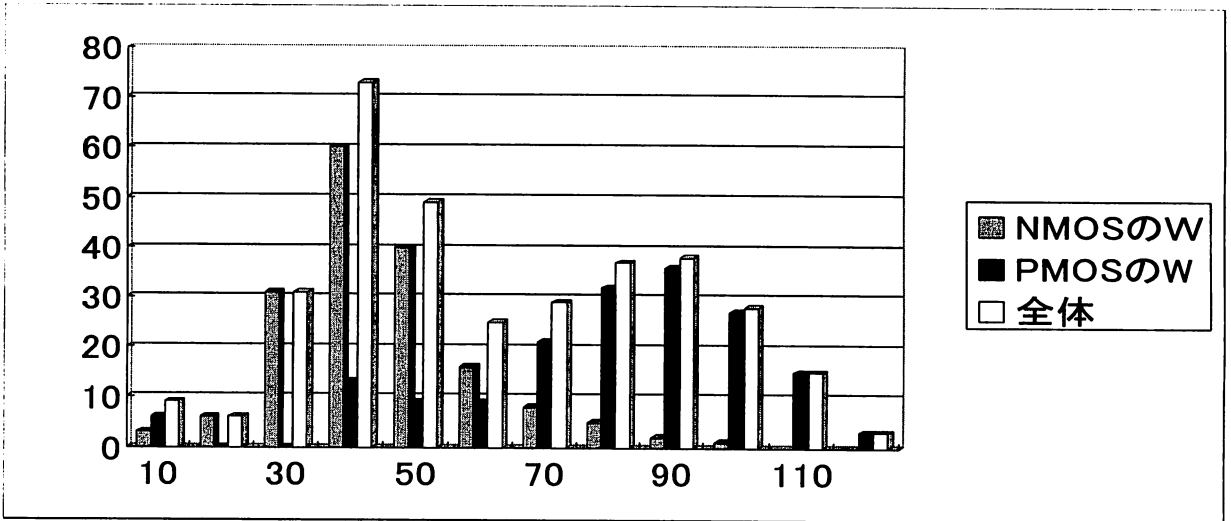


図1.2 トランジスタの個数のチャンネル幅依存性 (NMOS、PMOSの個数、両者の和の個数を示す)

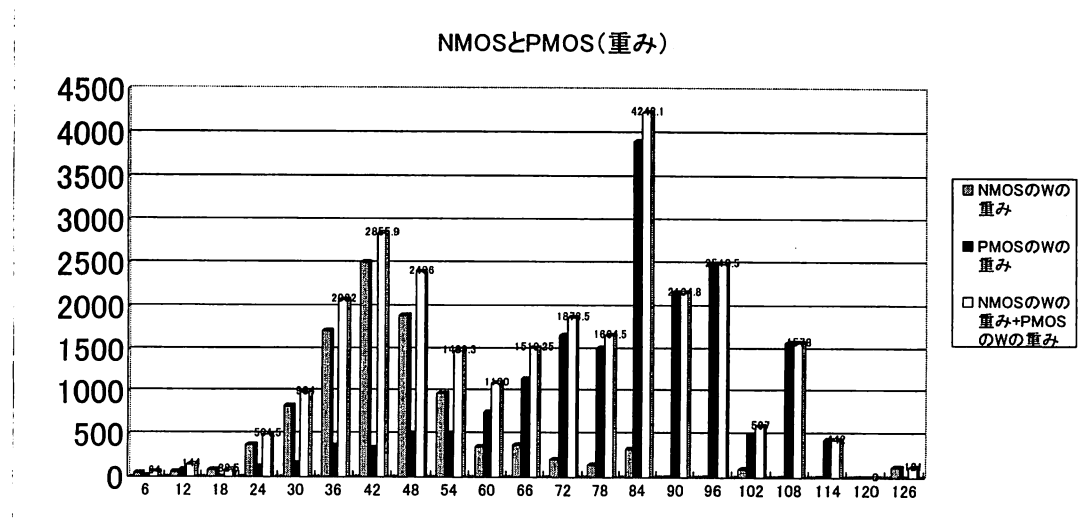


図1.3 チャンネル幅で重み付けした値の幅依存性 (NMOS、PMOSの個数、両者の和の個数を示す)

## 文 献

- [1] K. Hieda, F. Horiguchi, H. Watanabe, K. Sunouchi, and H. Hamamoto, "Effects of a new trench-isolated transistor using side wall gates", *IEEE Trans. Electron Devices*, Vol.36, no.9, pp.1615-1619, 1989.
- [2] X. Huang, W. Lee, C. Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y. Choi, K. Asano, V. Subramanian, T. King, J. Bokor and C. Hu, "Sub-50nm P-channel FinFET", *IEEE Trans. Electron Devices*, Vol.48, no.5, pp.880-886, 2001.
- [3] N. Lindert, L. Chang, Y. Choi, E. Anderson, W. Lee, T. King, J. Bokor and C. Hu, "Sub-60-nm quasi-planar FinFETs fabricated using a simplified process", *IEEE Electron Devices Letters*, Vol.22, no.10, pp.487-489, 2001.
- [4] Y. Choi, T. King, and C. Hu, "Nanoscale CMOS spacer FinFET for the terabit era", *IEEE Electron Devices Letters*, Vol.23, no.1, pp.25-27, 2002.
- [5] 渡辺重佳, "T I Sを用いたバッファ回路の新設計法とその大容量D R A Mへの適用検討" *電子情報通信学会和文誌 C*, Vol. J86-C, no. 3, pp.301-306, 2003.
- [6] S. Watanabe, "Impact of three-dimensional transistor on the pattern area reduction for ULSI", *IEEE Trans. Electron Devices*, Vol.50, no.10, pp.2073-2080, 2003.
- [7] 渡辺重佳, "T I Sを用いたバッファ回路とそのD R A Mへの適用検討" 2003年電子情報通信学会春全国大会.
- [8] 渡辺重佳, "T I Sを用いたシステムL S Iの設計法" *電子情報通信学会和文誌 C*, Vol. J88-C, no.12, pp.1-11, 2005.
- [9] H. Ishikuro, M. Hamada, K. Agawa, S. Kousai, H. Kobayashi, D. Nguyen, and F. Hatori, "A single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter," *ISSCC Dig. Tech. Papers* pp.68-69, 2003.
- [10] K. Yano, Y. Sasaki, K. Rikino, and K. Seki, "Top-down pass-transistor logic design", *IEEE Journal of Solid-State Circuits*, Vol.31, pp.792-783, 1996.
- [11] C. Hwang, Y. Hsieh and Y. Lin "An efficient layout style for two-metal CMOS leaf cells", *IEEE Trans. Computer-Aided Design*, Vol.12, pp.410-424, 1993.
- [12] A. Kondratyev et al., "Technology mapping for speed-independent circuits: decomposition and resynthesis", in *Proc. Advanced Res. Asynchronous Circuits*, pp.240-253, 1997.
- [13] T. Endoh, M. Suzuki, H. Sakuraba and F. Masuoka, "2.4F2 memory cell technology with stacked-surrounding gate transistor (S-SGT) DRAM", *IEEE Trans. Electron Devices*, Vol.48, no.8, pp.1599-1603, 2001.
- [14] S. Kang and Y. Leblebici, "CMOS digital integrated circuits", McGraw-Hill, 1998.
- [15] F. Beeftink, P. Kudva, D. Kung, R. Puri and L. Stok, "Combinational cell design for CMOS libraries", *INTEGRATION, the VLSI journal* Vol.29, pp.67-93, 2000.
- [16] Y. Oowaki, K. Tsuchida, Y. Watanabe, D. Takashima, M. Ohta, H. Nakano, S. Watanabe, A. Nitayama, F. Horiguchi, K. Ohuchi and F. Masuoka, "A 33-ns 64Mb DRAM", *IEEE Journal of Solid-State Circuits*, Vol.26, no.11, pp.1498-1505, 1991.
- [17] L. Chang, M. Jeong and M. Yang, "CMOS circuit performance enhancement by surface orientation optimization", *IEEE Trans. Electron Devices*, Vol.51, no.10, pp.1621-1627, 2004.
- [18] T. Mizuno, N. Sugiyama, T. Tezuka, Y. Moriyama, S. Nakaharai and S. Takagi, "(110)-surface strained-SOI CMOS device", *IEEE Trans. Electron Devices*, Vol.52, no.3, pp.367-374, 2005.
- [19] N. Collaert, A. Dixit, K. Anil, R. Rooyackers, A. Veloso, and K. Meyer, "Shift and ratio method revisited: extraction of the fin width in multi-gate devices", *Solid-State Electronics*, Vol.49 pp.763-768, 2005.
- [20] D. V. Heinbuch, "CMOS3 Cell Library", Addison-Wesley, 1988.