

[招待論文]画像符号化S o Cの低消費電力化のための 垂直統合設計研究

吉本 雅彦†

†神戸大学工学部 〒657-8501 神戸市灘区六甲台町1-1

E-mail: †yosimoto@cs.kobe-u.ac.jp

あらまし VLSIの微細化をベースに進展してきたコンピュータのダウンサイジングにより、いよいよウェアラブルコンピュータ、インプラントデバイス、知能ロボティクスなどが実用化される時代を迎えようとしている。しかしながら、VLSIの微細化はリーク電流やデバイスパラメータのばらつきなどの新たな問題を引き起こしており、上記モバイル情報システムに要求される低消費電力性能の実現には、アルゴリズム、VLSIアーキテクチャ、回路の各技術階層毎の技術革新だけではとうてい解決できず、各技術階層間の協調設計研究の重要性が認識されている。本稿では、筆者らがVLSIモバイルプロセッサの中核機能である画像符号化回路の低消費電力化のために実施してきた最近の垂直統合設計研究事例を紹介し、その有効性を議論する。

キーワード 動画画像符号化、H.264、S o C、動的制御、アルゴリズム、アーキテクチャ、SIMD、シストリックアレイ、低消費電力化、低電圧動作SRAM

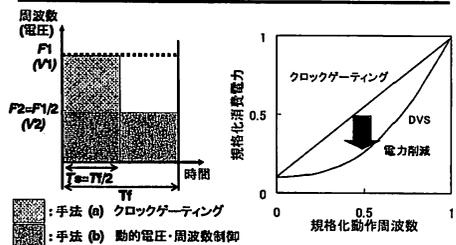
協調設計例1

アーキテクチャと回路の協調

- 消費電力を50%削減するH. 264 (MP@L4) デコーダ
- ・エラスティックパイプラインによる動的電圧制御
- ・DVS環境における低電圧動作SRAM

Kobe University Innovative Software & Silicon architecture laboratory 1

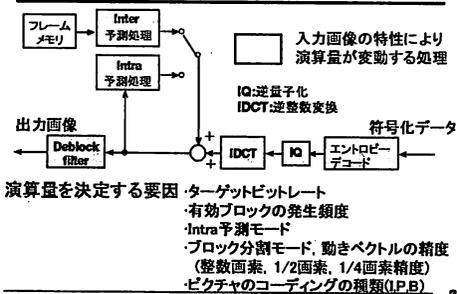
DVSIによる電力削減



DVSでは処理負荷に応じて適切な nV で動作させることで消費電力を削減

Kobe University Innovative Software & Silicon architecture laboratory 2

H.264デコード処理のブロック図



演算量を決定する要因

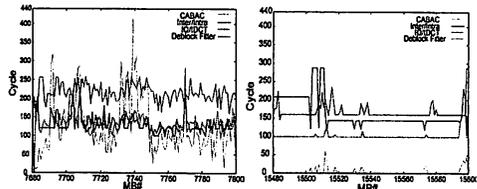
- ・ターゲットビットレート
- ・有効ブロックの発生頻度
- ・Intra予測モード
- ・ブロック分割モード、動きベクトルの精度
- （整数画素、1/2画素、1/4画素精度）
- ・ピクチャのコーディングの種類(LPB)

Kobe University Innovative Software & Silicon architecture laboratory 3

マクロブロック単位の必要サイクル数の変動

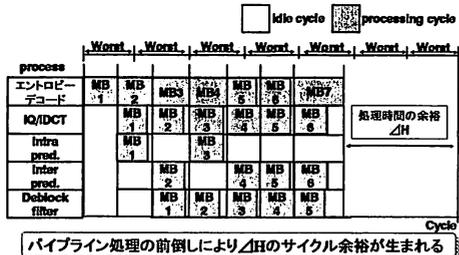
一定化するH.264デコーダの仕様
 解像度: HDTV
 フレームレート: 30fps
 動作周波数: 106[MHz]

1MBの復号化処理に必要なサイクル数が440サイクル以下になるように設計



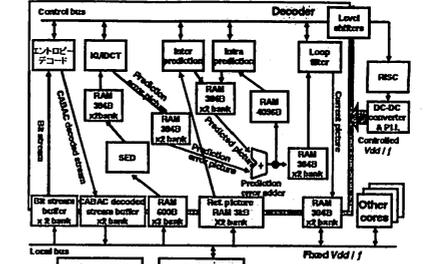
Kobe University Innovative Software & Silicon architecture laboratory 4

Elasticパイプライン(提案手法)



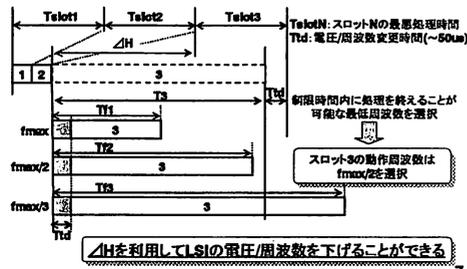
Kobe University Innovative Software & Silicon architecture laboratory 5

H.264デコーダの全体ブロック図



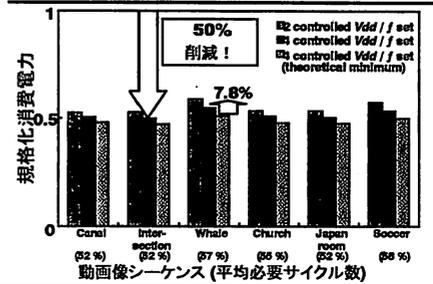
Kobe University Innovative Software & Silicon architecture laboratory 6

フィードバック型DVSアルゴリズム



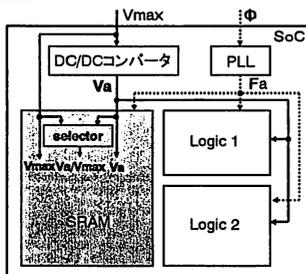
Kobe University Innovative Software & Silicon architecture laboratory 7

消費電力削減効果の見積もり



Kobe University Innovative Software & Silicon architecture laboratory 8

DVS環境におけるSRAM低電圧下限の拡大



Kobe University Innovative Software & Silicon architecture laboratory 9

最適電圧制御手法

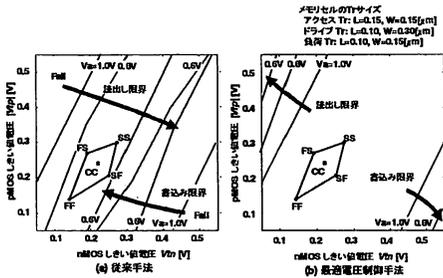
Part	State	最適電圧制御手法			
		従来手法	読み出し	書き込み	非選択
周辺回路のVdd		Va	Va	Va	Va
BLプリチャージ電圧		Va	Va	Va	Va
WL電圧		Va	Va	Vmax	-
MC Vdd		Va	Vmax	Va	Va
MC Vbp		Va	Vmax	Vmax	Vmax

Vmax: 最大電圧
Va: 動的制御電圧

- 読み書きで電圧を変える。

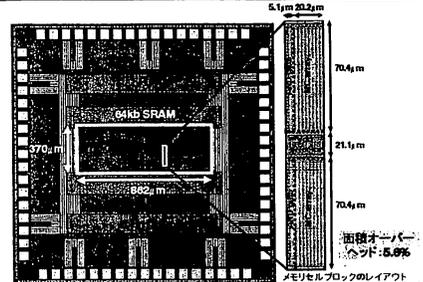
Kobe University Innovative Software & Silicon architecture laboratory 10

動作マージンの拡大(ミルキーウェイプロット)



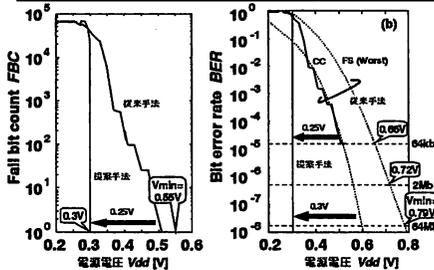
Kobe University Innovative Software & Silicon architecture laboratory 11

64KbTEGチップ写真



Kobe University Innovative Software & Silicon architecture laboratory 12

評価結果(1) (フェイルビットカウント)



Kobe University Innovative Software & Silicon architecture laboratory 13

協調設計例1のまとめ (アーキテクチャと回路の協調)

- 1) ハードウェアパイプライン回路に対してDVSを適用可能とするエラステックパイプラインアーキテクチャを提案。
- 2) 提案アーキテクチャでH.264デコーダを構成した場合、処理に必要なサイクル数は最適値の50%程度に削減されることが分かった。
- 3) 削減されたサイクルによって得られる処理時間の余裕を用いてDVSを適用することで、1フレームを60個のスライスに設定したときに消費電力は最小となり、約50%の削減効果が見積もられた。
- 4) 内蔵SRAMの最適電圧制御により、動作電圧下限を0.3Vまで下げられ、上記50%の電力削減の見通しが得られた。

Kobe University Innovative Software & Silicon architecture laboratory 14

協調設計例2

アルゴリズム、アーキテクチャと回路の協調

■ 800 μW・H. 264ベースライン・プロファイル
動き検出プロセッサIP

- ・ブロック分割アルゴリズム
- ・適応型SIMD/ストリッパレイ・データバスアーキテクチャ
- ・水平・垂直連続任意8画素同時アクセス可能なSRAMコアIP

Kobe University Innovative Software & Silicon architecture laboratory 15

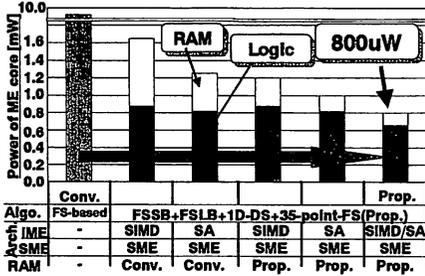
どこで協調設計が実施されたか？

高品質を維持しながら、消費電力を~1桁削減できた要因

協調設計のための要素/パラメータ	アルゴリズム	アーキテクチャ	回路
演算量の削減	ブロック分割戦略と勾配によるブロックマッチング数の削減		
メモリアクセス数の削減	平均演算量ではなく、SIMDアーキテクチャによる最適演算量の削減	適応型ストリッパレイ/SIMDアーキテクチャ	水平・垂直方向任意8画素同時アクセス可能なSRAM
動作サイクル数の削減	分枝数の削減によるストールの削減	適応型ストリッパレイ/SIMDアーキテクチャ	縦向き8画素同時アクセス可能なSRAM
メモリ容量の削減	適応探索範囲設定		

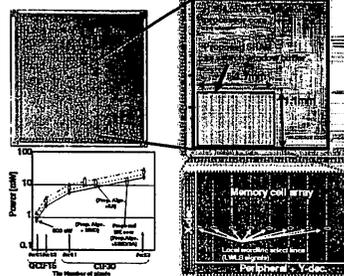
Kobe University Innovative Software & Silicon architecture laboratory 16

H. 264動き検出プロセッサの消費電力性能



Kobe University Innovative Software & Silicon architecture laboratory 23

0.13 μm で試作したH. 264動き検出プロセッサ



Kobe University Innovative Software & Silicon architecture laboratory 24

協調設計例2のまとめ (アルゴリズム、アーキテクチャ、回路の協創)

- 1) 勾配法とVLSI向きブロック分割アルゴリズムにより、演算サイクル数を約1/6に削減。
 - ・平均演算量ではなく、最悪演算量を削減。
 - ・分岐処理を最小化し、パイプラインストールを削減。
- 2) 適応型SIMD/ストリッケレイ・データベースアーキテクチャにより、動作サイクル数を25%削減。
 - ・初期データ入力サイクルを50%削減。
 - ・画素再利用性により、メモリアクセス回数を66%削減。
- 3) 垂直水平方向・任意連続8画素同時アクセスRAM
 - ・消費電力を94%~43%削減。

↓
QCIF15で800uWのH.264動き検出LSIを実現。

Kobe University Innovative Software & Silicon architecture laboratory 25

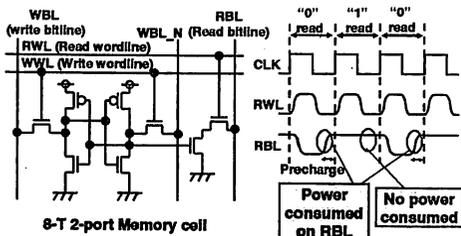
協調設計例3

アルゴリズムと回路の協創

- ビット線充放電電力を53%削減する、画像処理用2ポートSRAM
 - ・画像データの相関特性を利用したRe-Ordering
 - ・多数決論理アーキテクチャ

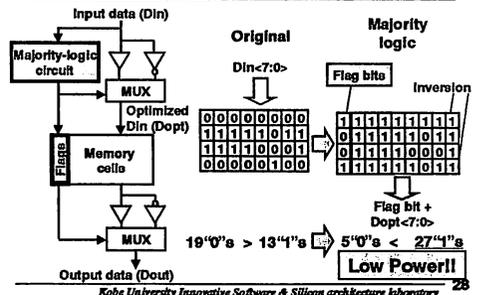
Kobe University Innovative Software & Silicon architecture laboratory 26

2ポートRAM読出しビット線の消費電力



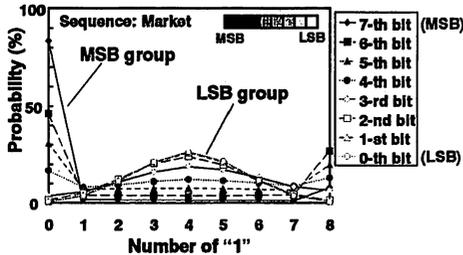
Kobe University Innovative Software & Silicon architecture laboratory 27

多数決論理を用いたSRAM



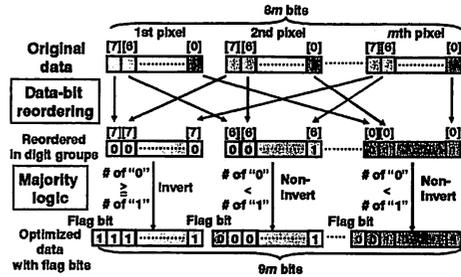
Kobe University Innovative Software & Silicon architecture laboratory 28

動画画像データの特性



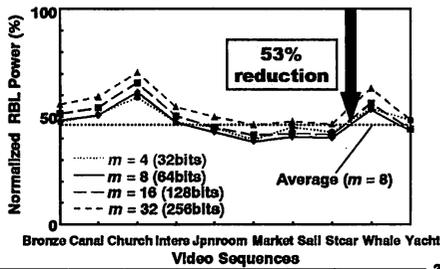
Kobe University Innovative Software & Silicon architecture laboratory 29

Reordering処理



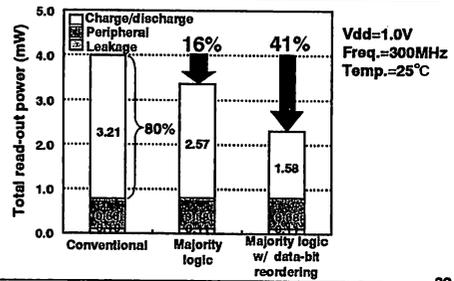
Kobe University Innovative Software & Silicon architecture laboratory 30

ビット線電力削減効果(w/ Reordering)



Kobe University Innovative Software & Silicon architecture laboratory 31

68-kb SRAMの消費電力見積もり



Kobe University Innovative Software & Silicon architecture laboratory 32

協調設計例3のまとめ (アルゴリズムと回路の協調)

- 1) 多数決論理によりデータ入力を制御することで、2-port SRAMのビット線充放電電力を20%削減
- 2) 動画データの相関特性を分析し、適切なRe-orderingにより、ビット線放電回数を削減。
- 3) H. 264画像データに対して、多数決論理とRe-orderingとを組み合わせることで、ビット線充放電電力を53%削減。RAM全消費電力の41%を削減。

Kobe University Innovative Software & Silicon architecture laboratory 33

全体のまとめ

- 無尽蔵のトランジスタリソースを駆使して、究極の低消費電力化、高性能化をはかるためには、
 - アルゴリズムとアーキテクチャと回路の協調が必要。
 - 協調により、トレードオフを見るのではなく、ブレークスルーを達成する。
 - 教育が重要。専門化と統合化のバランス。
 - ・異分野融合の研究体制
 - ・幅広い技術階層を把握、方法論を学んだ人材の育成
 - ・社会的ニーズと市場を理解できる総合的人材の養成

Kobe University Innovative Software & Silicon architecture laboratory 34