

## マルチクロック・ドメイン・コアテストのための 再構成可能ラッパーの一構成法

吉田 宜司<sup>†</sup> 米田 友和<sup>†</sup> 藤原 秀雄<sup>†</sup>

<sup>†</sup> 奈良先端科学技術大学院大学, 情報科学研究科  
〒 630-0192 奈良県生駒市高山町 8916-5  
E-mail: †{takashi-y,yoneda,fujiwara}@is.naist.jp

**あらまし** 本論文では, マルチクロックドメインコアに対する再構成可能ラッパー設計法を提案する. 提案手法では, マルチクロックドメインコアにおけるドメイン内テストおよびドメイン間テストのテストデータ量のばらつきを考慮し, テスト実行を2つのステップに分割する. 分割した各ステップに対して最適なラッパーを設計し, 切り替えることでテスト時間を削減する. 実験結果では, マルチクロックドメインコアに対する従来のラッパー設計法に対する有効性を示す.

**キーワード** SoC テスト, ラッパー設計, マルチクロックドメインコア

### A Reconfigurable Wrapper Design for Testing Cores with Multi-Clock Domains

Takashi YOSHIDA<sup>†</sup>, Tomokazu YONEDA<sup>†</sup>, and Hideo FUJIWARA<sup>†</sup>

<sup>†</sup> Graduate School of Information Science, Nara Institute of Science and Technology  
8916-5 Takayama, Ikoma, Nara 630-0192, Japan  
E-mail: †{takashi-y,yoneda,fujiwara}@is.naist.jp

**Abstract** This paper presents an optimization method for designing reconfigurable test wrappers for cores with multiple clock domains. By dividing test application into two steps considering the difference of test data volume in inter-domain tests and intra-domain tests, the proposed method can reduce test time compared to the previous wrapper designs for multi-clock domain cores.

**Key words** SoC test, wrapper design, multi-clock domain core

#### 1. はじめに

システムオンチップ (System-on-Chip, SoC) では, プロセッサ, メモリ等の多くの IP コアを埋め込むことにより, 複雑で大規模なシステムを短時間で設計することが可能となる. このように多くの IP コアが埋め込まれたコアベースシステムオンチップに対するテストでは, コア毎に独立したテストが可能である必要があり, IEEE 1500 ラッパー [1] とテストアクセス機構 (Test Access Mechanism, TAM) を用いて実現される [2]. ラッパーと TAM の設計は, SoC のテスト時間に大きな影響を与える. そのため, ラッパーと TAM の最適化設計に関する手法が数多く提案されている [3]~[8].

近年の IP コアでは, 複雑な機能や低消費電力を実現するために, コア内部に複数のクロックドメインを持つ. マルチクロックドメインコアに対しては, 以下の2つの理由により, 従来の単一クロックドメインで動作するコアを対象としたラッパー設

計法を適用することは出来ない: (1) ドメイン間のクロックスキュー問題を解決する必要がある, (2) ドメイン内データ転送およびドメイン間データ転送に対する実動作速度テストを実現する必要がある.

マルチクロックドメインコアに対し, 上記の問題点を解消するラッパー設計法が文献 [9]~[12] で提案されている. 文献 [9], [10] では, 各クロックドメインに属するスキャンチェーン, 入出力端子を仮想的なコア (Virtual Core, VC) とみなし, VC 毎に独立したラッパー (Virtual Core Wrapper, VCW) を設計することで, シフト動作時におけるクロックスキューの問題を解決している. また, キャプチャ動作時は, [13] で提案されているキャプチャウィンドウを用いることで, クロックスキュー問題を解決し, ドメイン内およびドメイン間の実動作速度テストを実現している. 文献 [11], [12] では, シフト動作時にスキャンチェーンに対してゲーティッドクロックを用いることにより, 消費電力制約下でのテスト時間を削減する手法を提案している.

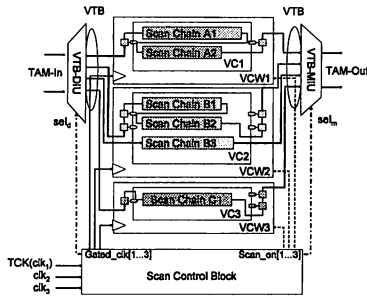


図1 マルチクロックドメインラッパー

本論文では、マルチクロックドメインコアに対し、テスト時間のさらなる削減を目的としたラッパーの最適化設計法を提案する。提案手法では、マルチクロックドメインコアにおけるドメイン内テストとドメイン間テストのテストデータ量の違い、およびテストに必要なFFの違いに着目し、テスト実行を2つのステップに分割する。各ステップに対し最適なラッパー設計し、テスト実行時に切り替えることでテスト時間を削減する。実験結果では、マルチクロックドメインコアに対する従来のラッパー設計法に対し、消費電力制約下で短いテスト時間を達成可能であることを示す。

以下、2節ではマルチクロックドメインコアに対する従来のラッパー設計法およびその問題点について述べる。3節では、提案するラッパー設計法について述べる。4節で実験結果を示し、5節で本論文の結論を述べる。

## 2. 従来手法

マルチクロックドメインコアに対する実動作速度スキャンテストを実現するラッパー設計法が文献[9]~[12]で提案されている。図1に文献[10]で提案されているマルチクロックドメインラッパーの例を示す。

従来手法では、各クロックドメインに属するスキャンチェーン、入出力端子を仮想的なコア (Virtual Core, VC) とみなし、VC 毎に独立したラッパー (Virtual Core Wrapper, VCW) を設計している。これにより、シフト動作時におけるクロックドメイン間のデータ転送を防ぎ、クロックスキュー問題を解決している。各 VCW には、バーチャルテストバス (Virtual Test Bus, VTB) が接続され、シフト動作時のクロック (Gated clk) とスキャンイネーブル (Scan en) 信号が Scan Control Block から供給される。マルチクロックドメインコアのテストに使用する TAM 幅  $W_{ext}$  およびテストの周波数  $f_t$  は、VTB のビット幅および各 VCW のシフト周波数と同じである必要はない。そこで、従来手法では、消費電力制約下でのシフト時間の最小化を目的とし、各 VCW のシフト動作時のクロック周波数  $f_i$  と VTB のビット幅  $VTB_i$  を  $W_{ext} \times f_t \geq \sum VTB_i \times f_i$  の制約を満たす範囲で決定している。これらの外部テストと各 VCW 間の周波数とビット幅の違いを埋めるために、VTB 逆多重化回路 (VTB De-multiplexing Interface Unit, VTB-DIU) と VTB 多重化回路 (VTB Multiplexing Interface Unit, VTB-MIU) がコアの入出力に追加されている。

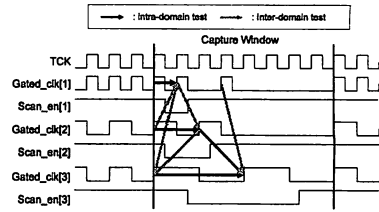


図2 テスト時のタイミングダイアグラム

表1 各ドメインのFF数[14].

number of FF	domain1	domain2	domain3	total
all	54,455	302	5,751	60,508
intra	49,983	16	1,826	51,825
inter	4,472	286	3,925	8,683

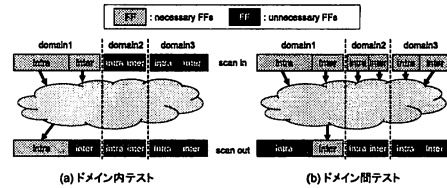


図3 ドメイン1に対するドメイン内テストとドメイン間テスト

一方、キャプチャ動作時は、[13]で提案されたキャプチャウィンドウを用いることで、クロックスキュー問題を解決し、実動作速度テストを可能としている。図2にマルチクロックドメインコアに対するテスト時のタイミングダイアグラムを示す。キャプチャウィンドウ内では、スキャン動作時とは異なる実動作速度クロックとスキャンイネーブル信号が Scan Control Block から供給され、ドメイン内とドメイン間の実動作速度テストを行う。図2では、3つのドメイン内テストと6つのドメイン間テストが実行されている。

しかし、クロックドメイン毎およびクロックドメイン間毎の回路規模は一般に異なるため、各ドメイン内テストおよびドメイン間テストのテストデータ量および必要となるFF数には、ばらつきがあると考えられる。表1に[14]で紹介されたマルチクロックドメイン回路のドメイン毎のFF数を示す。“all”は各クロックドメインに属するFF数を表す。“inter”は“all”の中で他のクロックドメインからのデータ転送のあるFF数を表し、“intra”はそれ以外の(他のクロックドメインからのデータ転送がない)FF数を表す。各ドメイン内テスト (intra-FF へのデータ転送のテスト) は、他のドメイン内テストとは独立であり、そのドメインに属する全FFにのみスキャンインを行う必要があり、スキャンアウトはそのドメインに属する intra-FF のみで良い (図3(a))。それに対し各ドメイン間テスト (inter-FF へのデータ転送のテスト) では、全ドメインに属する全FFにスキャンインを行う必要があり、スキャンアウトはそのドメインに属する inter-FF のみで良い (図3(b))。

したがって、テスト実行の経過に伴い、テストデータ量の少ないドメインのテストが終了し、スキャンイン・アウトの必要のないFFが現れる。また、全ドメイン間テスト終了後は、ドメイン内テストのみとなり、各ドメイン毎に独立したスキャン

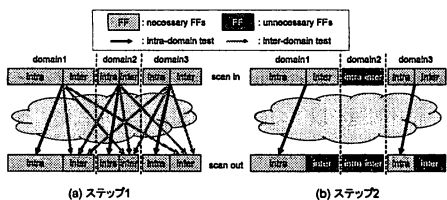


図4 提案する2ステップのテスト実行

およびキャプチャ動作が可能である(スキャン動作をキャプチャウィンドウで同期する必要がない)。これに対し、従来手法では、全てのFFを常にスキャンイン・アウトの対象とし、シフト時間の最小化を目的として設計された単一のラッパー構成を用いてテスト実行を行う。したがって、テスト実行の経過に伴い無駄なデータ転送(スキャンイン・アウト)が生じていると考えられる。

### 3. 提案手法

#### 3.1 概要

本論文では、マルチクロックドメインコアに対し、ドメイン内テストおよびドメイン間テストのテストデータ量にばらつきがある場合においても効率の良いラッパー設計法を提案する。提案手法は、[5]で提案された再構成可能ラッパーに基づいており、マルチクロックドメインコアに対するテスト実行を図4に示す2ステップに分けて考え、それぞれのステップに最適なラッパーを設計し切り替える。ステップの更なる細分化による効率化も可能だが、ラッパーの面積オーバーヘッドを考慮して、本論文ではテスト実行におけるステップの分割数を2とする。また、各ステップにおけるラッパーアーキテクチャは、図1に示した従来手法[10]と同じとする。

ステップ1では、従来手法と同様に、全ドメインの全FFをスキャンイン・アウトの対象とし、キャプチャウィンドウを用いてドメイン内テストおよびドメイン間テストを同時に実行する(図4(a))。ステップ1に対するラッパー設計法としては、文献[10]で提案されている手法を用いる。全てのドメイン間テストの印加が終了した時点でステップ1を終了する。

ステップ2では、ステップ1終了後に残されたドメイン内テストを行う(図4(b))。2節で説明したように、ステップ2では、各ドメインにおいてinter-FFをスキャンアウトする必要がない。また、テストに必要なFFはドメイン毎に独立であり、ステップ2で印加する必要のあるテストデータ量もドメイン毎に異なる。そこで、3.2節で、各ドメインに対してスキャンアウトする必要のないFFが存在する場合の単一クロックで動作するVCW設計法を提案する。3.3節では、提案した単一クロックで動作するVCW設計法を用いた、各ドメインの残りのテストデータ量を考慮したコア全体に対するステップ2のためのラッパー設計法を提案する。

#### 3.2 ドメインに対する単一クロックバーチャルコアラッパー設計法

本論文では、各ドメイン内に存在する各スキャンチェーンは、inter-FFのみ、またはintra-FFのみで構成されていると

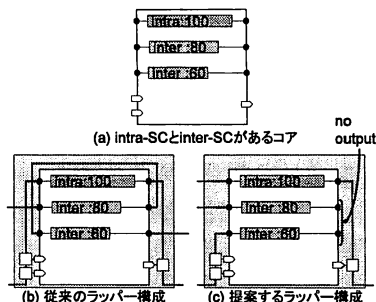


図5 ラッパー構成の比較

仮定する。inter-FFのみで構成されているスキャンチェーンを“inter-SC”，intra-FFのみで構成されているスキャンチェーンを“intra-SC”と定義する(inter-FFとintra-FFの両方が存在するスキャンチェーンは、inter-SCとして扱う)。このとき、ステップ2のドメイン内テストでは、inter-SCとintra-SCの両方に対しスキャンインが必要であるが、スキャンアウトはintra-SCのみ必要で、inter-SCは必要がない。

図5(a)にinter-SCとintra-SCを持つバーチャルコア(VC)の例を示す。スキャンアウトの必要がないinter-SCが存在するVCでは、スキャンインのデータ量はスキャンアウトのデータ量よりも多くなる。そこで、本論文では、ラッパーの入出力でテストピン数(VTBの本数)が異なる(入力 $\geq$ 出力)VCW設計法を提案することで、テスト時間の削減を図る。図5(a)のVCに対して、4ピットのテストピンを持つVCWを考える。従来のラッパー設計法では、図5(b)に示すように、入力に2ピン、出力に2ピンを割り当てた2ピットのラッパースキャンチェーンを構成する。このとき、inter-SCはスキャンアウトの必要がないので、スキャンイン長 $s_i=140$ 、スキャンアウト長 $s_o=101$ となる。テストパターン数 $p=100$ とすると、以下の式よりテスト時間(TAT)は、14101サイクルとなる。

$$TAT = (\max(s_i, s_o) + 1) \times p + \min(s_i, s_o) \quad (1)$$

これに対し、提案手法では、図5(c)に示すように、入力に3ピン、出力に1ピンを割り当てVCWを構成する。この例では、1ピットのスキャンイン・アウトに必要なラッパースキャンチェーンと、2ピットのスキャンインのみ必要なラッパースキャンチェーンが構成されている。このとき、 $s_i=100$ 、 $s_o=101$ 、 $TAT=10200$ となり、テスト時間を27%削減可能である。

このように、ステップ2における単一クロックバーチャルコアラッパー設計では、入出力のピン数の配分、およびそれらへのスキャンチェーンの割り当てがテスト時間に大きく影響を与える。そこで、単一クロックバーチャルコアラッパー設計を以下の最適化問題として定式化する。

[定義1] 単一クロックVCW設計問題  $P_{vcw}$   
 入力

- テストピン数:  $W_{vc}$
- バーチャルコア:  $VC$
- 入力端子数:  $N_{in}$
- 出力端子数:  $N_{out}$

### Algorithm VirtualCoreWrapperDesign( $W_{vc}$ , $VC$ )

```

1:  $W_o=1, T_{min}=\infty$ 
2: while  $W_o \leq \frac{W_{vc}}{2}$  do
3:    $N_{io} = W_o, N_i = W_{vc} - 2W_o$ 
4:   Create  $N_{io}$  io-wrapper scan chains  $R_{io}$ , and  $N_i$  in-wrapper scan
   chain  $R_{in}$ 
5:   // Part(I)
6:   Sort intra-SC  $VC$  in descending order of length
7:   for each intra-SC  $i$  do
8:     Find the longest wrapper scan chain  $r_{max}$  in  $R_{io}$ 
9:     Find the shortest wrapper scan chain  $r_{min}$  in  $R_{io}$ 
10:    Assign  $i$  to wrapper scan chain  $r$ 
11:    such that  $\text{length}(r_{max}) - (\text{length}(r) + l_i)$  is minimum
12:    if there is no such wrapper scan chain  $r$  then
13:      Assign  $i$  to  $r_{min}$ 
14:    end if
15:  end for
16:  // Part(II)
17:  Repeat steps 5 through 13 to add the inter-SC  $\in V C$  to  $R_{io} \cup R_{in}$ 
18:  // Part(III)
19:  Repeat steps 5 through 13 to add the bidirectional I/Os  $\in V C$  to  $R_{io}$ 
20:  // Part(IV)
21:  Repeat steps 5 through 13 to add the primary inputs  $\in V C$  to
   $R_{io} \cup R_{in}$ 
22:  // Part(v)
23:  Repeat steps 5 through 13 to add the primary outputs  $\in V C$  to  $R_{io}$ 
24:  Calculate  $T_{cur}$  for current virtual wrapper configuration by Equation (1)
25:  if  $T_{min} > T_{cur}$  then
26:    Record current virtual wrapper configuration to  $VCW$ 
27:     $T_{min} = T_{cur}$ 
28:  end if
29: end while
30: return  $VCW$ 

```

図6  $P_{vcw}$  の擬似コード

- 双方向端子数:  $N_{bi}$
- スキャンチェーンの数:  $N_{sc}$
- 各スキャンチェーン  $i(1 \leq i \leq N_{sc})$  に対して
  - \* スキャンチェーン長:  $l_i$
  - \* 種類:  $type_i$  (= inter-SC または intra-SC)
  - テストパターン数:  $p$

出力 バーチャルコアラッパー:  $VCW$

目的 テスト時間の最小化

図6に  $P_{vcw}$  に対する提案アルゴリズムの擬似コードを示す。初期化処理として、出力ピン数  $W_o=1$ 、最小のテスト時間  $T_{min}=\infty$  とする (1行目)。出力ピン数  $W_o$  が  $\frac{W_{vc}}{2}$  以下の間、2行目から29行目の処理を繰り返す。 $W_o$  の値より、 $N_{io}(=W_o)$  個の入出力ピンを持つラッパースキャンチェーン  $R_{io}$  および  $N_i(=W_{vc} - 2W_o)$  個の入力ピンのみを持つラッパースキャンチェーン  $R_{in}$  を生成する (3-4行目)。スキャンアウトの必要がある intra-SC、双方向ラッパーセル、出力ラッパーセルは、 $R_{io}$  にのみ割り当て可能であり、inter-SC と入力ラッパーセルは  $R_{io} \cup R_{in}$  に割り当てが可能である。5行目から15行目では、intra-SC を  $R_{io}$  に割り当てる。割り当て方法は、[6] で提案されている *Wrapper Design* と同じ方法を用いる。以下同様に、inter-SC、双方向ラッパーセル、入力ラッパーセル、出力ラッパーセルの順で割り当て可能なラッパースキャンチェーンに割り当てる (16行目-23行目)。上記の処理を繰り返すことにより、最もテスト時間が短くなる入出力ピン数の割り当てと  $VCW$  を求める。

### 3.3 マルチクロックドメインコアに対するラッパー設計法

本節では、3.2節で提案した単一クロック VCW を用いたステップ2に対するラッパー設計法を提案する。マルチクロックドメインコアに対するラッパー設計では、消費電力制約下でテ

スト時間を最小化とするために、各ドメインに対する VCW 設計 (割り当てるピン数の決定)、テスト開始時間、シフト動作時の周波数を決定する必要がある。そこで、ステップ2に対するラッパー設計問題を以下の最適化問題として定式化する。

[定義2] ステップ2に対するラッパー設計問題  $P_w$  入力

- ATE 周波数:  $f_t$
- コアに与えるテストピンの総数:  $W_{ext}$
- 最大許容消費電力:  $P_{max}$
- シフト時に使用可能な周波数の集合  
 $F = \{F_1, \dots, F_M | F_{k+1} = \frac{F_k}{2}, k \in 1, \dots, M-1\}$
- ドメインの数:  $N_d$

各ドメイン  $i(1 \leq i \leq N_d)$  に対して

- バーチャルコア:  $VC_i$
- 周波数  $F_1$  でシフト時の消費電力:  $P_i$

出力

各ドメイン  $i$  に対して

- VCW 設計に用いるピン数:  $W_i$
- テスト開始時刻:  $t_i$
- シフト周波数:  $f_{si}$

目的

- テスト時間の最小化

制約

- 各時刻での消費電力は最大許容消費電力  $P_{max}$  を超えない
- 各時刻での内部帯域幅は外部帯域幅を超えない
- 各ドメインのシフト周波数  $f_{si}$  は使用可能な周波数集合  $F$  に属する

本論文で提案するラッパー設計法では、[9][10]と同様に全てのドメインは時刻0でテストを開始する手法を用いる ( $t_i=0$ )。このとき  $P_w$  は、制約下でテスト時間を最小とする、各 VCW へのピン数の割り当てとシフト時の周波数を決定する問題となる。本論文では [10]と同様に、 $P_w$  を次節で述べる整数線形計画法 (ILP) として定式化し、最適解を導出する。

### 3.4 ILP モデルによる最適化

各 VC のシフト周波数  $f_{si}$  は  $F = \{F_1, \dots, F_M | F_{k+1} = \frac{F_k}{2}, k \in 1, \dots, M-1\}$  に属する必要がある。 $W_i$  を  $VC_i$  に割り当てるテストピン数とし、 $W_i^{in}$  および  $W_i^{out}$  を  $VC_i$  に割り当てる入力テストピン数および出力テストピン数とする ( $W_i = W_i^{in} + W_i^{out}$ )。  $W_i$  の最大値  $W_{max}$  は  $W_{max} = \frac{f_t}{F_M} \times W_{ext} - 2 \times (N_d - 1)$  となる。 $T(i, j, k)$  を  $VC_i$  に対してテストピン数  $j$ 、テスト周波数  $F_k$  で VCW を設計した時のテスト時間とする。 $T(i, j, k)$  は、前節で提案した VCW 設計法を用いて計算済みの定数とする。次に2値変数  $\delta_{ij}$  と  $\theta_{ik}$  を定義する。 $\delta_{ij}$  は、 $W_i = j$  の時のみ  $\delta_{ij} = 1$  となる変数である。 $\theta_{ik}$  は、 $f_{si} = F_k$  の時のみ  $\theta_{ik} = 1$  となる変数である。以上の変数を用いるとマルチクロックドメインコアのテスト時間は、以下の式で表現される。

$$T_{core} = \max_i \left\{ \sum_{j=1}^{W_{max}} \sum_{k=1}^M \delta_{ij} \times \theta_{ik} \times T(i, j, k) \right\}$$

また、 $P_w$  では以下の制約を満たす必要がある。

- (1)  $\sum_{j=1}^{W_{max}} \delta_{ij} = 1, 1 \leq i \leq N_d,$   
VC に与えられるテストピン数は 1 種類のみ。
- (2)  $\sum_{k=1}^M \theta_{ik} = 1, 1 \leq i \leq N_d,$   
VC に与えられるシフト周波数は 1 種類のみ。
- (3)  $\sum_{i=1}^{N_d} \sum_{k=1}^M \theta_{ik} \times P_i \times \frac{F_k}{F_1} \leq P_{max},$   
テスト時の消費電力は最大許容消費電力を超えない。
- (4)  $W_{ext} = W_{ext}^{in} + W_{ext}^{out},$   
コアの入力テストピン数  $W_{ext}^{in}$  とコアの出力テストピン数  $W_{ext}^{out}$  の和は、コアに与えられたテストピン数に等しい。
- (5)  $\sum_{i=1}^{N_d} W_i^{in} \times f_{si} \leq W_{ext}^{in} \times f_t,$   
VCW のスキャンイン帯域幅の総和は、コアのテスト入力帯域幅を超えない。
- (6)  $\sum_{i=1}^{N_d} W_i^{out} \times f_{si} \leq W_{ext}^{out} \times f_t,$   
VCW のスキャンアウト帯域幅の総和は、コアのテスト出力帯域幅を超えない。

ここで、 $W_i^{in}(i, j)$  および  $W_i^{out}(i, j)$  を、 $W_i = j$  における VCW<sub>i</sub> の入力テストピン数および出力ピン数 (3.2 節で提案した VCW 設計法を用いて計算済みの定数) とすると、 $W_i^{in}$ 、 $W_i^{out}$  および  $f_{si}$  は以下の式で表現される。

$$W_i^{in} = \sum_{j=1}^{W_{max}} \delta_{ij} \times W^{in}(i, j) \quad (2)$$

$$W_i^{out} = \sum_{j=1}^{W_{max}} \delta_{ij} \times W^{out}(i, j) \quad (3)$$

$$f_{si} = \sum_{k=1}^M \delta_{ik} \times F_k \quad (4)$$

(2), (3) および (4) 式を用いると制約 5 および 6 は以下のように表現できる。

$$(5) \quad \sum_{i=1}^{N_d} \sum_{j=1}^{W_{max}} \sum_{k=1}^M \delta_{ij} \times \theta_{ik} \times F_k \times W^{in}(i, j) \leq W_{ext}^{in} \times \frac{f_t}{F_M}$$

$$(6) \quad \sum_{i=1}^{N_d} \sum_{j=1}^{W_{max}} \sum_{k=1}^M \delta_{ij} \times \theta_{ik} \times F_k \times W^{out}(i, j) \leq W_{ext}^{out} \times \frac{f_t}{F_M}$$

非線形項  $\delta_{ij}\theta_{ik}$  は、[10] と同様に  $\lambda_{ijk} = \delta_{ij} \times \theta_{ik}$  となる 2 値変数を導入することで容易に線形化可能である。

#### 4. 実験結果

本節では、提案するラッパー設計法をマルチクロックドメインコア hCADT01 [10]~[12] に適用した実験結果を示す。hCADT01 には、スキャンチェーンの種類 (inter-SC, intra-SC), 各ドメイン内テストのテストパターン数およびドメイン間テストのテストパターン数は与えられていない。そこで、本実験では、スキャンチェーンの分類および各ドメイン内テストのテストパターン数に関する情報を inter-SC, intra-SC,

$N_{intra,i}$  として追加した。表 2 に hCADT01 回路の特性を示す。 $N_{intra,i}$  は、各ドメインのスキャン FF 数に比例するとし、その最大値を 1000 (ドメイン 5) とした。ステップ 1 でのテストパターン数  $N_1$  (全ドメイン間テストを実行するために必要なテストパターン数) は 200 とした。ステップ 1 で  $N_1$  パターン実行する間に、各ドメイン内テストも  $d \times N_1$  パターン ( $0 \leq d \leq 1$ ) 実行されるとし、ステップ 2 でドメイン  $i$  に印加する必要があるテストパターン数  $N_{2,i}$  を  $N_{intra,i} - d \times N_1$  とした (本実験では、 $d=0.5, 1$  の 2 通りについての結果を示す)。使用可能なシフト周波数の数は  $M=4$  とし、 $F_1 = f_t = 100\text{MHz}$  とした。

表 3(a) および (b) に、 $d=0.5$  および  $d=1.0$  の場合における文献 [10] とのテスト時間の比較結果を示す。“ $W_{ext}$ ”はコアに与えるテストピンを表し、“ $P_{max}$ ”は電力制約を表し、1500, 3000, 4500,  $\infty$  と変化させた。表 3 より、提案手法は従来手法 [10] に比べ、最大 38.23 %, 平均 24.30 % のテスト時間の削減に成功している。これは、[10] はテスト実行を通じて単一のラッパー構成を用いているのに対し、提案手法では、ステップ 2 開始時点で残りのパターン数とスキャンアウトの必要がない inter-SC を考慮した効率の良いラッパー構成に切り替えているためである。表 3(a) の  $P_{max}=1500, 3000$  ではテスト時間が 0.09 % 増加している場合がある。これらの場合においては、再構成によるテスト時間削減の効果は見られなかった。また、提案手法ではラッパーの再構成を行うため、再構成前後のスキャンインとスキャンアウトがオーバーラップ出来ないため 0.09 % の増加が生じている。

次に、表 4(a) および (b) に、 $d=0.5$  および  $d=1.0$  の場合における文献 [11], [12] とのテスト時間の比較結果を示す。文献 [11], [12] は、文献 [10] を拡張した手法であり、シフト動作時にスキャンチェーンに対してゲーティッドクロックを用いることにより、消費電力制約下でのテスト時間を削減を可能としている。表 4 より、提案手法は従来手法 [11], [12] に比べ、多くの場合において提案手法が最も短いテスト時間を達成している。 $P_{max} = 1500, 300$  において、従来手法が最も短いテスト時間を達成している場合がある。これらの場合においても、提案手法を [11], [12] と同様にゲーティッドクロックを用いた手法に拡張することで、最も短いテスト時間が達成可能であると考えられる。

文献 [10] で提案されたマルチクロックドメインコアに対するラッパーの面積オーバーヘッドは、従来の IEEE 1500 ラッパーに対して 10 % 以下であると評価されている。提案手法では、ラッパー再構成のために Scan Control Block の修正とマルチプレクサの追加が必要である。最悪の場合、各スキャンチェーンおよび各ラッパー入出力セルに対してマルチプレクサが追加される。しかし、複数のクロックドメインを持つ回路規模の大きいコアに対しては、ラッパーそのものの面積オーバーヘッドが小さく、再構成のための面積オーバーヘッドは十分に小さいと考えられる。

#### 5. おわりに

本論文では、マルチクロックドメインコアに対して、消費電力

表 2 hCADT01 回路

domain(frequency)	$N_{in}$	$N_{out}$	$N_{bi}$	$P_i$	$N_{sc}$	inter-SC	intra-SC									$N_{intra,i}$	
1 (200 MHz)	109	32	72	2572	16	168 168 166 166	163 163 163 163 162 162 162 162 161 151 151 151										990
2 (133 MHz)	144	67	72	450	3	150	150 150									170	
3 (120 MHz)	89	8	72	930	10	93 93 93	93 93 93 93 93 93 93									360	
4 (75 MHz)	111	31	72	1314	6	219 219	219 219 219 219									500	
5 (50 MHz)	117	224	72	2605	5	521 521	521 521 521									1000	
6 (33 MHz)	146	68	72	576	11	82 82 82	81 81 81 18 18 17 17 17									220	
7 (25 MHz)	15	30	72	40	4	10	10 10 10									20	

表 3 文献 [10] とのテスト時間の比較 [msec].

(a)  $d=0.5$  ( $N_1 = 1000, N_{2,i} = N_{intra,i} - 0.5 \times N_1$ )

$W_{ext}$ (# pins)	$P_{max}=1500$			$P_{max}=3000$			$P_{max}=4500$			$P_{max}=\infty$		
	[10]	New	$\Delta T(\%)$	[10]	New	$\Delta T(\%)$	[10]	New	$\Delta T(\%)$	[10]	New	$\Delta T(\%)$
8	35.05	25.25	-27.98	33.05	23.93	-27.58	32.03	22.67	-29.23	32.03	22.67	-29.23
16	23.03	23.05	0.09	16.47	12.47	-24.31	16.47	11.80	-28.37	16.47	11.80	-28.37
24	23.03	23.05	0.09	11.56	11.57	0.09	11.56	7.74	-33.05	11.56	7.74	-33.05
32	23.03	23.05	0.09	11.56	11.57	0.09	8.28	6.28	-24.18	8.28	6.28	-24.18

(b)  $d=1.0$  ( $N_1 = 1000, N_{2,i} = N_{intra,i} - 1.0 \times N_1$ )

$W_{ext}$ (# pins)	$P_{max}=1500$			$P_{max}=3000$			$P_{max}=4500$			$P_{max}=\infty$		
	[10]	New	$\Delta T(\%)$	[10]	New	$\Delta T(\%)$	[10]	New	$\Delta T(\%)$	[10]	New	$\Delta T(\%)$
8	31.87	23.15	-27.37	30.05	20.98	-30.16	29.12	20.80	-29.12	29.12	20.80	-28.57
16	20.94	14.86	-29.05	14.97	11.41	-23.79	14.97	10.40	-30.56	14.97	10.40	-30.56
24	20.94	14.86	-29.05	10.51	7.47	-28.94	10.51	6.93	-34.04	10.51	6.49	-38.23
32	20.94	14.86	-29.05	10.51	7.47	-28.94	7.53	5.75	-23.63	7.53	5.75	-23.63

表 4 文献 [11], [12] とのテスト時間の比較 [msec].

(a)  $d=0.5$  ( $N_1 = 200, N_{2,i} = N_{intra,i} - 0.5 \times N_1$ )

$W_{ext}$ (# pins)	$P_{max}=1500$			$P_{max}=3000$			$P_{max}=4500$			$P_{max}=\infty$		
	[11]	[12]	New	[11]	[12]	New	[11]	[12]	New	[11]	[12]	New
8	28.89	27.99	<b>27.92</b>	28.88	28.19	<b>24.87</b>	28.88	28.19	<b>22.67</b>	27.44	28.19	<b>22.67</b>
16	19.43	<b>18.69</b>	23.05	14.95	14.60	<b>12.47</b>	14.95	14.80	<b>11.99</b>	14.95	14.80	<b>11.99</b>
24	18.69	<b>17.54</b>	23.05	<b>11.45</b>	<b>11.45</b>	11.57	10.82	10.48	<b>7.74</b>	10.16	10.48	<b>7.22</b>
32	18.69	<b>17.43</b>	23.05	<b>9.88</b>	<b>9.88</b>	11.57	7.73	7.66	<b>6.28</b>	8.38	7.66	<b>6.28</b>

(b)  $d=1.0$  ( $N_1 = 1000, N_{2,i} = N_{intra,i} - 1.0 \times N_1$ )

$W_{ext}$ (# pins)	$P_{max}=1500$			$P_{max}=3000$			$P_{max}=4500$			$P_{max}=\infty$		
	[11]	[12]	New	[11]	[12]	New	[11]	[12]	New	[11]	[12]	New
8	26.27	25.45	<b>23.15</b>	26.26	25.63	<b>20.98</b>	26.26	25.63	<b>20.80</b>	24.94	25.63	<b>20.80</b>
16	17.67	17.00	<b>14.86</b>	13.59	13.27	<b>11.41</b>	13.59	13.45	<b>10.98</b>	13.59	13.45	<b>10.98</b>
24	17.00	15.95	<b>14.86</b>	10.41	10.41	<b>7.47</b>	9.84	9.53	<b>7.11</b>	9.24	9.53	<b>6.65</b>
32	17.00	15.85	<b>14.86</b>	8.98	8.98	<b>7.47</b>	7.03	6.97	<b>5.75</b>	7.62	6.97	<b>5.75</b>

制約下でのテスト時間の削減を目的とした再構成可能ラッパー設計法を提案した。提案手法では、マルチクロックドメインコアにおけるドメイン内テストとドメイン間テストのテストデータ量の違いに着目し、テスト実行を2つのステップに分割した。さらに、分割したそれぞれのステップに対して、必要となるFF数およびテストデータ量を考慮した最適なラッパー設計法を提案した。テスト実行時に、各ステップに対する最適なラッパー構成に切り替えることで、テスト時間の削減が可能である。マルチクロックドメインコア hCADT01 回路に対する評価実験では、文献 [10] に対し最大 38.23%、平均 24.30% のテスト時間の削減が可能であることを示した。さらに、文献 [11], [12] との比較においても、多くの場合で提案手法が最も短いテスト時間を達成していることを示した。提案手法は、文献 [11], [12] と同様にゲーティッドクロックを用いて拡張することにより、さらなるテスト時間の削減が可能であると考えられる。

## 謝 辞

本研究を行うにあたり多くの助言や意見を頂いた奈良先端科学技術大学院大学の井上美智子准教授と大竹哲史助教、およびコンピュータ設計学講座の諸氏に感謝します。本研究は一部、日本学術振興会科学技術研究費補助金・基盤研究 B(課題番号 20300018) および若手研究 (B)(課題番号 18700046) の研究助成による。

## 文 献

- [1] "IEEE standard testability method for embedded core-based integrated circuits," IEEE Std 1500-2005, 2005.
- [2] Y. Zorian, E. J. Marinissen, and S. Dey, "Testing embedded-core

based system chips," in Proc. International Test Conference, pp. 130-143, Oct. 1998.

- [3] E. J. Marinissen, S. K. Goel, and M. Lousberg, "Wrapper design for embedded core test," in Proc. International Test Conference, pp. 911-920, Oct. 2000.
- [4] Y. Huang, W. T. Cheng, C. C. Tsai, N. Mukherjee, O. Samman, Y. Zaidan, and S. M. Reddy, "Resource allocation and test scheduling for concurrent test of core-based SoC design," in Proc. Asian Test Symposium, pp. 265-270, Nov. 2001.
- [5] S. Koranne, "A novel reconfigurable wrapper for testing of embedded core-based SoCs and its associated scheduling algorithm," Journal of Electronic Testing: Theory and Applications, vol. 18, pp. 415-434, Aug. 2002.
- [6] V. Iyengar, K. Chakrabarty, and E. J. Marinissen, "Test wrapper and test access mechanism co-optimization for system-on-chip," Journal of Electronic Testing: Theory and Applications, vol. 18, pp. 213-230, Apr. 2002.
- [7] S. K. Goel and E. J. Marinissen, "Effective and efficient test architecture design for SoC," in Proc. International Test Conference, pp. 529-538, Oct. 2002.
- [8] E. Larsson, K. Arvidsson, H. Fujiwara, and Z. Peng, "Efficient test solutions for core-based designs," IEEE Trans. Computer-Aided Design, vol. 23, pp. 758-775, May 2004.
- [9] Q. Xu and N. Nicolici, "Wrapper design for testing IP cores with multiple clock domains," in Proc. Design Automation and Test in Europe, pp. 416-421, Feb. 2004.
- [10] Q. Xu, N. Nicolici, and K. Chakrabarty, "Multi-frequency wrapper design and optimization for embedded cores under average power constraints," in Proc. Design Automation Conference, pp. 123-128, Jun. 2005.
- [11] D. Zhao, U. Chandran, and H. Fujiwara, "Shelf packing to the design and optimization of a power-aware multi-frequency wrapper architecture for modular IP cores," in Proc. Asia South Pacific Design Automation Conference, pp. 714-719, Jan. 2007.
- [12] T. E. Yu, T. Yoneda, D. Zhao, and H. Fujiwara, "Using domain partitioning in wrapper design for ip cores under power constraints," in Proc. VLSI Test Symposium, pp. 369-374, May 2007.
- [13] S. Bhawmik, "Method and apparatus for built-in self-test with multiple clock circuits," Lucent Technologies Inc, Oct. 1997. U.S. Patent 5680543.
- [14] K. Hatayama, M. Nakao, and Y. Sato, "At-speed built-in test for logic circuits with multiple clocks," in Proc. Asian Test Symposium, pp. 292-297, Nov. 2002.
- [15] lp.solve version 5.5.0.12, <http://sourceforge.net/projects/lpsolve>.