

## 超高速並列デジタル信号処理装置

# A VERY FAST PARALLEL DIGITAL SIGNAL PROCESSOR

中 水 流 敏 朗  
Toshiro NAKAZURU  
富士通 (株)  
Fujitsu Ltd.

近 田 義 広  
Yoshihiro CHIKADA  
東京天文台野辺山宇宙電波観測所  
Nobeyama Radio Observatory

### 1. はじめに

東京天文台野辺山宇宙電波観測所において、5基のアンテナからなる開口合成型電波望遠鏡システムのために100GOPS (Giga-Operations per Second) 相当の計算性能を持つプロセッサが必要となり、専用デジタル信号処理装置FXを開発した〔2〕。FXは5基のアンテナからの信号間のクロス・パワースペクトルをリアルタイムで求め、ホストシステムへ送るものである。本稿はFXのアルゴリズム、アーキテクチャ及びインプリメンテーションについて述べている。

### 2. 装置概要

FXの設計目標は最大バンド幅320MHzの天体からの受信電波をリアルタイムで1024点数に分光し相関を行うことである。この要件を満たすために、FXは高並列パイプラインアーキテクチャを採用している。このシステムの総合演算能力は120GOPSにも相当する。ホストシステムとはチャネル経由で結合され、ホストシステムからは1つのI/O装置の位置にある。

FX装置はフーリエ変換部(F部)、相関部(X部)、制御部から構成されている(Fig. 1)。F、X部は本稿ではまとめて演算部と呼ぶ。以下に各部の機能と図中の関連装置の概略をしめす。

#### (1) フーリエ変換部(F部)

5基のフーリエ変換器からなり、各々の変換器は、10mのアンテナからA/D変換器を経由して送ら

れてくる複素入力デジタルデータについて、1024点の高速フーリエ変換を行い、1024個の複素周波数成分を相関部へ出力する。なお、45mのアンテナからのデータも処理することが出来るように、オプションとしてもう1基のフーリエ変換器を搭載することができる。

#### (2) 相関部(X部)

15基の相関器からなり、F部の5基又は6基(45mアンテナ用を含む時)のフーリエ変換器からの出力の組合せについて自己相関又は相互相関を計算する。例えば、第(i, j)相関器は1024個の複素周波数成分について複素共役乗算を行い、その結果を累算する。

$$X_{i,j}(k) = F_i(k) \times F_j^*(k) \quad (k=0, 1, 2, \dots, 1023)$$

ここで $F_i(k)$ ,  $F_j(k)$  はiとj番目のフーリエ変換器の第k周波数成分であり、\*は複素共役を示し、—は指定された時間の累算を意味する。

#### (3) 制御部

演算部の制御とホストシステムとのインタフェースを司る。また蓄積された相関データをホストシステムに送る。

#### (4) FX関連装置(Fig. 1)

フロントエンド・レシーバ、フィルター； 受信電波を中間周波数に変換し、同相/直交位相ミキシングによつてベースバンドの複素信号に落とす。

A/D変換器； 5基の変換器(各々実部・虚部のA/D変換対)からなり、各々は入力信号を最大サンプリングレート320MHzで3~6ビット精度

の複素デジタル信号に変換する。現在は80MHzで動作している。

### 3. アルゴリズム、アーキテクチャ、インプリメンテーション

1024点複素フーリエ変換を連続的に3.2μsピッチで行う為に、FFTアルゴリズムを直接にハードウェアにマッピングすることが必要であった。高集積度でかつ低消費電力のCMOS LSIはこのような目的のために最もよいデバイス・テクノロジーである。

FXはクロックレートを10MHzにするために32点データ幅の並列構造になっている。システム全体が1つの長いパイプラインであり、データは一方方向へのみ流れる。

#### 3.1 アルゴリズムとアーキテクチャ

FXのアルゴリズムとアーキテクチャを以下に示す。

##### (1) FFT

FFTアルゴリズムの基本的な考えは次のようなものである。もし、N点離散フーリエ変換(DFT)の点数Nが $N = P \times Q$  (P, Q; 自然数)と分解できるとき、N点DFTは

ステップ1) Q回のP点DFT操作

ステップ2) ステップ1のN個の出力に対する位相回転(ひねり係数乗算)

ステップ3) P回のQ点DFT操作

に分解できる。この分解を再帰的に適用し、もとのN点DFTを多数回の小さな点数のDFTとひねり係数乗算に帰着させるものである。

1024点数の分解の仕方はいろいろあるが、以下の分解を採用した。

$$\begin{aligned} 1024 &= 32 \times 32 = (8 \times 4) \times (8 \times 4) \\ &= ((4 \times 2) \times 4) \times ((4 \times 2) \times 4) \end{aligned}$$

第一段の分解は $1024 = 32 \times 32$ であるから、前述のステップ1とステップ3のDFT操作はいずれも32点FFTとなる。これにより、容易に32点データ幅の並列構造が実現される。

1024点複素FFT回路はひねり係数乗算器を介して直列に接続された二つの32点複素FFT回

路から構成される(Fig. 2)。各32点FFT回路の前で、1024点の連続データは $32 \times 32$ 行列にマッピングされ、元の並びの32置きの要素が連続して並ぶように転置され、32点複素FFT回路に供給される。32点FFT回路の内部構造は基数 $4-2-4$ のFFTアルゴリズムのデータフローをそのまま並列化したパイプラインである(Fig. 3)。

##### (2) 相関と累算

相関計算の複素共役乗算も32点並列パイプライン的に行われる(Fig. 4)。

相関データの累算は累算結果の桁数が増えるにしたがって桁上げの頻度が減少することを利用して、最終的に奥行き深いRAMへ累算される。累算は三段階に渡っておこなわれ、第二段階以降は第一段階での桁上がり分のみを累算する(Fig. 4)。桁上がり分の累算を容易にするため、相関乗算の出力以降はオフセット・バイナリ表現となっている。最初の二段階ではパワースペクトルを蓄えるために32ステージFIFOレジスタを持つ累算器が使われる。ここで32個の周波数成分がマルチプレックスされる。最終段階では1024個の周波数成分すべてがマルチプレックスされ、RAMに累算される。

##### (3) 演算方式・精度

演算は固定小数点方式で、精度6~8ビットである。これは受信機のノイズが目標電波と同程度かそれ以上であるのが普通であり、それほどのダイナミック・レンジを必要としないからである。しかし、オーバーフロー防止のために必要となるスケール処理(後述)によって、有限ビット精度ではFFTの出力にバイアスが生じる。このバイアス分を差し引くために、FFTの直後で補正が必要となる〔1〕。

FFT全体の演算精度が6~8ビットで良いことは最終的にはプログラム・シミュレーションで確認された。このように演算精度をおさえることによって、基本演算をワンチップに押し込めることが可能となった。

#### 3.2 CMOSゲートアレイによる実現

上記アルゴリズムは主として富士通のC-2000とC-3900シリーズのCMOSゲートアレイ

を使って実現されている。これらのゲートアレイはそれぞれ2入力NAND換算で2000又は3900ゲートであり、平均オンチップ遅延時間はゲートあたり5~15nsである。設計当時、CMOSとしては最新のレベルのものであった。

FXの為に4種のLSIが新にデザインされた。FXの演算部のほとんどすべてはこれら4種で実現されており、システム全体として3700個のLSIが使われている (Table 1)。その他TTL-MSIも使われている。

以下にこれらのチップを簡単に説明する。これらすべて並列・パイプライン構造になっている。

#### (1) コーナ・ターナLSI (CT)

これはシフト方向が互いに直交する二つのシフトレジスタ面を持っている。各面は16語×16ビットで構成され、1つは入力、他は出力用である (Fig. 5)。入力面から出力面へスナップ・ショット的にデータがコピーされ、前に述べた転置操作が行われる。

このLSI4個で1024点FFTのデータ並び換えに必要な32×32行列のビットスライズが得られる。また16ビット幅32ステージの循環シフトレジスタとして用いることもでき、フーリエ変換のひねり係数の記憶回路としても使用される。

#### (2) バタフライLSI (BTF)

これは2点離散フーリエ変換回路であり、二つの7ビット精度複素数の加算、減算を並列に行う。制御信号によりスケールリング (常に出力を1/2にする) 機能か、オーバーフローが生じたときに正又は負の最大値を出力する機能かのいずれかが適用され、演算結果が7ビット精度で出力される。

#### (3) 乗算LSI (MPY)

これは2つの6ビット精度複素数の乗算を行うものであり、結果は8ビット複素数として出力される。FFTのひねり係数乗算、相関乗算に使用される。

#### (4) 累算LSI (ACC)

これは32ステージFIFOレジスタを持つ8ビット複素累算器であり、各ステージの大きさは9ビット複素である。32の時分割されたデータを累算することができる (Fig. 6)。

## 4. 保守診断

上で述べたようにFXは3700個のCMOSLSIを使用する約12ミリオン・ゲートに相当する大規模なデジタルシステムである (Table 1)。このような大規模なシステムにおいては保守診断は一つの重要事項である。

制御部の保守は内蔵パネルによって行われるが、演算部は多量のテストデータとかなりの計算性能を必要とするので、診断は主としてホストシステムより行われる。

演算部全体の診断はシステムの並列性が利用される。すなわち、同一のテストパターンを2個以上のユニットへ与え、その結果を比較する (前述のようにFXには5基のフーリエ変換器と15基の相関器がある)。しかし、このような多数決方法が適用できない場合はシミュレーションにより前もって求めた値と比較する方法によって行われる。

演算部の詳細な診断はパイプライン中のスキャン・ステージを利用して行われる。スキャン・ステージはTTLの汎用シフトレジスタで構成されている。例として、Fig. 7は8点FFT回路の概念図であり、パイプライン中のスキャン・ステージの位置を示している。シフトレジスタは診断データがスキャン・イン、アウトできるようになっており、各々LSIは前後のスキャン・ステージを使って診断される。

## 5. おわりに

FXのアルゴリズム、アーキテクチャ及びその実現の概要を述べた。また保守診断についても述べた。

FXは高集積度LSIと専用の並列処理によって商用のスーパーコンピュータでも困難な計算量の問題の一つを解いた。1024点複素FFTの実行時間は商用スーパーコンピュータFACOM VP-200の60倍強の速さである (Table 2)。このような方法はLSIの集積度の向上によって可能となった。

FXは野辺山宇宙電波観測所に設置され、観測を行いながら、現在観測システム全体としてのS/N比の最終評価を行っている段階である。

## 6. 謝辞

熱心に御討論して下さいました野辺山宇宙電波観測所の研究者、技術スタッフ並びに開発に携われた富士通の皆様に感謝いたします。

## [参考文献]

- (1) 近田義広, バック・エンド関係進捗状況報告, 「最新の電波天文技術」に関する定光寺シンポジウム, 宇宙電波懇談会, pp102~142 (1979).
- (2) Y. Chikada et al.; A DIGITAL FFT SPECTRO-CORRELATOR FOR RADIO ASTRONOMY, URSI/IAU Symposium on Measurement and Processing for Indirect Imaging, Australia, 1983

Table 1. Summary of the size of FX

Kinds of chips		CT	BTF	MPY	ACC	Total
Gate count per chip (*)		3367	1897	3593	3671	—
Chip count	a FFT a correlator	116 0	176 0	160 32	0 64	452 96
	System (#)	580	880	1280	960	3700
Gate count (million gates)	a FFT a correlator	0.39 0.0	0.33 0.0	0.57 0.11	0.0 0.23	1.29 0.34
	System (#)	1.95	1.65	4.5	3.5	11.55

(\*) ; Equivalent number of 2-input NAND gates.  
 (#) ; System contains 5 FFT's and 15 correlators.

Table 2. 1024-point FFT execution time

Machines	Timing estimates (Arithmetic precision)	Performance ratios
FACOM M 380	6600.0 $\mu$ S (32 bits)	1
FACOM VP-200	212.0 $\mu$ S (64 bits)	31
FX	3.2 $\mu$ S (6~8 bits)	2062

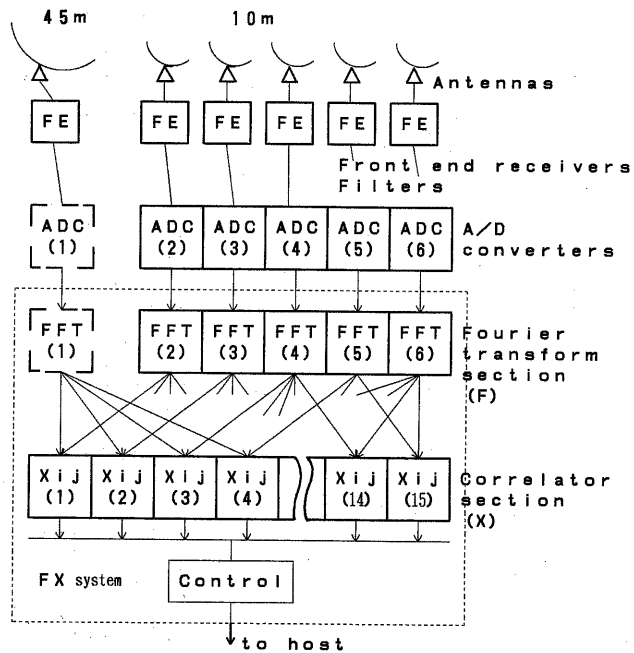


Fig. 1 Block schematics of FX

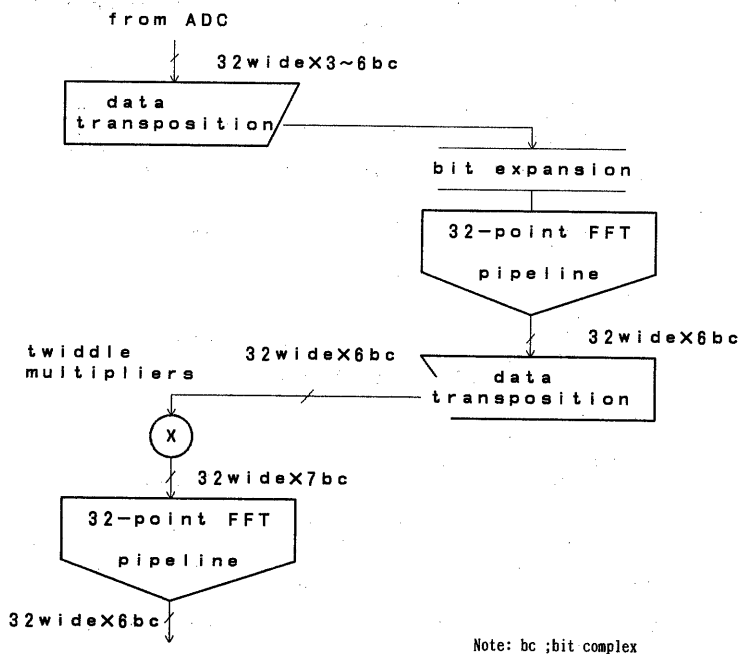


Fig. 2 1024-point FFT pipeline

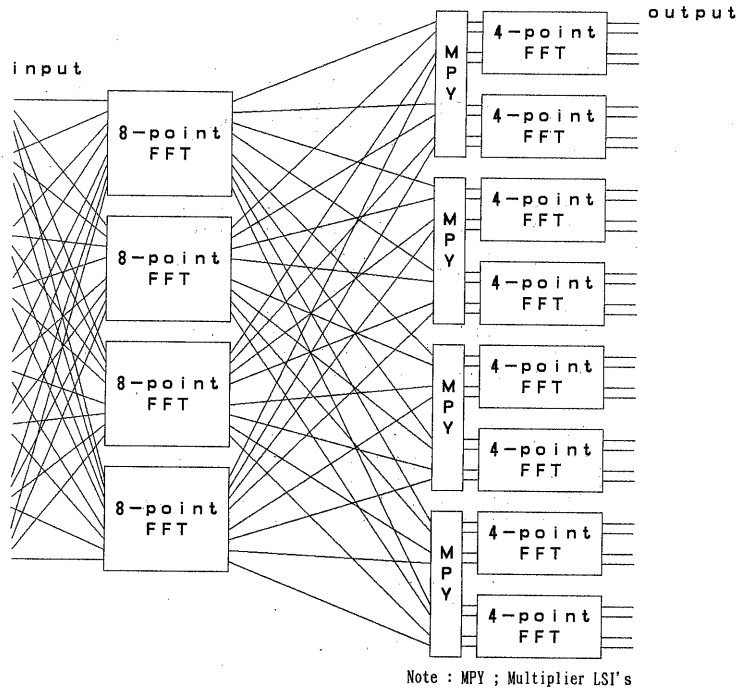


Fig. 3 32-point FFT pipeline

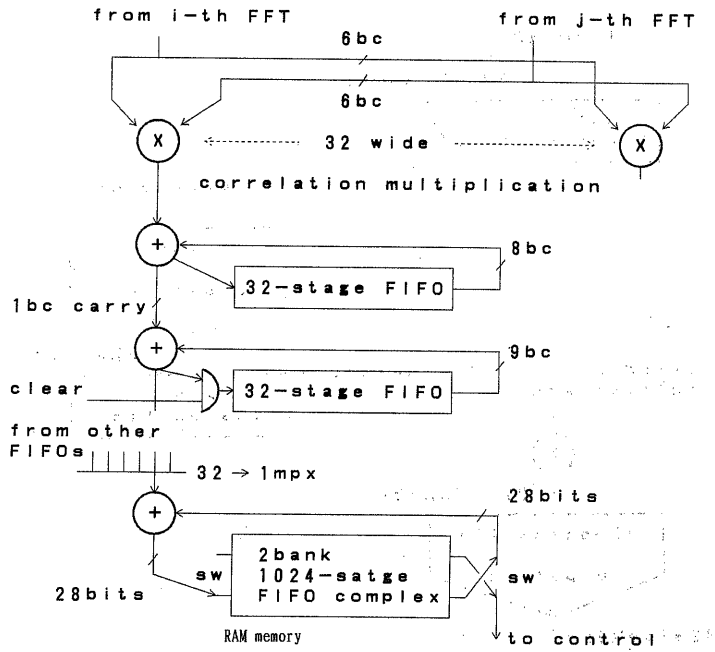


Fig. 4 CORRELATOR  $X_{ij}$  Note : bc ; bit complex

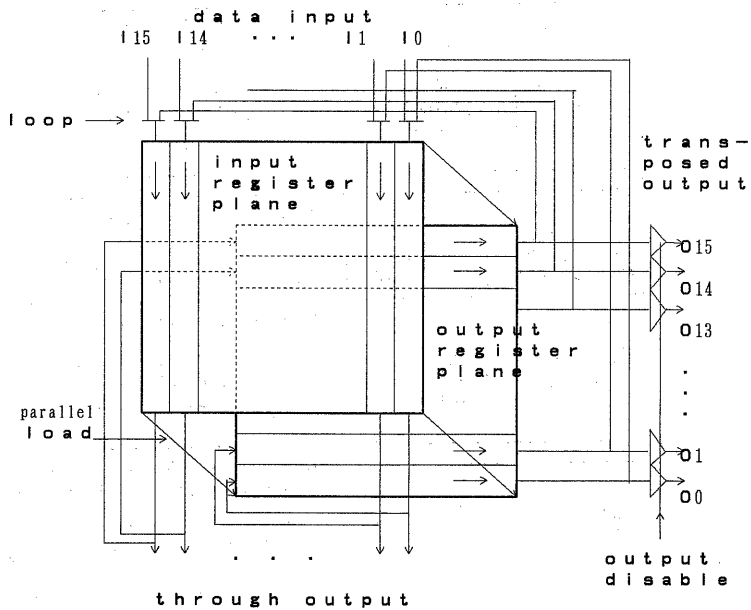
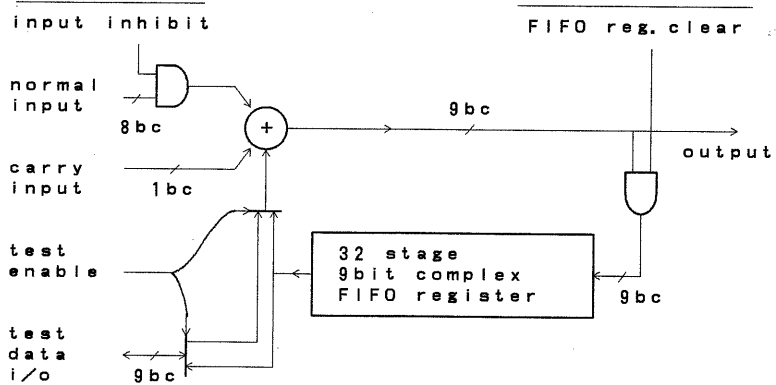
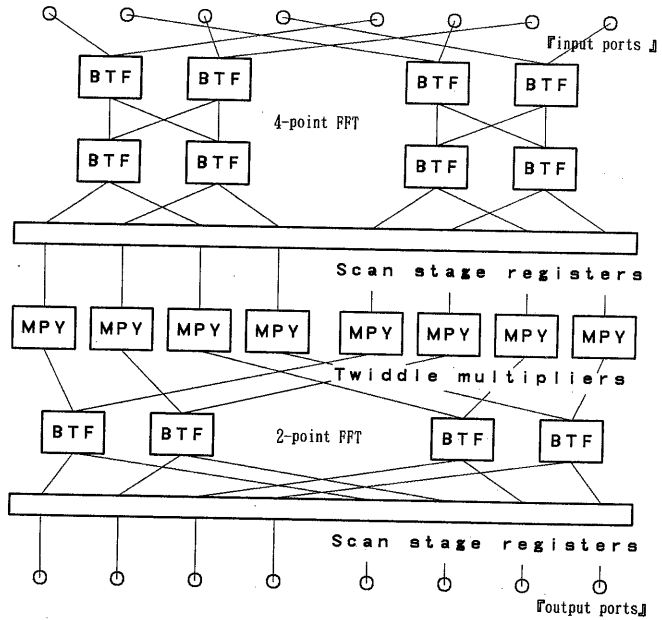


Fig. 5 Corner Turner LSI



Note : bc ; bit complex

Fig. 6 ACCUMULATOR LSI



Notes : BTF ; Butterfly LSI  
 MPY ; Multiplier LSI

Fig. 7 8-point FFT circuit