

## 高専におけるフルカスタムLSI設計教育に関する一検討 ～大規模集積システム設計教育研究センター第1回試作テストランに参加して～

伊藤一彦<sup>†</sup> 中林撰<sup>‡</sup> 鹿股昭雄<sup>†</sup> 浅見誠治<sup>†</sup> 與那嶺尚弘<sup>†</sup>

<sup>†</sup>NEC 米沢

<sup>‡</sup>仙台電波高専

〒989-31 仙台市青葉区上愛子字北原1番地

Tel.022-392-4761

あらまし

本校では、基本から応用までを段階的に一貫したデジタルシステム教育が行われており、これまで成果をあげてきている。しかしながら、近年の集積回路技術の進歩発展により、現在のカリキュラムでは実用的技術との乖離が生じてきている。そのため、早急に基本的な原理と今日的な技術を統合した、効果的な集積回路の設計教育システムが要求される。

我々は、これまでフルカスタムLSI設計環境の整備と教育システムへの導入について検討を行うとともに、平成8年度に設立された大規模集積回路システム設計教育センター(VDEC:VLSI Design Education and Center)の第1回VLSI試作テストランに3研究室からエントリーし、設計・試作を行った。本稿は、それらを踏まえ、本校におけるデジタルシステム教育の現状と、ならびにフルカスタムLSI設計教育に関する検討状況を報告するものである。

キーワード: デジタル教育システム、VDEC、LSI設計教育、フルカスタムLSI、FPGA

## A study on full custom LSI design education in National College of Technology -Using the 1st trial manufacturing system of VLSI Design and Education Center-

Kazuhiko Ito<sup>†</sup> Sen Nakabayashi<sup>‡</sup> Akio Kanomata<sup>†</sup> Seiji Asami<sup>†</sup> Takahiro Yonamine<sup>†</sup>

<sup>†</sup>NEC Yonezawa

<sup>‡</sup>Sendai National College of Technology

1, Kamiyashi, Aoba-ku, Sendai, 989-31, Japan

Tel.022-392-4761

Abstract

In recent year, a curriculum of the digital system education in our college gets out of date with the advance of the IC technology. So, a educational system for the new technologies is required.

The introduction of full custom LSI design for a new curriculum is now under examination, and the preparation of CAD system for the LSI design is proceeding.

This paper describes the state of the digital system education and the study of a educational system on the full custom LSI design in our college.

key words : digital educational system, VDEC, LSI design education, full custom LSI, FPGA

# 1. はじめに

マルチメディアや情報通信に代表される、今日の電子情報システムの進歩発展には目を見張るものがある。これらは、デジタル技術の中核としたコンピュータ技術や通信技術の統融合による新技術創成の結果とも言えよう。また、その技術実現の基盤には、LSIなどの半導体集積回路の飛躍的発展がある。

仙台電波高専においては、1980年頃より、デジタル技術の重要性に着目して、デバイス、回路、マイクロコンピュータとその応用を含む幅広い体系的な教育に力を入れ、効果をあげてきた[1][2]。しかしながら、LSI技術の進歩はシステムのブラックボックス化をもたらし、ハードウェアの教育が不透明で表面的なものとなる懸念が生じてきている。

このことから、早急にLSI設計教育環境を整備するとともに、LSI設計教育を現教育システムに組み込み、デジタル設計技術に対する透明性を維持、獲得する必要性がでてきた。他方、このような環境は、これまで設備やコストの面で不可能に近かったコンピュータアーキテクチャなどのシステム設計技術教育においても、実践的な教育の場を提供する可能性を与えるものである。

本報告は、本校で現在全学年に進められているデジタルシステム教育の状況、ならびにLSI設計教育に対する検討状況、その期待される効果等について述べたものである。さらに、平成8年度に実施されたVDECの第1回試作テストランに参加した状況について報告する。これは、今後のLSI設計教育の導入を目指し、専攻研究および卒業研究で行ったものである。

## 2. 仙台電波高専におけるデジタルシステム設計教育の現状と課題

### 2.1 本校におけるデジタル教育システムの特徴

高専における技術教育の最大の特徴は、大学受験に煩わされずに専門教育を5年間(専攻科も含めると7年間)一貫して体系的に行えることにある。デジタルシステム教育も同様であり、以下のような特徴を有する教育を進めている。

1. 基本論理回路、論理回路からマイクロコンピュータとその応用に至るまで、段階的に一貫教育を行っている。
2. 講義と実験実習を統合した授業方式を導入し、学

生に実験を通して考えさせながら、適宜、講義を組み合わせ理解を深めさせている。

3. 回路やシステムの中身まで踏み込んだ透明度の高い教育を目指している。
4. このため、全学科の教官が協力して、実験用教材の開発やテキストの執筆を行って教育に当たっている。

上述の教育システムの考え方は、授業の中心に実験実習を据えることにより、学生に問題意識をもたせ、動作原理やその応用について自ら考える力を育もうとするところにある。教官は、学生の状況を把握しながら必要に応じて、適宜、講義に切り替えて授業をまとめている。

### 2.2 デジタルシステム教育の現状と課題

図1に、これまでの本校情報工学科におけるデジタルシステム教育の流れを示す。他の3学科(情報通信工学科、電子工学科、電子制御工学科)の教育も、高学年で学科特有な内容が一部組み入れられている以外は、ほぼ同様な流れになっている[2]。

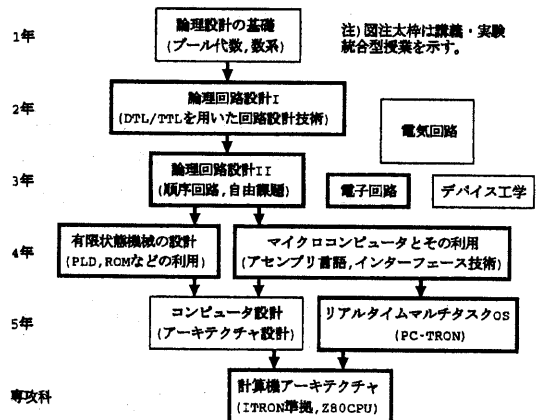


図1 デジタルシステム教育の流れ (仙台電波高専・情報工学科の場合)

低学年でDTL/TTLに基づく基本的な“論理回路設計”がスタートし、“有限状態機械の設計”、“コンピュータ設計”へと進む。4年次から“マイクロコンピュータとその応用”に関する教育が並行して実施される。図中のほとんどの授業(太枠で囲んだ部分)が、前節で述べた講義・実験統合型で進められているのも

ので、多くは、2~3単位(100~150分)、2名以上の教官で実施している。

このような講義・実験統合型の授業を効果的に進めるには、各教科が有機的に連携でき、学生の資質に合致した独自の実験教材とその教科書が不可欠となる。そのような背景のもとで、本校の教官を中心に延べ13名の高専教官が協力し、表1に示す実験教材を開発、それに基づいた教科書を執筆した(表1参照)。

これまでのデジタルシステム教育において、改善すべき課題がいくつかある。その一つは、回路の構成要素であるTTL ICやMOS LSIに関して、その仕組みや設計法について実験を含めた教育が充分には行われていないこと。そのため、ハードウェア教育が不透明で表面的になる懸念がでてきていることが挙げられる。

また、比較的大きなシステムの設計、実現を通して、アーキテクチャやアルゴリズムなどのシステム設計技術を育てる教育が少ないことも課題の一つである。学生が手軽に数千~数万ゲートのシステムを設計できる環境が望まれる。

このような背景のもとで、高専教育の中にLSIに関する実験実習付きの教育環境の整備が望まれてきている。

### 3. フルカスタムLSI設計教育の導入に関する検討

前章で述べた背景のもとで、LSI設計教育の導入について担当教官を中心とした全学的な検討が数年前から開始された[3][4]。

高専へのLSI導入には、“FPGA(Field Programmable Gate Array)”と“フルカスタムLSI”の二つのア

プローチが考えられる。前者は論理的な仕様を言語あるいは回路的に記述するだけでCADシステムが自動的に配置配線し、直ちにチップへの実装が可能である。比較的容易に教育環境を構築できる便利さがあるが、デジタル回路に限定されること、依然として内部の構造が不透明になりがちであることなどの問題がある。

それに対して、フルカスタムLSIの場合は設計者がLSIのレイアウトまで扱うことになり、集積回路に関する教育的な効果が期待できる。ただし、FPGAに比べて、CAD環境の構築やLSI試作に多大なコストがかかり、かつ、高レベルな技術的ノウハウが要求される。これに関しては、平成8年度、東京大学にVDECが設立され、CADの利用やLSI試作の環境が提供されつつある[5][6]。

本校としては、アーキテクチャやアルゴリズムを中心とした高学年のシステム設計教育にはFPGA(一部、PLD:Programmable Logic Device)を利用し、集積回路の内部構造やLSI設計教育にはフルカスタムLSIを利用することにした。

図2は、平成9年度から情報工学科で実施の新カリキュラム(デジタルシステム設計関連のみ抽出)を示す。4年次の“デジタルシステム設計”では、FPGA(PLD)を用いたモデルコンピュータの設計を行い、比較的規模の大きなシステムの設計技術を扱う。“集積回路工学基礎”では、電子デバイス工学、MOS ICの構造、回路シミュレーション、レイアウト設計と検証を学習する。専攻科の“計算機アーキテクチャ”では、フルカスタムLSI設計・試作を行う。試作は、VDECに依頼することになるため、試作スケジュールに合わせて授業計画を調整する必要がある。

表1 本校で開発した実験教材と教科書

書名		実験用ボード
基本的なプログラミングと割り込み	1991	Z80 シングルボードコンピュータ
マイクロコンピュータ周辺技術	1992	ACT80ZII用インターフェースボード (A/D,D/A変換ボードなど13品種)
マルチタスクプログラミング*1	1993	ITRON 準拠リアルタイムマルチタスクモニタ
原理がわかる工学選書		
1. 論理回路の基礎	1993	DTL-NAND 回路実験ボード
2. レジスタと演算回路	1994	演算回路実験ボード
3. PLDを用いた順序回路の設計*2	1994	PLD 実験ボード
4. アナログデジタル変換	1995	アナログデジタル変換実験ボード
5. コンピュータの原理と設計*2	1996	コンピュータ設計教育用教材(CDEC)

注1) 教科書は日刊工業新聞社から刊行され、実験教材は(株)アドテックシステムサイエンスから市販されている。  
注2) \*1は、本校教官と福島県ハイテクプラザ職員が、また、\*2は、本校教官と群馬高専教官が協力して開発した。

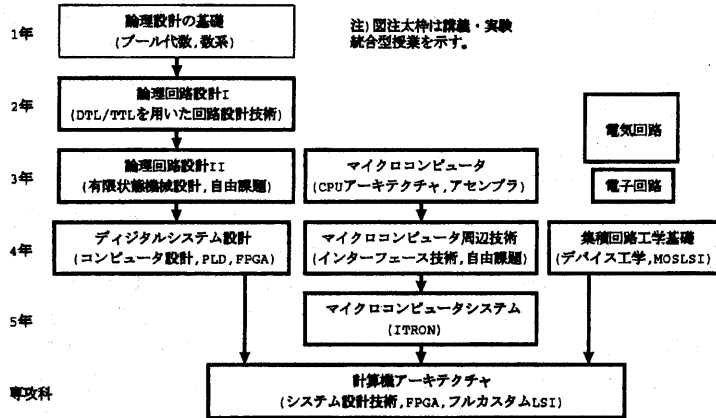


図2 デジタルシステム教育の新カリキュラム  
(仙台電波高専情報工学科)

#### 4. VDEC 試作テストランに参加して

VDEC のテストランに関する情報は登録者に WWW(World Wide Web) 上で公開され、その他の問い合わせや情報交換は電子メールにて行われている。また、設計データは GDS-II 形式に変換し、センターの ftp サーバに送付して製造側に渡される。

今回試作した LSI の製造プロセスは、MOTOROLA 社の 1.5 $\mu$ m CMOS プロセスであるが、設計時は 4 $\mu$ m ルールに基づき設計を行い、製造側で設計データを 0.37 倍にしマスクが作成される。製造プロセスの仕様を表 2 に示す。

表 2 製造プロセスの仕様

製造プロセス	1.5 $\mu$ m CMOS
チップ面積	2.3mm 角
PAD 数	信号端子:36 VDD 端子:8 GND 端子:8
ポリシリコン	2層
メタル	2層

##### 4.1 フルカスタム LSI 設計環境と設計手順

今回使用した CAD システムは、CADENCE 社のフルカスタム LSI 設計用 CAD システム (Analog Artist4.3) である。この CAD システムには、回路図入力エディタ、アナログシミュレータ、レイアウトエディタ、レイアウト検証ツール、GDS-II データ変換ツール、それらを統合し基本的なセルを提供するライブラリが備わっており、本校のワークステーション上で使

用できる。

図 3 に LSI 設計手順を示す。一般的に CAD システムを使用するのは、図中の点線で囲まれた部分になるが、現在の環境は、回路設計からレイアウト検証までをサポートするものである。

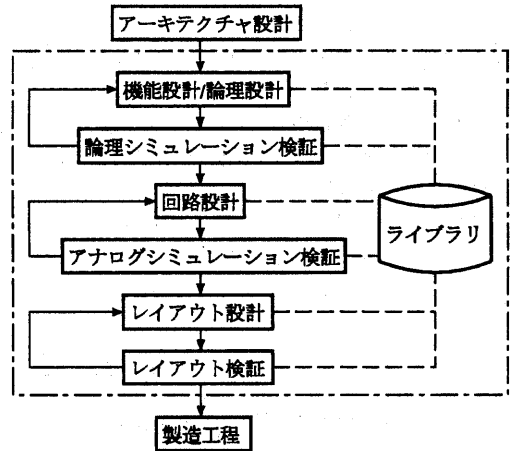


図3 LSI 設計手順

##### 4.2 設計回路の構成

今回のテストランには、本校の 3 研究室から計 3 チップがエントリーされた。今回は、現在の設計環境の実用性の確認と教育システムとしての課題をピックアップすることを目的としているため、回路の性能を追求するのではなく、基本的な論理回路の試作を目指した。

図 4 は 3 チップの内の一つである 4 ビットスライス加減算回路の構成を示す。4 ビットスライス加減算回路

は入力レジスタ部、演算回路部、出力レジスタ部からなる。入力レジスタはマスタースレーブ型 JK フリップフロップを用いた 4 ビット並列データ転送レジスタであり、最上位ビットを符号ビットとした被加数を保持する。加数は外部入力となる。演算回路部は補数器、全加算器、検出回路からなり、制御信号が“0”で加算、“1”で加数の 2 の補数をとり減算を、また、演算結果の 0 検出とオーバーフロー検出を行う。出力レジスタは演算結果と検出結果を保持するため、6 ビット並列データ転送レジスタとなる [4][7]。

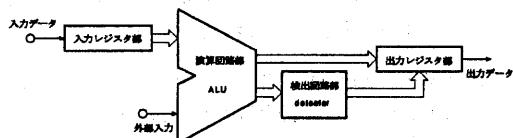


図4 4ビットスライス加減算回路の構成

#### 4.3 回路設計とアナログシミュレーション検証

回路設計では、インバータ、NAND、AND等の基本セルを作成し、XOR、マスタースレーブ型 JK フリップフロップ、全加算器を作成する。次に入出力レジスタ、演算回路等を作成し、最後にそれらを配置配線する階層的な設計となる。

その際に各階層毎にアナログシミュレーション検証を行う。今回センターから提供されたトランジスタパラメータは HSPICE 用のものであったため、これを本研究で使用しているアナログシミュレータ (SPECTRE) 用に変換する必要がある。しかしながら、この作業が非常に困難であったため、精度の高いシミュレーションは行えず、動作確認程度のもとなった。

#### 4.4 レイアウト設計と検証

レイアウト設計では、設計ルール、レイヤー情報等を記述したテクノロジーファイルが必要となるが、今回はセンターから提供されたものを使用した。また、スタンダードセルライブラリの提供はないが、PADと入出力バッファはセンターで設計されたものが提供されたため、それを使用した。

レイアウト設計においても、回路設計と同様にまず、インバータ、NAND、AND等の基本セルの作成を行い、これらを用いて XOR、マスタースレーブ型 JK フリップフロップ、全加算器のレイアウトを作成する。次に入出力レジスタ、演算回路、5進カウンタを作成し、最後にそれらを配置配線を行う。

その際に考慮した点としては、ラッチアップ対策としてコンタクトをこまめにとり、ガードリングを施す

ことで基板電位をしっかりとることである [8][9]。また、現在の設計環境には電氣的接続エラーを検証する機能が備わっていないため、人手での確認が容易になるよう配置配線は複雑化を避け設計を進めた。

図5に設計した回路のフロアプランを示す。設計したレイアウトは、縦長 2686 $\mu\text{m}$ 、横長 3421 $\mu\text{m}$ 、ゲート数はトランジスタ換算で 954 ゲートとなった。

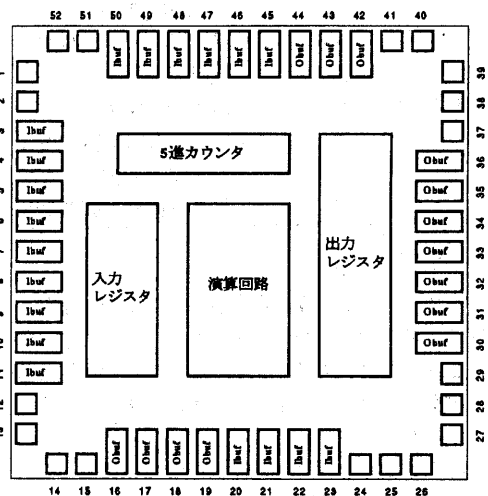


図5 フロアプラン

試作チップ評価の際には、QFP用ソケットに取り付け使用し、入力信号のスイッチング、結果表示には本高専で使用している表示ボードを使用する予定である。今回、実際に試作LSIの設計を行った訳であるが、今後早急に解決すべき課題として次の3つが挙げられる。

1. 精度の高いシミュレーションの実現 (トランジスタパラメータの変換)
2. レイアウトの電氣的接続エラー検証機能 (ERC :Electrical Rule Checker) の追加
3. 電子デバイス関連知識の充実

#### 4.5 第1回LSI試作テストランの日程

第1回LSI試作テストランの日程を表3に示す。平成7年4月CADシステムが導入から共同研究者2名で開始された。その翌年の平成8年4月より、共同研究者は5名となり、同年8月ようやく試作を前提としたLSIの設計を行うに至った。今回設計した4ビットスライス加減算回路と5進カウンタの設計は2名で設計を行い、設計には約1ヶ月を費やした。

表3 第1回LSI試作テストランの日程

日時	活動内容
平成7年4月	<ul style="list-style-type: none"> <li>・CADシステム導入</li> <li>・設計環境の整備</li> <li>・操作法の習得</li> <li>・LSI設計の学習</li> </ul>
平成8年6月	<ul style="list-style-type: none"> <li>・VDEC第1回テストランへの参加申請</li> </ul>
8月中旬	<ul style="list-style-type: none"> <li>・第1回試作LSI設計開始</li> </ul>
9月20日	<ul style="list-style-type: none"> <li>・設計〆切</li> </ul>
平成9年2月	<ul style="list-style-type: none"> <li>・試作チップ納入</li> <li>・VDEC第2回LSI試作への参加申請</li> </ul>
3月	<ul style="list-style-type: none"> <li>・第2回試作LSI設計開始</li> </ul>

## 5. おわりに

今回、VDECの第1回試作テストランに参加し、フルカスタムLSIを設計、試作した。技術的な蓄積が十分とは言えないまでも、半導体メーカーの情報に基づいて試作まで行なえた結果、今後の授業への適用に見通しを得た。

全学的にデジタルシステム教育の見直しを行なった結果、LSI設計教育を導入する必要性を確認した。平成9年度から実施の情報工学科の新カリキュラムでは、4年次に「集積回路工学基礎」を新たに設けて、MOS ICの構造や特性をシミュレーション実習を通して行ない、また、専攻科では、3、4年以降からの実施を目指して、フルカスタムLSI設計、試作を予定している。

今後のLSI設計教育を進めていく上で、学内で設計は出来たとしても、試作は外部に依頼することは必至であり、平成8年度に発足したVDECに今後とも大きく依存しながら教育を進めていくことになる。

最後に、今回のLSI試作に当り試作の機会を与えて下さったVDECと設計技術に関していろいろと情報

を下されたVDECのスタッフおよび各大学の試作グループの方々に感謝申し上げます。

## 参考文献

- [1] 中川一郎, 加藤靖: "デジタル電子回路教育における「自作→実験・実習→講義」循環方式の実践的効果について", 高専教育, 6, pp.23-30, 1983
- [2] 増田幸次, 加藤靖, 鹿股昭雄: "高専における実践的マイクロコンピュータ教育の一方法", 信学論A, Vol.J73-A, no.1, pp.146-152, Jan.1990
- [3] 中林撰, 鹿股昭雄, 伊藤一彦: "デジタルシステムの設計教育～LSI設計環境を充実して～", 平8工学・工業教育研究講演要旨集, 日本工学協会, Aug, 1996
- [4] 中林撰, 鹿股昭雄, 與那嶺尚弘, 伊藤一彦: "高専におけるフルカスタムLSI設計教育システムの検討", 平成8年度電気関係学会東北支部連大, 2I2, Aug.1996
- [5] 鳳紘一郎, 上田和宏 他: "LSI設計教育の現状と将来", 信学誌, Vol.80, No.1, pp.40-62, Jan.1997
- [6] 石井 吉彦: "チップ試作を伴うVLSI設計教育の例", 信学総合大会, VLSIシンポジウム6, pp.345-346, 1996
- [7] 伊藤一彦: "高専におけるフルカスタムLSI設計教育システムの検討", 平8仙台電波高専専攻研究論文, 1997
- [8] 飯塚哲哉 他: "CMOS超LSIの設計", 培風館(株), 1989
- [9] 松山泰男 他: "VLSI設計入門", 共立出版(株), 1983