

実験用ポリプロセッサシステム EPDS-1 について

Experimental Polyprocessor System EPDS-1

田丸 啓吉 山崎 勇 前田 明 宮田 操 石井 暁
Keikichi Tamaru Isamu Yamazaki Akira Maeda Misao Miyata Satoru Ishii
東京芝浦電気株式会社 総合研究所
Toshiba Research and Development Center

(本研究開発は通商産業省工業技術院の大型プロジェクト「パターン情報処理システムの研究開発」の一環として行った)

1 まえがき

この数年、複数台の小型計算機を相互に結合して、処理効率のよい、安価なシステムをつくる試みが、各所ですすめられている。特にLSI技術の進歩により、マイクロプロセッサが実用できるようになったこと、高速で安価なLSIメモリが自由に使用できることは、このような計算機複合体システムの実現を容易にした。マイクロプロセッサをベースとした、モジュール形のマルチプロセッサシステムは、構成の柔軟性、並列処理、分散制御、リソース共有、性能コスト比の改善、実現の容易さなどアーキテクチャの研究上、またソフトウェア上の興味から多数のシステムが研究されている。^{(1)~(6)}

工技院のすすめている「パターン情報処理システム」大型プロジェクトの中でも、高性能マイクロプロセッサ(PULCE)の開発がすすめられており、その外部仕様が発表されている⁽⁷⁾。このプロセッサのLSIはまだ完成していないが、このアーキテクチャのプロセッサを使用した計算機複合体が電総研より発表されている^{(8),(9)}。

筆者らの一部はこのプロセッサのLSI化に関係したことから、このプロセッサを使用した複合体システムにも興味をもち、EPDSとよぶシステムを設計している。このシステムは、構成の柔軟性とマルチプロセッサの特徴を生かした高度の機能の実現を目的とし、LSIマイ

クロプロセッサをベースにしたモジュール型のポリプロセッサシステムである。

以下に述べるEPDS-1は、EPDSシステムの第1番目のモデルであり、特にシステムのハードウェアの開発とアーキテクチャの実験を広い範囲に行なうことを目的に設計した実験システムである。現在本システムは、ハードウェアの試作中にあるので、本稿では、システム構成の主要部分について、概要を紹介し、性能シミュレーション結果について説明する。

2 EPDS-1の設計方針と特徴

EPDS (Experimental Polyprocessor System)の開発目標は次の3点に要約できる。

1) 高性能LSIマイクロプロセッサを使用したポリプロセッサシステムを開発すること。新しく試作するプロセッサPULCEをはじめ、各種のマイクロプロセッサを活用して、性能/価格比の良いシステムを構成する方法を研究し、汎用システムとしての有用性をしらべる。マイクロプロセッサを用いたマルチプロセッサシステムの方式は、いろいろ研究されているが、確定的な方式がきまつていないわけではない。特にこれまでの考え方は、マイクロプロセッサは安価ではあるが、スピードや機能などの性能は低いので、このような低性能のプロセッサを数多く使用することにより、総合的な性能を上げようということにあった。⁽¹⁰⁾しかしマイクロプロセッサの性能

が向上すると、これまでのような考え方は不適切になり、マイクロプロセッサの性能も十分に利用するようなシステム方式が必要になる。今回使用することを考えているPULCEは、従来のミニコンピュータ以上の能力をもっているプロセッサなので、このようなプロセッサを使用するシステムに適した、ハードウェア構成や方式設計を検討することが必要である。

2) 柔軟な構成のシステムをつくること。

一般にマイクロプロセッサを使用したマルチプロセッサシステムの特徴として、拡張性が良いことや構成上の柔軟性が高いことが上げられている。これはそのとおりであるが、ここで考えている柔軟性とは、これらの考え方を包含して、次の二つの目的を実現できるような能力をもつシステムである。すなわち、一つの目的はマイクロプログラムの書きかえにより、処理すべきジョブの特性に応じて、プロセッサを専用機能化し処理効率を向上させるとともに、機能の変更を容易にして多くの目的に対応できるようにすることである。他の目的は故障診断とその結果によるシステム再構成により、信頼性の高いシステムを実現することである。この二目的を統一した方式設計のもとで一つのシステムに実現することにより、ポリプロセッサの特徴を最大に生かすようなシステムをつくることである。

3) 高度の機能をもったシステムを実現すること。

EPDSは単にマイクロプロセッサを集めて従来の計算機を置きかえたものではなく、ポリプロセッサの特徴を生かして、高度の性能を実現したシステムである。例えば、並列演算など専用演算モジュール、高度のファイル処理機能、リソースの共用、負荷の分散、大容量メモリスペースなど、従来の同規模クラスの計算機では実現されない機能を実現することを考えている。このためハードウェアと共にソフトウェア上の問題を解決する。

このようなEPDSの目標は、長期の研究努力が必要であるが、第1段階として設計したEPDS-1は、実現システムとして、その中の一部の機能を実現している。

EPDS-1の特徴は次のようなものである。

- 1) マイクロプロセッサとしてはPULCEを使用している。
- 2) 各プロセッサは共有メモリにアクセスできると同時に、専用のローカルメモリをもっている。最大メモリ容量は両者を合せて4MBである。
- 3) プロセッサ間の情報交換には、共用メモリを利用する方法と、ループバスおよび汎用バスによる方法の2系統の手段を準備している。
- 4) 最小構成から大規模構成まで、統一した方式によりモジュールを使用して構成できる。用途により構成規模を増減でき、拡張性にすぐれたシステム構成になっている。
- 5) 各プロセッサの制御メモリは、固定部分と変更自由な部分をもち、マイクロプログラムの書きかえができる。これによりプロセッサに専用機能を与えることが可能であり、同時に、広い用途にわたって機能の変更ができる。
- 6) セグメンテーションを採用している。
- 7) 機械語をもち、用途に応じた中間言語を設定するように考えてある。

以下にEPDS-1の構成を中心に、システムの説明をする。

3 システムの構成

EPDS-1のシステム構成要素は、CM(Computer Module)、共用メモリおよびループバスである。このCMを後二者を用いて多数接続することにより種々のシステムを実現するわけであるが、そのハードウェアシステム構成の基本的な考え方は次のようになる。

- CMが基本構成単位である。
- CMは機能別に数種類をつくる。
- CMは全て同じ構成形式をとる。機能の相異は構成要素数の差になる。
- システムは必要なモジュールを相互に接続して構成される。

CMの構成は図1に示すように1~4台のプロセッサモジュール(PM)、一組のシステムコネクションユニット(SCU)およびローカ

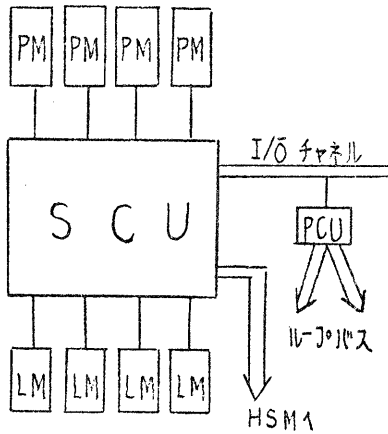


図1. コンピュータモジュール

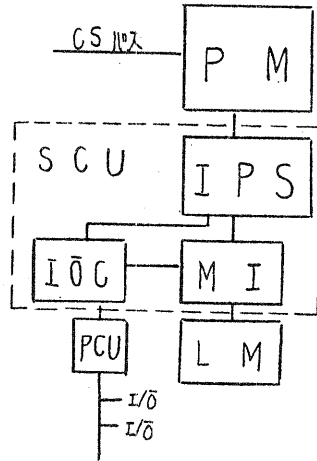


図2. 小規模計算機システム

ルメモリ(LM)よりなり、SCUから各種のバスポート、エ/ロチャンネルポートがでる。ローカルメモリは4バンクよりなり、すべてのPMは、任意のバンクへアクセスできる。この切りかえはSCUの中で自動的におこなわれる。

CMは、一つの計算機を構成するCPUとして必要な機能をすべて備えている。したがって1個のCMにエ/ロ機器を接続すれば、直ちに1台のミニコンピュータ規模の計算機ができる。

図2にその一例を示す。図中SCUの内部モジュールも示してあり、後で説明する図5のSCUの全構成図と比較すれば、非常に単純な構成であることがわかる。

しかし、多数のCMを相互に結合した、より大規模な計算機システムをつくるのが当面の目標であり、このようなシステムでは、各CMを機能別に専門化する方が能率的である。そこで次のようなコンピュータモジュールをつくる。

1) 演算用CM (EXCM)

演算、制御用に使う一般的なモジュールで、プロセッサは1~4台、ローカルメモリは64KB~256KBつく。プロセッサの台数やメモリサイズは、用途に応じ適当に選択される。エ/ロ機能は簡便化され、ループバスの接続およびタイプライタ程度で、エ/ロチャンネルも1本である。

2) エ/ロ用CM (IOCM)

周辺機器の管理を専用に行なうモジュール

で、プロセッサは1台(増設は可能)、ローカルメモリ(64KB程度)、エ/ロチャンネル4本をもつ。周辺機器の種類により、複数個のIOCMを使用することも可能である。例えばディスク用、MT用あるいは伝送入出力用などが考えられる。プロセッサは1台なので、SCU内部は、EXCMに比べて簡便化されている。

これら上述のCMを、いくつか結合して構成した比較的規模の大きなシステムの例を、次頁図3に示した。図のように多数のCMを接続するには、すべてのPMから直接的にアクセスすることのできる共用メモリ(HSM: High Speed Shared Memory)を1つシステムに設置し、このHSMを介して、情報の交換を行ない、CM間を有機的に結合する方法、さらにループバス(LBUS)と呼ばれるデータバスに各CMを接続し、このLBUSを介して各CMのLM間で、ブロックデータ転送を行なう方法がある。前者を強調すれば、各CMは、比較的密に結合されたことになり、後者を強調すれば、比較的独立性の高いCMを1つに結合した形式となる。

このHSMへのアクセスは、HBUSを介して行われ、アクセスの競合の管理はHSM側で行なう。またこのHSMを介しての情報交換を効率よく行なうために、各PMから、任意の

PMへ、割り込みをかけることのできる信号線が各PM間を走っている。この割り込みを受けたPMは、HSMの特定番地を調べることにより、何の割り込みか知ることができ、対応する処理をする。

通常多数のPM間で情報のやりとりをするためには、Test & Set 命令が実行できなければならないが、本システムでは、メモリを一時専有的に使える手段をもたせることにより実現されている。

またLBUS上では、データ経路が重ならないかぎり、複数個のデータ転送を行なうことができ、LBUSの効率よい使い方が可能なバス方式となっている。

図3は、プロセッサ6台、LM512KB、HSM256KB程度の中規模計算機システムを構成した例であるが、現時点では、プロセッサモジュール32台まで、また1つのプロセッサからアクセスできるメモリ容量は、4MBまで拡張できるようになっている。

このEPDS-1システムに、他の計算機システムを接続するには、2つの方法がある。1つは、I/OCMのI/Oチャンネルを經由して接

続する方法で、他はLBUSに直接接続する方法である。後者の場合、付加計算機から見るとLBUSとのデータ転送は入出力動作として処理するようにする。このようにすることにより容易に他計算機システムとの結合が可能となる。

またこのEPDS-1のシステムの変形として種々のものが考えられる。例えばHSMを取り除き、LBUSのみで各CMを結合したものであるいは、逆にLBUSを除き、HSMのみを介してCMを結合するシステムなどである。さらにLBUSを複数個もうけることもEPDS-1の拡張として可能である。この場合、異なるLBUSに接続されているCM間で、LBUSをまたがってデータ転送はできないが、2つのLBUSの接点のCMを介しての情報交換がおこなえる。

以上示してきたように本EPDS-1システムは、小規模なミニコンクラスの計算機から、大規模な計算機システムまで、同一のハードウェアモジュールを用いて柔軟に構成することができるシステムである。

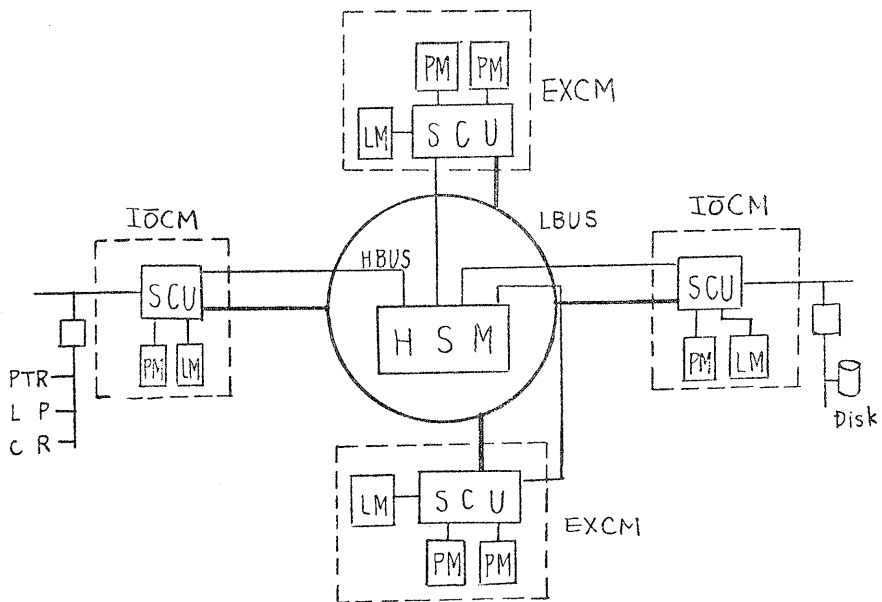


図 3. 中規模計算機システム

4 各部の動作

EPoS-1の主な構成要素は、CM(コンピュータモジュール)、HSM(共有メモリ)およびLBUS(ループバス)である。CMはさらにPM(プロセッサモジュール)、SCU(システムコネクシオンユニット)、LM(ローカルメモリ)より成る。これは前述したとおり組み合わせられて種々のシステムが構成されるが、以下においては、各要素の構成およびその機能について詳しく説明していく。

① PM

PMは図4に示すように

- ・ マイクロプロセッサ(PULCE)
- ・ マイクロプログラムメモリ(MPM)
- ・ マイクロプログラムメモリ
コントローラ(MMC)
- ・ コンソールサービス(CS)

の4つの部分から構成される。PULCEは「パターン情報処理システム」大型プロジェクトの中で新規に開発されている高性能の16ビットのマイクロプロセッサである。

MPMはマイクロプログラムを格納する1語32ビット、実装最大8K語のメモリであり2K語単位にモジュール化されている。2K語モジュールにはRAMとROMがある。後者はイニシャルロード用、OS用のマイクロプログラムが入る。前者は通常のマイクロプログラムが入る他、一部OSの作業領域としても用いられる。マイクロプログラムの実行モードには、スーパーバイザモードとユーザモードがある。前者は、すべてのMPMの領域にアクセスできるが、後者のモードでは、ある一定番地(マイクロスイッチで指定)より若い番地へはアクセスできないようになっている。さらにRAMへの書き込みもユーザモードでは禁止されている。このようにユーザの誤りからシステムを保護している。

MMCはPULCEにマイクロプログラムを供給するシーケンスコントローラで以下に述べるような特徴や機能を有している。

- ・ マイクロプログラムの一命令先読み
- ・ PULCEとのデータ授受の制御
- ・ MPM、SCUなどのモジュールとのデー

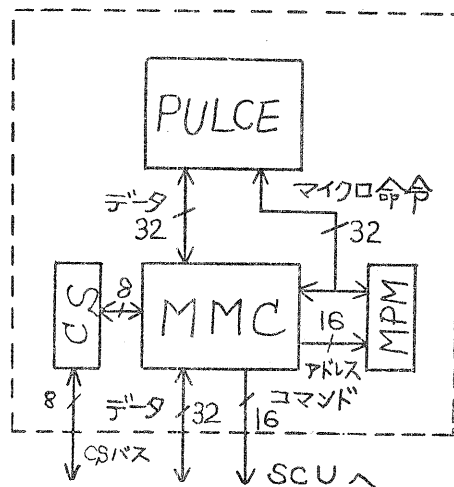


図4 プロセッサモジュール

タの授受のコントロール

- ・ ブランチ、サブルーチンコール(16語まで)命令の実行
- ・ 割り込み処理のコントロール

CSはPMの操作、状態表示、調整、デバッグのためにもうけられた簡単なパネルである。このCSからCSバスがI/Oバスとして出され簡単な入出力機器が接続できる。

2) SCU

SCUはPM、メモリおよび入出力機器を接続して計算機システムを構成するための各種制御回路、インタフェース回路の集合である。図5に示すようにSCUは

- ・ IPS (Interface for Processor and SCU)
- ・ MI (Memory Interface)
- ・ MBX (Memory Bank Exchanger)
- ・ IOC (Input Output Controller)
- ・ ICBS (ICBUS Controller)
- ・ GCCM (Global CAM Cancel Module)
- ・ IIC (Interprocessor Interrupt Control line)

より構成される。

IPSはPMから送られてくるコマンドに従ってメモリへのアクセスの管理、IICを用いたPM間の割り込み管理、IOCの起動、タイ

マ-の管理を行なう。

メモリはセグメンテーションにより仮想化されており、IPSではこれらのアドレス変換を連想メモリ(CAM)を用いて行なっている。またこのアドレス変換の過程でアクセス権のチェックも行なっている。本システムではリングプロテクションを採用している。

MIはIPSおよびIOcからのメモリアクセスの要求の一方を先着順に選び、送られてくる絶対番地によりLMへのアクセスがHSMへのそれかを識別し、対応する方へアクセスの要求を出す。HSMとLMのアドレス付けは、連続番地となっており、若い方がHSM、続いてLMの番地となっている。MIにはこの境界を示すマイクロスイッチがあり、この値と比較してLMかHSMかの判定を行なっている。

MBXはMIから出されるメモリのアドレスを見て、LMの1つのバンクを選択する。このMBXの働きにより、任意のPM(MI)は任意のLMのバンクにアクセスでき、かつ異なるメモリバンクへは全く同時にリード/ライトすることが可能である。同一のバンクへのアクセスに対しては先着順に要求が認められる。またメモリアクセスには特殊なモードがあり、このモードでアクセスするとアクセスされたそのバンクを一時排他的に使うことができる。この機能は、Test & Set 命令や、高速入出力要求時などに用いられる。

IOcはICBUS経由によるIPSからのコマンドに従って起動され、入出力動作の管理を行なうモジュールで1つのSCUには最大4台まで接続される。IOcには1本のI/Oチャンネルがあり、その下に複数個のPCU(Pripleval Control Unit)が接続される。IOcはMIを経由してメモリより読み込んだチャンネルプログラムに従ってPCUにコマンド、データを転送する。

ICBSCはIOcにコマンドを伝える

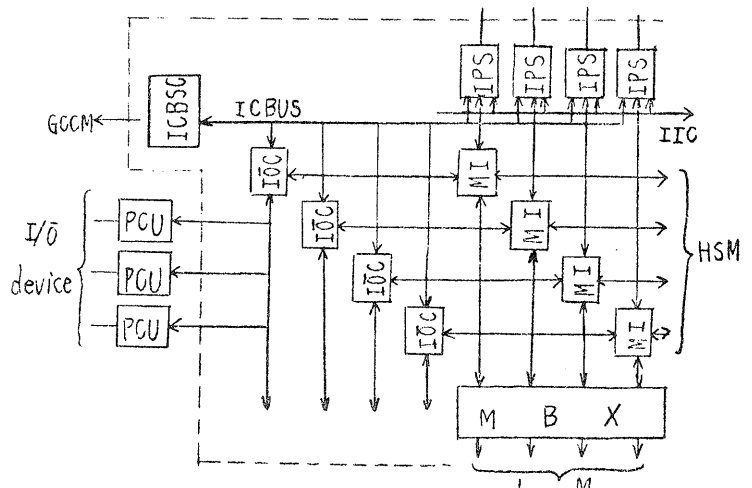


図5 SCUブロック図

ICBUSを4つのIPSが共有するための制御を行なう。さらに他の重要な機能は同一CM内の連想メモリ(CAM)の内容の変更手続を提供することである。データを複数個のPMで共有している時、そのデータの属性を1つのPMが変更した場合、各PMのCAM内に取り込まれているその属性を無効にしてやる必要がある。このシステムでは、この機能をICBSCが実現している。さらに他のCM内のPMとの間でも同じような問題がおこる。このため本システムではGOCMと呼ぶモジュールをシステムに1つ設け、このモジュールを介して他のCM内のICBSCにCAM変更の要求を出しCAMの内容を無効にさせることができる。

IICは各PMが任意のPMに割り込み信号を送るために、システム中にただ1つ設けられた信号線である。このIICと共有メモリHSMを用いることにより能率よく情報交換を行なうことができる。

3) メモリ

メモリにはLMとHSMの両者があることはすでに述べたとおりである。LMもHSMもメモリの構成方法は同じであるが、LMの容量は64KB~256KB、アクセスは1.1μ程度であり、HSMは64KB~4MBでアクセスは1.2μ位である。データは4B、あるいは2Bでリード/ライトできる。4Bの場合任意の2B単位の番地から4Bアクセスができ、こ

れを実現するため各メモリバンクはアドレスを+2加算する機能をもっている。

LMとHSMは同じ構成ではあるが、一つ異なる点がある。すなわちLMは最大4つのPMからアクセスされるだけであるが、HSMは最大32台までのPMからアクセスされる。このため図6に示すようにHBUSを介してHSMへアクセスする方式をとっている。1システムに4本までのHBUSが設置でき、1つのHBUSには最大8台までのPM(MI)が接続される。HSMへアクセスするには、先ずHBUSの使用権を確保しなければならない。このバスの優先度制御は先着順制御である。

HBUSはデータ32ビット+4パリティビット、アドレス21ビット、その他の制御線で構成される。

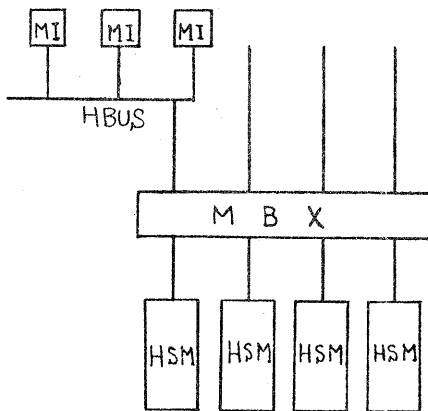


図6 HSMの構成

4) LBUS

PM間での情報交換の手段としてHSMによる方法の他に以下で述べるLBUS(ループバス)による方法がある。

LBUSは各CMを図7に示すような方法で相互に結合するバスで、システムの中に1本だけ存在する。このバスはデータ32ビット+4パリティビットの他、20本程度の制御線で構成される。このLBUSにはLSW(ループスイッチ)と呼ばれるノードがあり、データ転送のためのゲートの制御をメモリバスのステータスを保持したりしている。このLSWに指示を与えるのがLOPと呼ばれるモジュールで、LSW

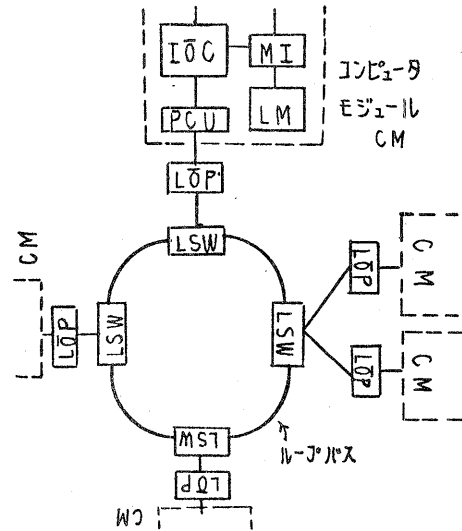


図7 ループバスシステム

にLBUSを確保させたりデータ転送を行なわせたりする。このLOPはコンピュータモジュールCMから見るとIOCの管理下におかれた入出力機器の1つと見なせる。すなわちLBUSを使ってデータ転送を行ないたい時はLOPに対するチャンネルプログラムをつくり、IOCに起動をかければよい。あとは書かれたチャンネルプログラムに従い、LOPがLSWを動作させ、データ転送をしたい相手側LOPとの間にLBUSを確保し、2つのLOP同士でデータ転送がおこなわれる。このようにして異なるCMに属するLMの間で情報交換ができる。このデータ転送は非同期転送であり、平均8MB/秒の転送速度である。

このLBUSシステムの特徴を以下で説明する。まず最大の特徴はこの1つのLBUSを使ってデータ転送が同時に複数組行なえることである。図8に示すようにデータ転送の経路が重ならないかぎり何組のLOP間でもデータ転送ができる。図中もしLSW₄にLOPが2台ついておれば、さらにLSW₅ ↔ LSW₄の間でも転送経路が確立できる。

上記のようなシステムにおいて、もし複数個のLSWが同時にデータ転送経路を確立しようとすると、デッドロックに陥ることがある。これを避けるため本システムでは、転送路を確立しようとするLSWは同時には2つ以上存在

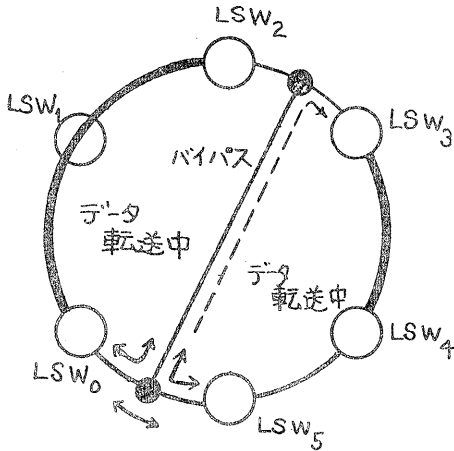


図8 ループバスのデータ転送

しなような方式をとっている。すなわちこのバス上を1つの信号が回っており、その信号をつかまえたLSWのみが転送路を確立しようとすることができる。

さらにできるだけ多数組のデータ転送が実行できるようにするため、LBUSに図8に示すようなバイパスを設けることができる。このバイパスが「生きている」時は、2つの小さなループができたと思えることができる。このバイパスを「全かしたり」、「殺したり」するのもLSWを介してLDPから送られてくるコマンドにより行なわれる。

5. 性能シミュレーション

EPDS-1システム性能評価のため、メモリの競合による影響等に関するシミュレーションを行なった。図9はメモリの競合により、どのくらいメモリのアクセス時間、およびマクロ命令の実行時間かのびたかを示すグラフである。単位はそれぞれ、競合がなかった場合の実行時間に対し、何倍に実行時間かのびたかを示している。実線がHSMへのアクセス時間の増加率を示しており、破線がそのうちHBUSの空きを待つために遅れた部分で、両者の差が、HBUSを確保したが、HSM自身が使用中であったことにより生じた遅れである。

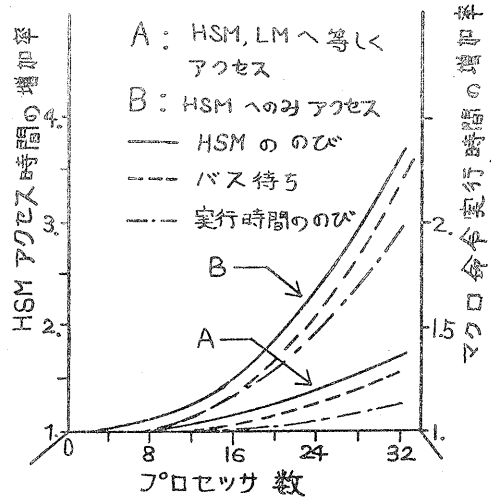


図9 競合による各種実行のおくれ

このシミュレーションの条件は

- 1マイクロ命令は200nsかかる
- 10マイクロ命令で、1回の割り合いで、均等にメモリアクセスがおこる
- 1マクロ命令は、平均25マイクロ命令より成る
- LMへのアクセスは、1.05 μ sかかる。そのうちLMを専有するのは450nsである
- HSMへのアクセスは、1.15 μ sで、そのうちHSMを専有するのは、500nsである
- アドレスは、一様ランダムである

・メモリバンクはHSMは、4バンク、LMは、1PM当り1バンクであるなどである。Aと示したのは、HSMとLMへ同じ比率でアクセスする場合、BはHSMのみへアクセスする場合(LMがない場合)の図である。

図10がプロセッサ、メモリおよびバスの稼働率を示している。プロセッサの稼働率が60%でおさえられているのはメモリアクセスに5マイクロステップ分程の時間がかかり、その間プロセッサが遊んでいるとしたためである。またHSMの稼働率が60%でおさえられているのは、4本のHBUSを介して一様に4つのHSMバンクへアクセスするため、HBUSの稼働率が100%近くでも、HSMバンクは30%遊んでしまう結果である。

これらのグラフから、LMを設けたことの効果がよくわかる。この様子をはっきりと見るために、図11にHSMへのアクセス割り合いを変化した場合のグラフを示した。HSMへのアクセス100%が図9のBに対応し、50%の場合が図9のAに対応している。

これはLMへのアクセスを増やす(LMを大きくするか、ソフトウェアの助けによりLMへのアクセス比を増す)ことにより効率が大きく改善される可能性を示している。

またHSMのバンク数を倍の8にすると、Bの場合でHSMのアクセス時間の増加率が、1.95倍から1.55倍程度に減少する結果が得られている。

また稼働率を示す図10のグラフよりBの場合は、プロセッサが増えるとその稼働率は大きく下がり、減らすとメモリの稼働率が低くなる。LMをもうけたAの場合では、プロセッサ32台あたりで、プロセッサ、メモリの稼働率をともに高くすることができる。

このEPDS-1システムの効率を向上させるための1つの方策として、HBUSの稼働率とHSMのそれを同じにすることが考えられる。

これは、コントロールは複雑になるが、空いているHSMのバンクへアクセスしようとしているPMに、HBUSを割り当てることにより実現できる。

さらにキャッシュを採用することによっても

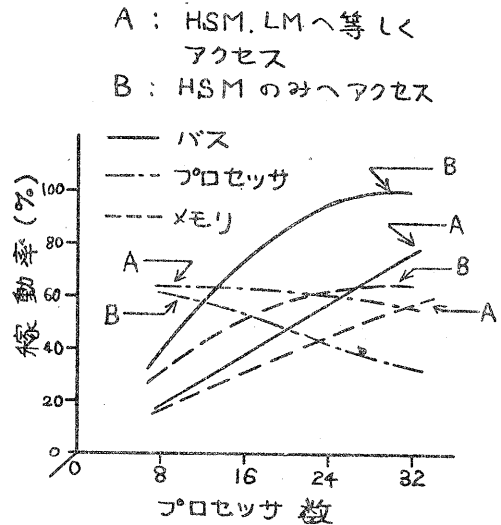


図10 稼働率の競合による影響

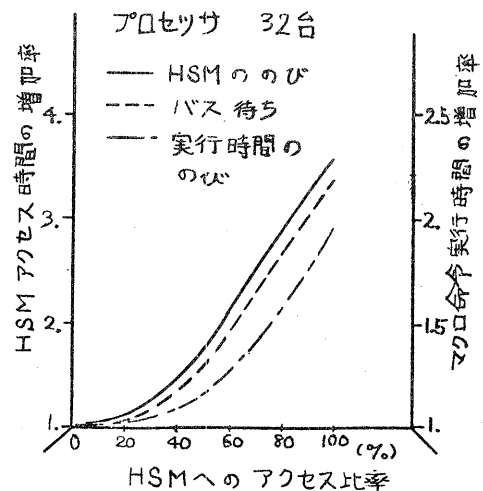


図11 競合による各種実行のおくれ

大幅に競合が減少し、効率が改善されることが予想される。

上に述べたモデルとは少し異なるが、図12に、250msのキャッシュを設置し、そのヒット率を0.9、ストア率を0.1、共有データ率0.2とした時に実行時

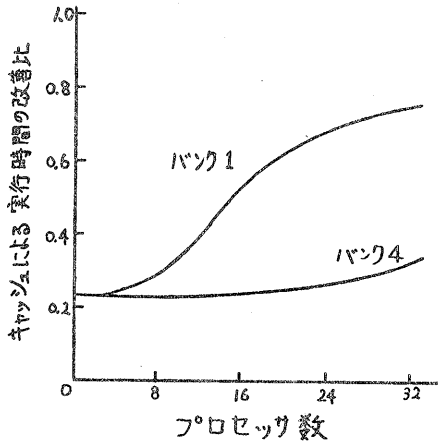


図12 キャッシュによる実行時間の改善比

間がどれだけ改善されたかを示すグラフを示した。改善比はキャッシュなしの実行時間をTありの場合のそれをTとすると

$$(T-T')/T$$

で定義したものである。ただしすべてHSMへアクセスし、LMへはアクセスしない場合である。バンク数が少なく競合の多い場合はキャッシュの効果が良くあらわれている。

6 あとがき

現在我々が開発しているEPDS-1のシステムの概略をハードウェアに重点を置いて説明した。またメモリの競合による影響を中心に、システムの性能評価のためのシミュレーションを行ない、その結果を示した。

現時点においては、ソフトウェアやコストの影響を考慮に入れた評価ではないため、EPDS-1で選んだパラメータの適否を判断するのは早計ではあるが、本システムは、用途に応じ、種々の形態、規模のとれる、かなり柔軟性のあるマルチプロセッサシステムを提供できることがわかった。

今後これら種々の形態に対する統一的なソフトウェアの実現、マルチプロセッサの特徴を生かした故障診断や、それに基づく再構成方式

などを、このEPDS-1実験システムを通じて明らかにしていきたい。

<参考文献>

- (1) C. G. Bell et al "The architecture and application of computer module ; A set of component for digital system design" COMPCON p.177 (1973)
- (2) H. E. Heart et al "A new mini computer/multi-processor for the ARPA network" proc. NCC p.529 (1973)
- (3) 元岡, 山室 "ポリプロセッサシステム PPS-1" 情報処理 15, 7, p.557 (1977)
- (4) K. Ohmori et al "MICS - A MULTI-Micro Processor System" INF, PROC 74 p.98 North Holland Pub Co. (1974)
- (5) 飯塚他 "モジュール型複合計算機 ACE" 情報学会アーキテクチャ研資 74-4 (1974-10)
- (6) 寺田他 "複合機能モジュールアーキテクチャについて" 情報学会アーキテクチャ研資 (1975-6)
- (7) 飯塚 "高性能マイクロプロセッサのアーキテクチャ設計" 信学会計算機研資 EC 75-3 (1975-4)
- (8) 飯塚 "ACEプロセッサモジュールのアーキテクチャ" 情報学会アーキテクチャ研資 74-5 (1974-10)
- (9) 小池 大森 "マルチマイクロプロセッサの制御方式" 信学会計算機研資 EC 74-11