

L S I ミニコンピュ ータ P A N A F A C O M  
U - 1 0 0 について

新 海 卓 夫  
パ ナ フ ァ コ ム 株 式 会 社

1. はじめに

P A N A F A C O M U - 1 0 0 は, ミニコンピュ ータおよび制御用コンピュ ータの領域をカバーすべく開発された P A N A F A C O M U - シリーズの一連のモデル U - 1 0 0, U - 2 0 0, U - 3 0 0, U - 4 0 0 中の最下位のモデルであって, 論理回路素子として N - チャンネル M O S ・ L S I を, 又記憶素子として 4 K ビットの R A M を使用することにより, 高性能, 小型, 低価格の実現を計ったものである。以下に, P A N A F A C O M U - 1 0 0 の開発方針, 開発手法, 並びにハードウェア, ソフトウェアの概要を紹介する。

2. 開発の目標

2・1 適用分野に関して,

- a. 専用制御装置 ( D e d i c a t e d C o n t r o l l e r ) としてのシステム組込み用コンピュ ータ。
- b. 小規模科学技術計算 ( S c i e n t i f i c P r o b l e m S o l v e r ) 用コンピュ ータ。
- c. ターミナル・コンピュ ータ。

等に代表される低価格ミニコンピュ ータの適用分野で, メーカー側からの, I / O, ソフトウェア, 保守を含むトータル・サポートを期待するユーザ層の要求を満たすことをねらいとする。

2・2 アーキテクチュアに関して

- a. C P U のアーキテクチュアを U シリーズの上位モデルとコンパティブルにし, さらに,
- b. I / O インターフェースを含む I / O ストラクチュアを U シリーズ上位モデルと完全に一致させる (論理的, 物理的に), ことにより, U シリーズ用に既に開発されている豊富な, ベーシック・ソフトウェア, 応用ソフトウェア, および入出力装置の利用を可能にする。

2・3 性能に関して,

N - チャンネル M O S テクノロジで実現可能な最高速度をねらい, 既存の低価格ミニコン並の速度, 高級ミニコンの機能を, より低価格で実現する。

2・4 L S I 化の範囲に関して,

C P U の中心部 ( A L U - A r i t h m e t i c a n d L o g i c U n i t ) のみならず主制御部, I / O インターフェースも含めて極力, L S I に収める。



#### 4. ハードウェア

##### 4.1 アーキテクチャ

###### a. 記憶装置

語長: 16ビット + 2パリティ・ビット  
最小容量: 8Kバイト  
最大容量: 60Kバイト

###### b. 中央処理装置

演算方式: 並列2進法, 2の補数表示, 固定小数点  
データ形式: 8 / 16 / 32ビット (2進固定小数点)  
1 / 8 / 16ビット (論理演算)  
命令の種類: 基本89種 (含乗除算, 倍精度演算命令) (表1)  
命令形式: 1語長 / 2語長 / 3語長 (図2)  
アドレス方式: 6種 (直接, 相対, インデックス, レジスタ間接, レジスタ間接後自動増加, イミディエイト) (図3)  
汎用レジスタ: 8個  
割込み方式: P S W切替方式  
割込みレベル: 内部2, 外部4 計6レベル  
諸機能: デバッグ機能 (Fetch Stop)  
プログラム割込み  
イニシャル・プログラム・ロード (IPL)  
インターバル・タイマ  
メモリ・パリティ・チェック  
電源異常割込み・再起動  
等の機能はすべて標準装備

###### c. 入出力制御

接続方式: 共通バス方式  
制御モード: プログラム制御, 又は, 直接メモリアクセス (DMA)

##### 4.2 性能

###### a. 記憶装置

モジュール: 8K / 16K / 32Kバイト (コア又はIC)  
サイクルタイム: 1.5  $\mu$ s (コア)  
0.6  $\mu$ s (IC)

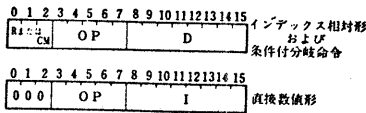
###### b. 演算速度

加減算: 2.8  $\mu$ s (レジスターレジスタ)  
4.4  $\mu$ s (レジスターメモリ)  
乗算: 48 ~ 49.2  $\mu$ s  
除算: 57.6 ~ 63.6  $\mu$ s

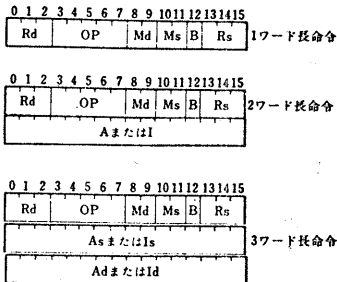
###### c. 入出力

最高転送速度: 1.3Mバイト/秒 (コア)  
2Mバイト/秒 (IC)

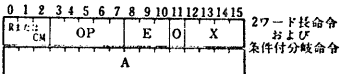
a. D型



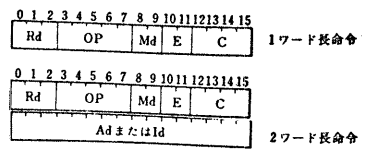
b. MM型



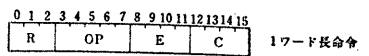
c. ERX型



d. MC型



e. RC型



- R : レジスタ指定
- Rd : レジスタ指定 (デスティネーション)
- Rs : レジスタ指定 (ソース)
- X : インデックス・レジスタ指定
- OP : 命令コード
- E : 拡張命令コード
- CM : コンディション・マスク
- D : デイスプレメント
- I : 直接数値 (イミディエイト)
- A : オペランド・アドレス
- Md : アドレス・モード指定 (デスティネーション)
- Ms : アドレス・モード指定 (ソース)
- B : アーク長指定 (バイトまたはワード)
- C : カウント, 直接数値またはビット位置指定などの制御情報

(図2) U-100の命令形式

レジスタ		1アドレス (D型)	2アドレスまたはイミディエイト (MM型) (MC型)				拡張アドレス (ERX型)
名称	用途		Ms, Md=00	Ms, Md=01	Ms, Md=10	Ms, Md=11	
R <sub>o</sub>	R <sub>o</sub> /A <sub>cc</sub>	[直接数値] I=オペランド		[直接アドレス] As=Ms Ad=Med			[直接アドレス] A=M <sub>o</sub>
R <sub>1</sub>	R <sub>1</sub> /X <sub>1</sub>						
R <sub>2</sub>	R <sub>2</sub> /X <sub>2</sub>						
R <sub>3</sub>	R <sub>3</sub> /X <sub>3</sub>	[インデックス相対] (R <sub>1</sub> ~R <sub>3</sub> )+2D =Me	[レジスタ操作] (R <sub>3</sub> ~R <sub>4</sub> ) =オペランド	[インデックス修飾] (R <sub>3</sub> ~R <sub>4</sub> )+As =Ms (R <sub>3</sub> ~R <sub>4</sub> )+Ad =Med	[レジスタ間接] (R <sub>3</sub> ~R <sub>4</sub> )=Me	[レジスタ間接] (後自動増加) (R <sub>3</sub> ~R <sub>4</sub> )=Me	[インデックス修飾] (R <sub>3</sub> ~R <sub>4</sub> )+A =Me
R <sub>4</sub>	R <sub>4</sub> /X <sub>4</sub>					その後 {B=0} (R <sub>3</sub> ~R <sub>4</sub> )+2 =R <sub>3</sub> -R <sub>4</sub>	
R <sub>5</sub>	R <sub>5</sub> /X <sub>5</sub>					{B=1} (R <sub>3</sub> ~R <sub>4</sub> )+1 =R <sub>3</sub> -R <sub>4</sub>	
R <sub>6</sub>	R <sub>6</sub> /X <sub>6</sub>						
R <sub>7</sub>	IC	[命令カウンタ相対] (IC)+2D=Me	(IC)=オペランド	[命令カウンタ相対] (IC)+As=Ms (IC)+Ad=Med	(IC)=Me	[直接数値] Is=ソース・オペランド Id=デスティネーション・オペランド	[命令カウンタ相対] (IC)+A=Me

(図3) U-100のアドレス方式

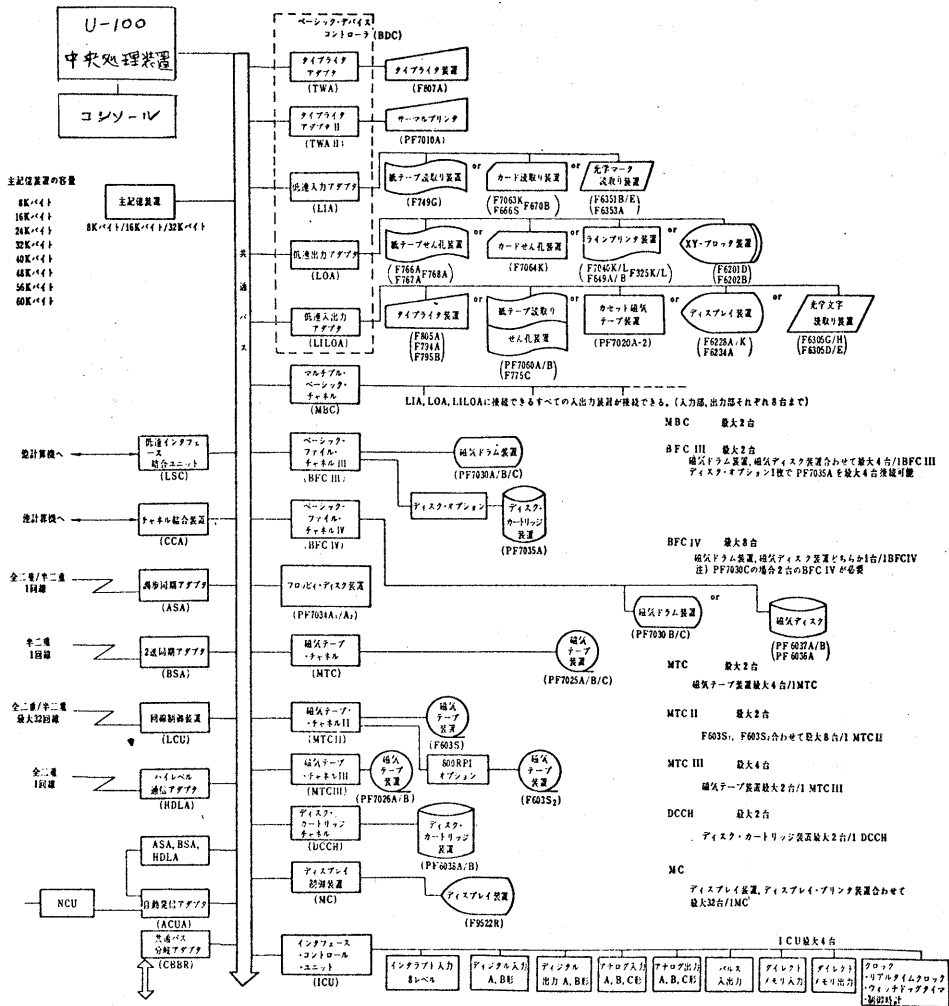
	命令名称	形式
転送命令	Move	MM
	Move Byte	MM
	Move Immediate	MC
	Load Short	D
	Load Double	ERX
	Load Effective Address	ERX
	Store Short	D
	Store Double	ERX
	Execute Register	RC
	No Operation	D
シフト命令	Shift Left Logical	RC
	Shift Left Circular	RC
	Shift Logical	RC
	Shift Right Arithmetic	RC
	Shift Left Logical Double	RC
	Shift Left Circular Double	RC
	Shift Right Logical Double	RC
	Shift Right Arithmetic Double	RC
ビット処理命令	Set Bit	MC
	Reset Bit	MC
	Test Bit	MC
演算命令	Add Short	D
	Add	MM
	Add Byte	MM
	Add Logical	MM
	Add Logical Byte	MM
	Add Immediate	MC
	Add Double	ERX
	Subtract Short	D
	Subtract	MM
	Subtract Byte	MM
	Subtract Logical	MM
	Subtract Logical Byte	MM
	Subtract Immediate	MC
	Subtract Double	ERX
	Multiply	ERX
	Divide	ERX
	論理比較命令	And Short
And		MM
And Byte		MM
Or Short		D
Or		MM
Or Byte		MM
Exclusive Or Short		D
Exclusive Or		MM
Exclusive Or Byte		MM
Compare Short		D
Compare		MM
Compare Byte		MM
Compare Logical		MM
Compare Logical Byte		MM
Compare Immediate		MC

	命令名称	形式
分岐命令	Branch Short	D
	Branch	ERX
	Branch on Equal Short	D
	Branch on Low Short	D
	Branch on High Short	D
	Branch on Not Equal Short	D
	Branch on Not Low Short	D
	Branch on Not High Short	D
	Branch on Zero Short	D
	Branch on Minus Short	D
	Branch on Plus Short	D
	Branch on Overflow Short	D
	Branch on Not Zero Short	D
	Branch on Not Minus Short	D
	Branch on Not Plus Short	D
	Branch on Not Overflow Short	D
	Branch on Equal	ERX
	Branch on Low	ERX
	Branch on High	ERX
	Branch on Not Equal	ERX
	Branch on Not Low	ERX
	Branch on Not High	ERX
	Branch on Zero	ERX
	Branch on Minus	ERX
	Branch on Plus	ERX
	Branch on Overflow	ERX
	Branch on Zero	ERX
	Branch on Not Minus	ERX
	Branch on Not Plus	ERX
	Branch on Not Overflow	ERX
Branch Indirect	MM	
Branch And Link Short	D	
Branch And Link	ERX	
システム制御命令	Load Psw	ERX
	Supervisor Call	RC
	Supervisor Call Extend	RC
	Acknowledge Interrupt	RC

(表1) U-100 命令一覧

### 4・3 システム構成

PANAFACOM U-100のシステム構成は概略(図4)に示す。



(図4) PANAFACOM U-100 システム構成

### 4・4 中央処理装置

中央処理装置(CPU)は4種4チップのMOS・LSIと若干のTTL回路により、概略(図5)に示す如く構成される。

#### a. LSIの種類及び主要機能

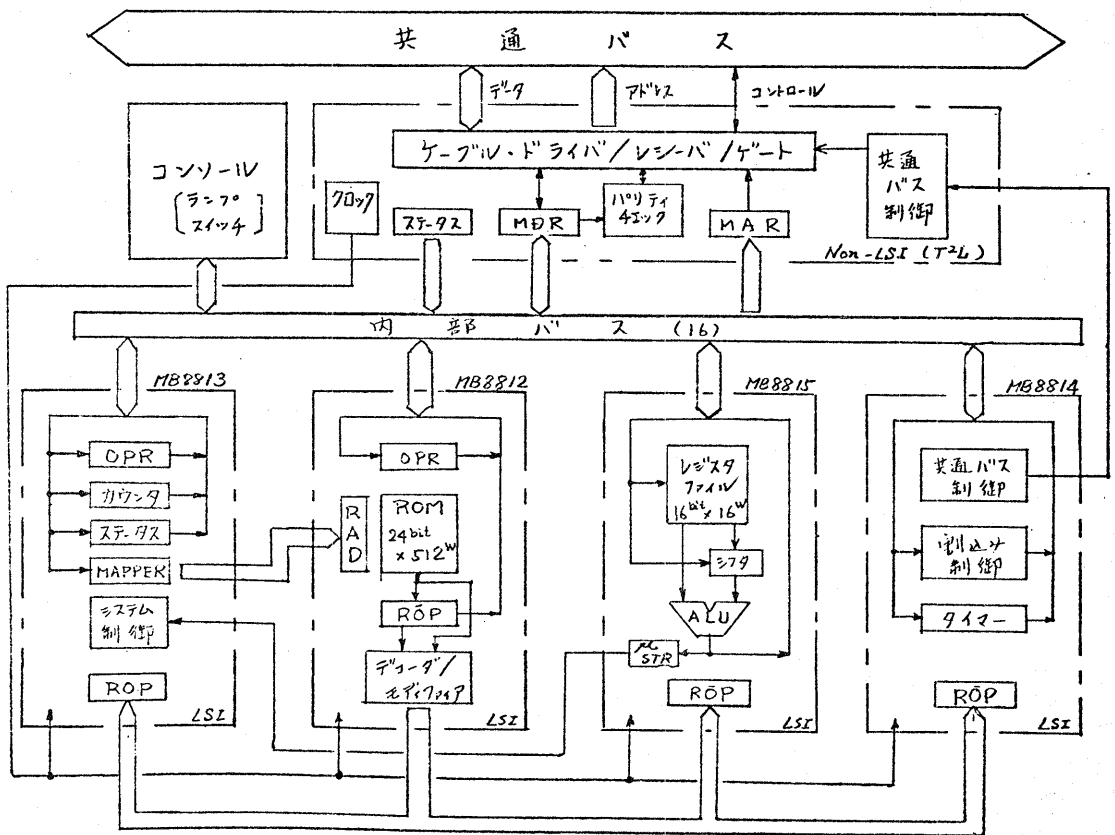
- ① MB8812 Microprogram ROM
  - ・512語×24ビットのマスクROM
  - ・ROM出力を修飾する機能
  - ・ROMアドレス・レジスタ/カウンタ
- ② MB8813 System Control
  - ・マクロ命令のデコードとマイクロプログラムの起動

(MAPPER)

- ・マイクロプログラムのシーケンス制御

- CPUステータスの表示 / 制御
  - オペレーターコンソールからの指示の受付
- ③ MB8814 Interface Control
- 外部バス（共通バス）の制御
  - 割込みシーケンスの制御
  - プログラム割込みの発生
  - インターバル・タイマ
- ④ MB8815 Register and ALU
- 8語×16ビットの汎用レジスタと8語×16ビットのワーク・レジスタから成るDual-portのレジスタ・ファイル
  - 演算回路（ALU）
  - マイクロ・ステータス・レジスタ（オーバーフロ、キャリー、正 / 負、奇 / 偶 等）

なお、U-100のアーキテクチャの実現の為に上記4種のLSIを各1個、合計4個使用すれば十分であるが、将来の機能拡張に備えて、MB8812はさらに1個（512語）追加可能のように設計されている。



(注) MDR = Memory Data Register , MAR = Memory Address Register  
 OPR = Operation Register , ROP = ROM Operation Register , RAD = ROM Address Register  
 (図5) CPUの構成

b. L S I の仕様

L S I の仕様を (表 2) に示す。

型番	M B 8 8 1 2	M B 8 8 1 3	M B 8 8 1 4	M B 8 8 1 5
品名	マイクロプロ ラム ROM	システム制御	インターフェ ース制御	レジスタ ALU
使用数	1	1	1	1
テクノロジー	N-チャネルシリコンゲートMOS エンハンスメント/デプリーション (E/D) 回路 (Ion-implanted)			
インター フェース	TTL コンパティブル			
電源	+12V, +5V, -5V.			
パッケージ	64ピン・フラット・リード・セラミック・パッケージ			
集積度	7000 Tr. (2000ゲート)	3900 Tr. (1300ゲート)	3600 Tr. (1200ゲート)	5000 Tr. (1800ゲート)
チップ・サイズ	4.9ミリ×5.3ミリ	4.5ミリ×4.5ミリ	4.4ミリ×3.6ミリ	4.3ミリ×4.7ミリ

(表 2) L S I の仕様

L S I は、いずれも、富士通 I C 事業部との共同開発品であり、同事業部で製造されている。

4.5 主記憶装置

主記憶装置としては、コアメモリと半導体 (I C) メモリのいずれかを選択して使用することができる。I C メモリの素子としては富士通製の 4 K ビット R A M (M B 8 1 0 7) を使用している。コアメモリ、I C メモリとも、8 K バイト、16 K バイト、32 K バイトのモジュールが用意されている。I C メモリの場合には、最大 16 K バイトまで C P U と同一プリント板上に搭載される。また、I C メモリ使用の場合の電源対策として、バッテリー・バックアップがオプションで用意されている。コアメモリの電源異常割込み再起動の機能は標準装備である。

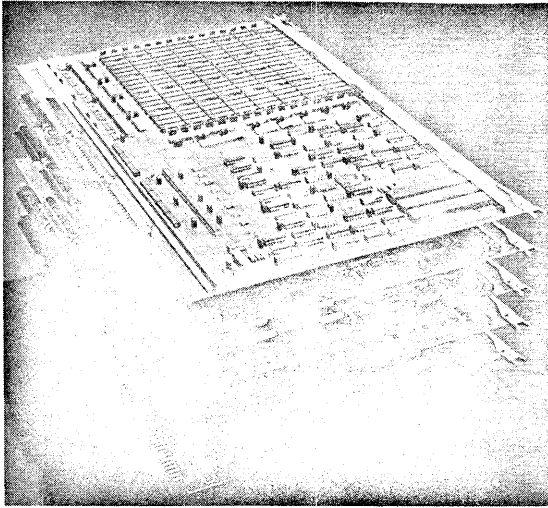
4.6 実装

C P U は 310 ミリ×480 ミリの大型プリント板の約 1/2 のスペースに収容され、残りのスペースに最大 16 K バイトの I C メモリが搭載される。上記 C P U プリント板は、最大 8 板のプリント板スペースと、電源、コンソールを含むキャビネットに各種 I/O アダプタ、メモリとともに収容され、P A N A F A C O M U - 1 0 0 コンピュータ・システムが構成される。

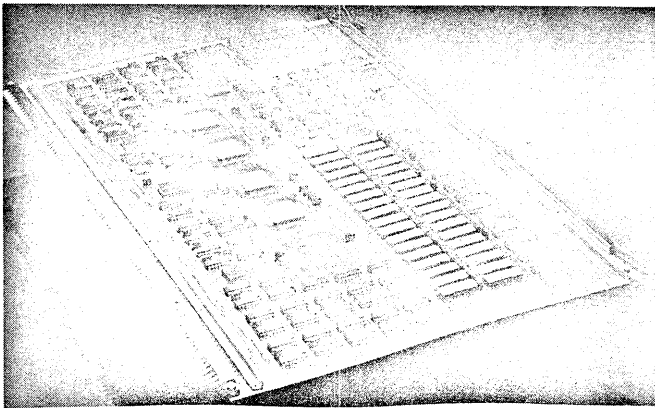


#### 4・7 L S I 化の効果

L S I 化の効果としては、部品点数の大巾な減少と配線／接続個所の減少による信頼性の向上、大巾な小型化、実装費／消費電力の減少および組立工数の削減によるコスト・ダウンなどさまざまあるが、これら L S I 化の効果を、当社の従来機種（T T L・M S I / S S I 使用）と対比させて（図 6）に示す。



- ・プリント板枚数…………… 6
- { CPU…………… 2
- { CPU オプション…………… 2
- { メモリ (16 K)…………… 2
- ・CPU 部品点数…………… 700
- ・消費電力 (比)…………… 1
- ・演算速度 (比)…………… 1



- ・プリント板枚数…………… 1
  - { CPU…………… 1 / 2
  - { メモリ (16 K)…………… 1
  - ・CPU 部品点数…………… 70
  - { L S I…………… 70
  - { S S I / M S I…………… 70
- (注)

L S I 化率約 90%

- ・消費電力 (比)…………… 約 1 / 5
- ・演算速度 (比)…………… 約 2 / 3

(図 6) L S I 化の効果

#### 5. ソフトウェア

##### 5・1 U M O S

P A N A F A C O M U - 1 0 0 の基本ソフトウェアとしては、U シリーズに共通の U M O S (U-Series Monitor System) が用意されている。U M O S は補助記憶なしのシステムで使用されるコアシステム (U M O S / C) と補助記憶を持つシステムのためのディスク・システム (U M O S / D) とから成り、その夫々にプログラムの開発とデバックを

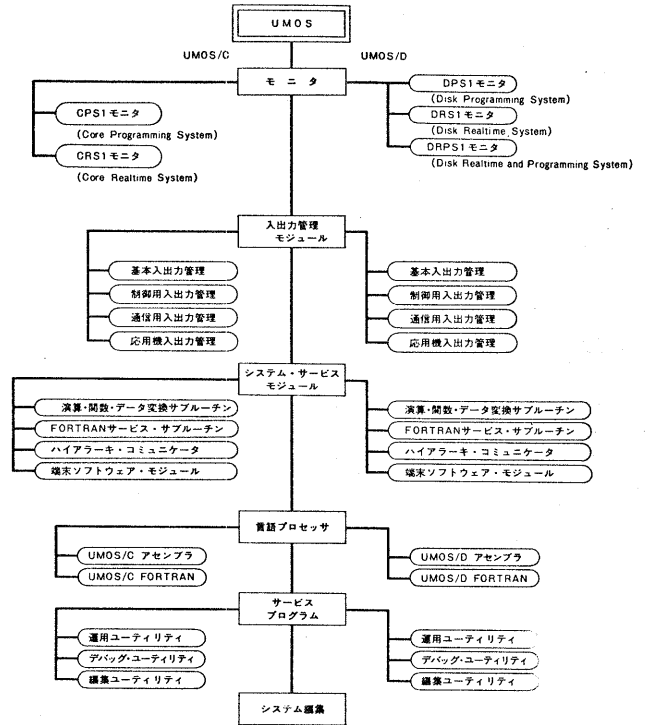
効率よく行なう為のプログラミングシステム (CPS, DPS) と実行段階で使用することを目的としたリアルタイムシステム (CRS, DRS) がある。また、ディスクシステムに対してはリアルタイム制御の空き時間を利用して、バッチ処理を行なうためのリアルタイム・プログラミングシステム (DRPS) が用意されている。(図7)

### 5.2 サポート・システム

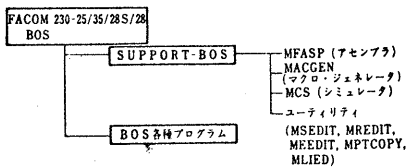
サポート・システムは、Uシリーズのプログラム開発を、FACOM上位機種で行なうためのソフトウェアである。サポートシステムには、FACOM 230-45S/55/38/48/58 OS II/VS の下で動作する SUPPORT-OS II/VS と FACOM 230-25/35 BOS の下で使われる SUPPORT-BOS がある。(図8)

### 5.3 ハイ・アラーク・システム

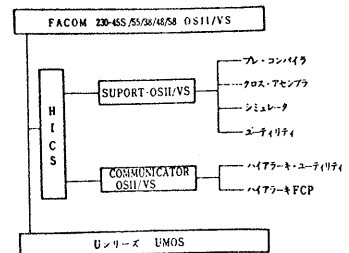
Uシリーズには、大形汎用計算機とミニコンピュータによるハイ・アラーク・システムを構成するためのソフトウェアとして、HICS (Hierarchical Information Control System) が用意されている。HICS は (図9) のようにフロント計算機のソフトウェア開発のための SUPPORT-OS II/VS とホスト計算機とフロント計算機間の通信を行なうための COMMUNICATOR-OS II/VS とからなっている。



(図7) U MOS の構成



(図8) SUPPORT-BOS の構成



(図9) HICS の構成